

Stoßstromanwendungen von Leistungshalbleitern im Überspannungsschutz

Dissertation

**Zur Erlangung des akademischen Grades
Doktoringenieur (Dr.-Ing.)**

**vorgelegt der
Fakultät für Elektrotechnik und Informationstechnik
der Technischen Universität Ilmenau**

von M. Eng. Franz Schork
geb. am 29.07.1987

- 1. Gutachter: Prof. Dr.-Ing. Michael Rock**
- 2. Gutachter: Prof. Dr.-Ing. Tobias Reimann**
- 3. Gutachter: Prof. Dr.-Ing. Ottmar Beierl**

Eingereicht am: 30.10.2018
Verteidigt am: 07.06.2019

urn:nbn:de:gbv:ilm1-2019000173

Erklärung

(gemäß Anlage 1 der Promotionsordnung)


Ich versichere, dass ich die vorliegende Arbeit ohne unzulässige Hilfe Dritter und ohne Benutzung anderer als der angegebenen Hilfsmittel angefertigt habe. Die aus anderen Quellen direkt oder indirekt übernommenen Daten und Konzepte sind unter Angabe der Quelle gekennzeichnet.

Weitere Personen waren an der inhaltlich-materiellen Erstellung der vorliegenden Arbeit nicht beteiligt. Insbesondere habe ich hierfür nicht die entgeltliche Hilfe von Vermittlungs- bzw. Beratungsdiensten (Promotionsberater oder anderer Personen) in Anspruch genommen. Niemand hat von mir unmittelbar oder mittelbar geldwerte Leistungen für Arbeiten erhalten, die im Zusammenhang mit dem Inhalt der vorgelegten Dissertation stehen.

Die Arbeit wurde bisher weder im In- noch im Ausland in gleicher oder ähnlicher Form einer Prüfungsbehörde vorgelegt.

Ich bin darauf hingewiesen worden, dass die Unrichtigkeit der vorstehenden Erklärung als Täuschungsversuch bewertet wird und gemäß § 7 Abs. 10 der Promotionsordnung den Abbruch des Promotionsverfahrens zur Folge hat.

Nürnberg, 12.07.2019
(Ort, Datum)



(Franz Schork)

Vorwort und Danksagung

Die vorliegende Arbeit entstand als externe Promotion in enger Kooperation mit der Firma DEHN + Söhne GmbH + Co.KG. Mein Dank gilt hierbei besonders Herrn Dr. Ralph Brocke, der mir innerhalb meiner Tätigkeit als Entwicklungsingenieur bei der Firma DEHN + Söhne die Promotion ermöglichte und die nötigen Freiheiten für die Erstellung einräumte. Herr Dr. Ralph Brocke stand mir mit seiner fachlichen Expertise stets zur Seite. Dies gilt auch für meine Kollegen bei der Firma DEHN + Söhne GmbH + Co.KG., denen ich in gleicher Weise danken möchte.

Die wissenschaftliche Betreuung der Promotion erfolgte durch Herrn Prof. Dr. Michael Rock, der mich stets in besonderer Weise unterstützte und die Arbeit durch fachliche Diskussionen und Anregungen zum Erfolg führte. Trotz der zusätzlichen zeitlichen Belastung, die eine externe Promotion mit sich bringt, fand ich bei ihm immer ein offenes Ohr und einen freien Termin für die Aussprache zu meiner Arbeit. Hierfür möchte ich mich herzlich bedanken.

Mein Dank gilt weiterhin den beiden Gutachtern Herr Prof. Dr. Reimann und Herr Prof. Dr. Beierl für die fachliche Beratung und die Bewertung dieser Arbeit.

Ganz besonders herzlich möchte ich mich bei meiner Frau Christina bedanken. Sie unterstützte mich immer und stand während der gesamten Arbeit hinter mir, worüber ich sehr dankbar bin.

Inhaltsverzeichnis

1.	Einleitung und Zielstellung	4
1.1	Struktur und Aufbau der Arbeit	6
2.	Gegenüberstellung von AC- und DC-Netzen.....	7
3.	Bedrohungsparameter für den Überspannungsschutz im AC-Netz	9
3.1	Transienten im AC-Netz	9
3.1.1	Abschätzung der Stoßspannungsparameter	9
3.1.2	Schutzpegelanforderungen aus Sicht der Lasten im AC-Netz	11
3.1.3	Abschätzung der Stoßstromparameter	11
3.2	Netzfolgestrom im AC-Netz	14
3.3	Temporäre Überspannungen (TOV) im AC-Netz	16
3.3.1	TOV bei einphasigen Netzkurzschlüssen	16
3.3.2	TOV bei Neutralleiter-Unterbrechung.....	19
3.3.3	TOV bei Erdschlüssen	23
3.3.4	TOV bei Mittelspannungsfehlern	24
3.4	Übersicht von Bedrohungsparametern im AC-Netz	26
4.	Bedrohungsparameter für den Überspannungsschutz im DC-Netz	27
4.1	Transienten im DC-Netz	27
4.1.1	Abschätzung der Stoßspannungsparameter	27
4.1.2	Abschätzung der Stoßstromparameter	29
4.1.3	Schutzpegelanforderungen im DC-Netz.....	29
4.2	Folgestromproblematik im DC-Netz	30
4.3	Temporäre Überspannungen im DC-Netz	33
4.3.1	TOV bei Netzkurzschlüssen	33
4.3.2	TOV bei Mittelpunktleiter-Unterbrechung in bipolaren Netzen	34
4.3.3	TOV bei Erdschlüssen in bipolaren isolierten Netzen.....	35
4.3.4	TOV bei Power Crossing.....	36
4.4	Übersicht von Bedrohungsparametern im DC-Netz	37
5.	Standardelemente und Konzepte im Überspannungsschutz.....	38
5.1	Funktion und Anwendung von Gasableitern und Funkenstrecken	38
5.2	Funktion und Anwendung von Varistoren.....	39
5.3	Funktion und Anwendung von TVS-Dioden.....	40
5.4	Bewertung der Eigenschaften von Standardbauelementen	40
5.5	Schutzkonzepte mit Standardbauelementen.....	40

6.	Qualifikation von Leistungshalbleitern im Überspannungsschutz.....	42
6.1	Bewertung von Dioden für Überspannungsschutzanwendungen	44
6.1.1	Einschaltverhalten bei Stoßstrombelastungen	45
6.1.2	Durchlassverhalten bei Stoßstrombelastungen	46
6.1.3	Abschaltverhalten und Sperrverhalten nach einer Stoßstrombelastung	50
6.1.4	Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung	51
6.1.5	Stoßstromtragfähigkeit von Schottky-Dioden	53
6.1.6	Belastung der Aufbautechnik und Verbindungstechnik	54
6.1.7	Erkenntnisse und Schlussfolgerungen	55
6.2	Bewertung von Thyristoren für Überspannungsschutzanwendungen	56
6.2.1	Zündarten und Einschaltverhalten bei Stoßstrombelastungen.....	56
6.2.2	Durchlassverhalten bei Stoßstrombelastungen	58
6.2.3	Löschverhalten und Sperrverhalten nach einer Stoßstrombelastung.....	59
6.2.4	Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung	59
6.2.5	Defektbilder von Thyristoren nach der Stoßstrombelastung	61
6.2.6	Erkenntnisse und Schlussfolgerungen	62
6.3	Bewertung von MOSFETs für Überspannungsschutzanwendungen.....	63
6.3.1	Ansteuerung und Einschaltverhalten bei Stoßstrombelastung	64
6.3.2	Durchlasseigenschaften bei Stoßstrombelastung.....	66
6.3.3	Ausschaltverhalten und Sperrverhalten nach einer Stoßstrombelastung.....	67
6.3.4	Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung	67
6.3.5	Defektbilder von MOSFETs nach Stoßstrombelastungen.....	70
6.3.6	Erkenntnisse und Schlussfolgerungen	71
6.4	Bewertung von IGBTs für Überspannungsschutzanwendungen	72
6.4.1	Ansteuerung und Einschaltverhalten bei Stoßstrombelastung	72
6.4.2	Durchlassverhalten bei Stoßstrombelastung.....	73
6.4.3	Ausschaltverhalten und Sperrverhalten nach einer Stoßstrombelastung.....	74
6.4.4	Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung	75
6.4.5	Diskussion der Defekte bei Stoßstrombelastungen	78
6.4.6	Erkenntnisse und Schlussfolgerungen	79
6.5	Bewertung von MCTs für Überspannungsschutzanwendungen	80
6.5.1	Einschaltverhalten bei einer Stoßstrombelastung	80
6.5.2	Durchlassverhalten während einer Stoßstrombelastung.....	80
6.5.3	Ausschalt- und Sperrverhalten nach einer Stoßstrombelastung	80
6.5.4	Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung	81

6.5.5	Defektbilder des MCTs nach einer Stoßstrombelastung	82
6.5.6	Erkenntnisse und Schlussfolgerungen	83
6.6	Gesamtheitliche Bewertung der Halbleiteruntersuchungen.....	83
7.	Schutzkonzepte auf Basis gesteuerter Längs- und Querimpedanzen.....	85
7.1	Übersicht der mit Leistungshalbleitern möglichen Schutzkonzepte.....	87
7.2	Schutzpegelreduktion durch Leistungshalbleiter im Querglied.....	87
7.2.1	Einfluss des Schutzpegels auf den Schutzbereich	88
7.2.2	Anwendung des Konzeptes in DC-Netzen	88
7.2.3	Integration von Netzanalysefunktionen.....	90
7.3	Automatische Schutzpegelanpassung	91
7.4	Konzept des gesteuerten Feinschutzes	92
7.5	Aktive Längsentkopplung	93
7.6	Eigensichere Spannungsversorgungen.....	94
7.7	Kombinierter Überstrom- und Überspannungsschutz.....	95
7.8	Kombinierter transienter und temporärer Überspannungsschutz.....	96
8.	Kombinierter Überspannungs- und Überstromschutz in DC-Netzen	99
8.1	Qualifizierung des Normalbetriebes	100
8.2	Qualifikation der Schutzfunktion bei Überströmen	101
8.3	Qualifikation der Schutzfunktion bei transienten Überspannungen	103
8.4	Qualifikation der Schutzfunktion gegen temporäre Überspannungen.....	106
8.5	Abschließende Bewertung des Konzeptes	109
9.	Konzept des Schutzes vor TOV in AC-Netzen.....	110
9.1	Qualifikation des TOV-SPD im Normalbetrieb.....	112
9.2	Qualifikation der Schutzfunktion bei transienten Überspannungen	113
9.3	Qualifikation der TOV-Schutzfunktionen	117
9.3.1	Schutzfunktion und Notversorgung einer hochohmigen passiven Last	117
9.3.2	Einphasige Notversorgung von Schaltnetzteil bei TOV	120
9.3.3	Betrachtung der Notversorgung im Dreileitersystem	123
9.4	Abschließende Bewertung des Konzeptes	125
10.	Zusammenfassung und Ausblick	126
11.	Abkürzungsverzeichnis	128
12.	Formelzeichen	129
13.	Literaturverzeichnis.....	137
14.	Anhänge	144

1. Einleitung und Zielstellung

Der Wunsch nach Sicherheit ist eines der elementaren Grundbedürfnisse der Menschheit. Dies trifft auch auf die Stromversorgungsnetze und deren Betrieb zu. Dem gegenüber steht heute eine stetig wachsende Anzahl an sensiblen Verbrauchern und volatilen Quellen. Preissensitive Verbraucher erfüllen durch den Einsatz günstiger Komponenten nur knapp die Anforderungen hinsichtlich der Störfestigkeit in der Niederspannung (NS). Alterungseffekte, welche aus der Belastung mit quasistationären Störgrößen im Netz (Oberschwingungen, Spannungsschwankungen usw.) hervorgehen, werden bei deren Design oft bewusst außer Acht gelassen. Dies wird auch durch die ständige Reduktion der Lebensdauer üblicher Haushaltsgeräte bestätigt. Der Wandel von passiven zu aktiv geregelten Verbrauchern, wie z.B. der Beleuchtungstechnik, reduziert die Lebensdauer angesichts starker Oberschwingungsbelastung der Geräte weiter.

Verschärft wird diese Situation zudem durch eine absinkende Versorgungsqualität in den Stromnetzen. Dezentrale Einspeisungen verändern die Spannungsbedingungen (z.B. Anheben und Absenken der Netzspannung am Einspeisepunkt, den Ortsnetztransformatoren) sowie die Fehlerbedingungen bei Kurzschlüssen. Dies führt dazu, dass die an den Versorger gestellten Anforderungen aus [1] oft nicht mehr oder nur noch knapp erfüllt werden.

Eine weitere, zunehmende Gefährdung ist die durch den Klimawandel zu erwartende steigende Anzahl an Blitzereignissen [2] und die damit einhergehende zunehmende Bedrohung durch Blitzschläge und Blitzüberspannungen gegeben. Diese stellen wie Schaltüberspannungen und induzierte Überspannungen aufgrund indirekter Blitzwirkungen transiente Belastungen mit hohen Amplituden im μs - bis ms -Bereich dar. Neben den transienten Störgrößen sind auch netzfrequente temporäre Überspannungsereignisse (TOV, Temporary Overvoltage), welche durch Fehler im Netz entstehen, als Gefährdung für Verbraucher und Quellen anzusehen. Die TOV als Störgröße besitzt im Vergleich zu transienten Belastungen reduzierte Störamplituden, tritt jedoch im Zeitbereich von ms bis h auf.

Die genannten Bedrohungen und Veränderungen machen es notwendig, heute gängige Schutzkonzepte in der Niederspannung zu überdenken, damit ein sicherer und störungsfreier Betrieb weiterhin gewährleistet ist. Die Wahl von Leistungshalbleitern für die Neudefinition der Schutzkonzepte im Überspannungsschutz scheint auf den ersten Blick, aufgrund ihrer Empfindlichkeit gegenüber transienten Spannungen und Stoßströmen, merkwürdig. Es soll gezeigt werden, dass durch den intelligenten Einsatz ihrer Stärken (z.B. schnelles Schaltverhalten, gezielte Steuerbarkeit) eine Erweiterung der heute gängigen Schutzkonzepte möglich ist. Aktuelle Schutzkonzepte adressieren meist einen spezifischen Fehlerfall im Netz und bieten für diesen eine attraktive und leistungsstarke Lösung. Die Betriebssicherheit und Ausfallhäufigkeit verlangen es jedoch, aus den oben genannten Gründen Schutzaufgaben zu kombinieren. Leistungshalbleiter bieten die Chance, den Schutzgedanken zu erweitern und beispielsweise einen umfassenden Überspannungsschutz transient wie temporär zu gewährleisten.

Ziel der Arbeit ist es, die Bedrohungsparameter, die sich in heutigen modernen AC- und DC-Niederspannungsversorgungsnetzen aus Sicht des Überspannungsschutzes ergeben, zu analysieren. Auf Basis dieser Analyse sollen Anforderungen an moderne Überspannungsschutzkonzepte abgeleitet werden.

Um eine Realisierung von Schutzkonzepten mit Leistungshalbleiterbauelementen zu ermöglichen, erfolgt in dieser Arbeit eine Qualifizierung der heute verfügbaren Leistungshalbleiter hinsichtlich der Robustheit gegenüber den erarbeiteten Bedrohungsparametern.

Speziell im Vordergrund soll hierbei das Verhalten bei den im Überspannungsschutz nach [3] genormten Stoßstromformen 10/350 μs und 8/20 μs stehen.

Die ermittelten Leistungsgrenzen der Bauelemente im Überspannungsschutz dienen als Grundlage für die Entwicklung neuer Schutzkonzepte. Diese sollen vorgestellt und aus Sicht des Überspannungsschutzes bewertet werden. Vielversprechende Ansätze kommen zur Realisierung, bei der ein Aufbau und eine Erprobung erfolgt. Im Rahmen der Arbeit wird mit dem Einsatz intelligenter Steuerungen jeweils ein Schutzkonzept auf Basis von Halbleiterbauelementen mit kombinierten Funktionseigenschaften im AC-Netz und im DC-Netz realisiert.

In der Zusammenfassung sollen die erarbeiteten Ergebnisse prägnant skizziert werden. Weiterhin wird ein Ausblick über die Möglichkeiten und die zu erwartende Entwicklung von Überspannungsschutzanwendungen auf Basis von Leistungshalbleitern gewagt.

1.1 Struktur und Aufbau der Arbeit

In **Abb. 1.1** ist die Struktur der vorliegenden Arbeit dargestellt. Inhalte, die dieser Arbeit zugrunde liegen, wurden bereits in [4], [5], [6], [7], [8], [9], [10], [11], [12], [13] und [14] veröffentlicht.

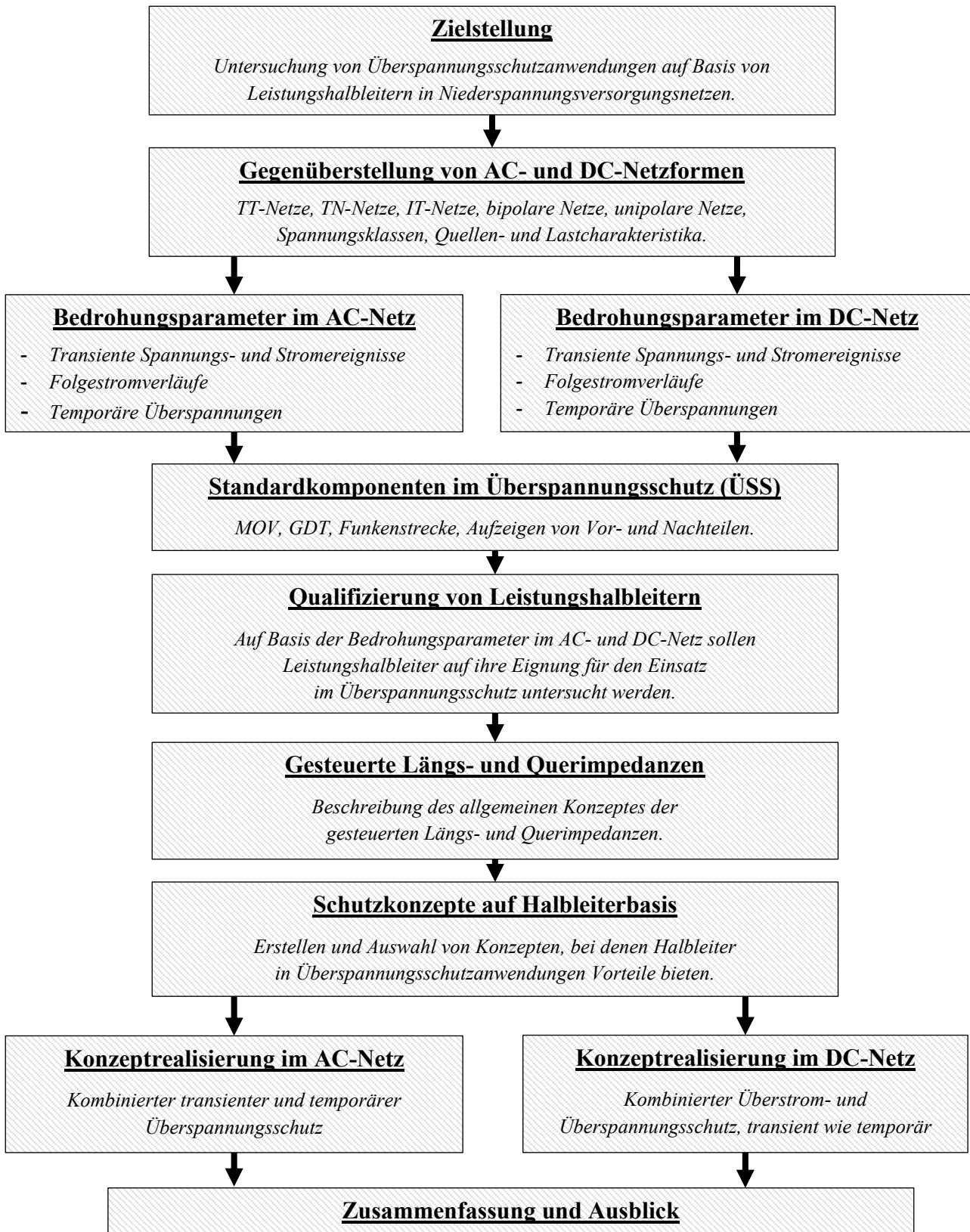


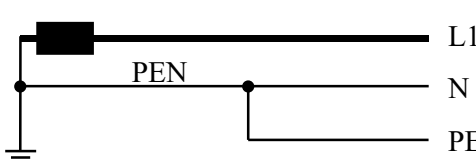
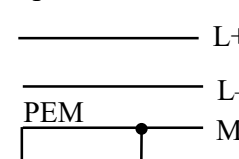
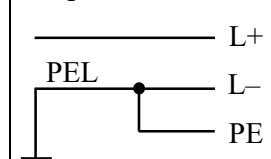
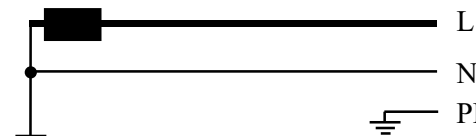
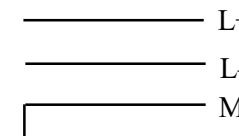
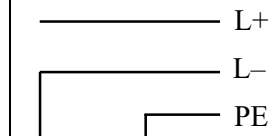
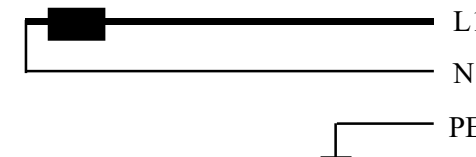
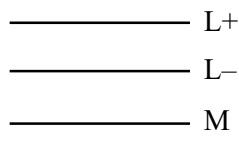
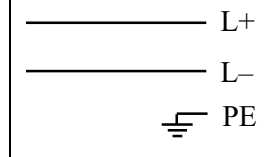
Abb. 1.1: Struktur und Aufbau der Arbeit

2. Gegenüberstellung von AC- und DC-Netzen

Der Entwurf von Überspannungsschutzkonzepten auf Basis von Leistungshalbleitern erfordert eine grundlegende Analyse der Anwendungsumgebung. Diese soll in der vorliegenden Arbeit auf Niederspannungsversorgungsnetze begrenzt bleiben. Hier sind grundsätzlich AC- und DC-Versorgungsnetze zu untersuchen und die in diesen Netzen auftretenden Bedrohungsparameter aus Sicht des Überspannungsschutzes zu ermitteln.

In **Tab. 2.1** ist eine Gegenüberstellung des Aufbaus von AC- und DC-Netzen gezeigt. Weiterhin wurden typische Quellen- und Lastcharakteristika für Versorgungsnetze nach [15] und [16] gegenübergestellt. Der Aufbau von AC- und DC-Versorgungsnetzen ist in vielen Eigenschaften identisch. Dies hat auch übereinstimmende Anforderungen an die Bedrohungsparameter für Überspannungsschutzkomponenten zur Folge.

Tab. 2.1: Aufbau und Eigenschaften von modernen AC- und DC-Versorgungsnetzen in der Übersicht

AC-Netze		DC-Netze	
Netzformen			
TN-C-S-Netz		Bipolar TN-C-S	Unipolar TN-C-S
			
TT-Netz		Bipolar TT	Unipolar TT
			
IT-Netz		Bipolar IT	Unipolar IT
			
Dominierende Spannungsclassen			
230 V, 400 V, 690 V		24 V, ± 48 V, ± 380 V, ± 760 V	
Quellencharakteristik			
in der Regel starre Netze ($R_i \ll R_L$)		starre Netze unüblich (nur bei direkter Batterieanbindung gegeben)	
Charakteristik abhängig von Betriebsmitteln ($\cos \varphi$)		Charakteristik abhängig von Wandlern (DC/DC, AC/DC)	
Energiespeicher direkt am Netz (rotierende Massen)		Energiespeicher direkt am Netz (Stützkondensatoren)	
Lasten			
passive und geregelte Lasten direkt am Netz		nur geregelte Lasten und Quellen direkt am Netz	

Die zu erwartenden Bedrohungsparameter können in vier Hauptgruppen gegliedert werden:

1. Stoßstrom- und Stoßspannungsamplituden
2. Stoßstrom- und Stoßspannungsteilheiten
3. Höhe und Dauer temporärer Überspannungen
4. Charakteristika von Netzfolgeströmen und daraus resultierende energetische Belastungen

Tab. 2.2 gibt eine Übersicht der Fehlerfälle und der Bedrohungsszenarien, die zu den genannten Parametern führen.

Tab. 2.2: Bedrohungsszenarien und Fehlerfälle im AC-Netz und DC-Netz

Bedrohungsszenarien im AC-Netz		
Transient	Temporär	Netzfolgeströme
<ul style="list-style-type: none"> - Schalthandlungen - Induktionseffekte - Direkte Blitzwirkungen - Indirekte Blitzwirkungen 	<ul style="list-style-type: none"> - Kurzschlüsse - Neutralleiter-Unterbrechungen - Erdschluss in der Mittelspannung oder Niederspannung 	<ul style="list-style-type: none"> - Ansprechen von spannungsschaltenden SPDs - Starre Quellen (I_f charakterisiert durch $\cos \varphi$)
Bedrohungsszenarien im DC-Netz		
Transient	Temporär	Netzfolgeströme
<ul style="list-style-type: none"> - Schalthandlungen - Induktionseffekte - Direkte Blitzwirkungen - Indirekte Blitzwirkungen 	<ul style="list-style-type: none"> - Power Crossing - Mittelpunktsleiter-Unterbrechungen - Erdschluss 	<ul style="list-style-type: none"> - Ansprechen von spannungsschaltenden SPDs - Geregelte Quellen (I_f wird durch die Quellencharakteristik vorgegeben)

Diese genannten Bedrohungsparameter und Fehlerfälle werden nachfolgend analysiert und die sich daraus ergebenden Forderungen gelten als Basis für die Schutzkonzepterstellung unter Einsatz von Leistungshalbleitern in den **Kap. 7–9**.

3. Bedrohungsparameter für den Überspannungsschutz im AC-Netz

Für Überspannungsschutzeinrichtungen (SPD, Surge Protective Device) in AC-Netz sind in [17] die Anforderungen, die aus den genannten Bedrohungsparameter abgeleitet wurden, festgelegt. Diese Forderungen lassen zunächst kein Verständnis der Wirkung (di/dt , du/dt , Dauer der Bedrohung, Risiko für Lasten und Quellen, Abhängigkeit vom Installationsort, usw.) zu, dass jedoch für die Entwicklung neuer Schutzkonzepte grundlegend ist. Weiterhin sind die Anforderungen in [17] auf den transienten Überspannungsschutz begrenzt. Eine Erweiterung des Schutzgedankens auf einen umfassenden Überspannungsschutz, der sowohl transiente wie auch temporäre Überspannungen behandelt, ist somit nicht möglich. In dem vorliegenden Kapitel erfolgt daher eine detaillierte Betrachtung der genannten Bedrohungsparameter im AC-Netz.

3.1 Transienten im AC-Netz

Transiente Vorgänge gliedern sich in Stoßspannungs- und daraus folgend in Stoßstromereignisse. Diese stellen an die Installation sowie die im Versorgungsnetz verbauten Quellen und Lasten Anforderungen an die Robustheit und Störfähigkeit hinsichtlich maximal auftretender Amplituden und Steilheiten. Die Betriebsmittel müssen daher die Stoßspannungsfestigkeiten nach [18] und [19] aufweisen. Um die Anforderungen nach [18] zu erfüllen, kommen zum Schutz der Betriebsmittel SPDs zum Einsatz. Diese müssen die am Einbauort auftretenden Stoßspannungsamplituden auf ein verträgliches Maß reduzieren und die dabei auftretenden Stoßstromamplituden beherrschen.

3.1.1 Abschätzung der Stoßspannungsparameter

Bei Stoßspannungen kann zwischen äußeren Stoßspannungsereignissen aufgrund von atmosphärischen Entladungen (Blitz) und inneren Stoßspannungen aufgrund von Schaltvorgängen unterschieden werden. Diese sind in [20] durch standardisierten Spannungsformen festgelegt. Grundsätzlich unterscheiden sich diese in ihrer Impulsdynamik wie **Abb. 3.1** zeigt.

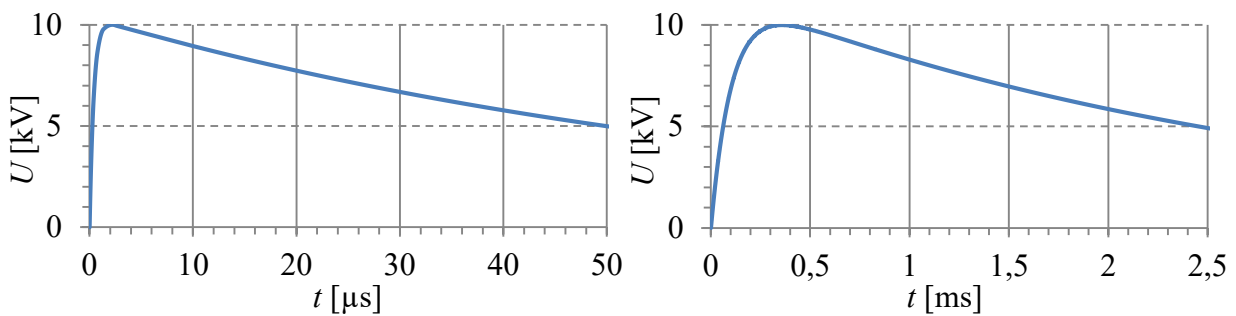


Abb. 3.1: Blitzstoßspannung 1,2/50 µs (links) und Schaltstoßspannung 250/2500 µs (rechts)

Anzumerken ist, dass der reale Verlauf von Stoßspannungen in Installationen stark von den genormten Verläufen in **Abb. 3.1** abweichen kann. Für die Abschätzung maximaler Amplituden und Steilheiten ist dies jedoch nicht von Bedeutung. Analytisch können die Stoßspannungen nach [21] durch einen doppelt-exponentiellen Verlauf für den aperiodischen Fall dargestellt werden.

$$u(t) = \frac{\hat{U}}{\eta} \cdot \left(e^{-\frac{t}{\tau_1}} - e^{-\frac{t}{\tau_2}} \right) \quad (3.1.1)$$

Hierbei sind die Zeitkonstanten τ_1 , τ_2 und der Ausnutzungsgrad η nach [21] wie folgt zu wählen:

Parameter für Blitzstoßspannung 1,2/50 μs : $\tau_1 \approx 68,22 \mu\text{s}$; $\tau_2 \approx 0,40 \mu\text{s}$; $\eta \approx 0,964$

Parameter für Schaltstoßspannung 250/2500 μs : $\tau_1 \approx 3155 \mu\text{s}$; $\tau_2 \approx 62,5 \mu\text{s}$; $\eta \approx 0,906$

Daraus ergibt sich der Verlauf der zu erwartenden zeitlichen Stoßspannungsänderung:

$$\frac{d u(t)}{dt} = \frac{\hat{U}}{\eta} \cdot \left(\frac{1}{\tau_2} \cdot e^{-\frac{t}{\tau_2}} - \frac{1}{\tau_1} \cdot e^{-\frac{t}{\tau_1}} \right) \quad (3.1.2)$$

Der Mittelwert der Stoßspannungsteilheit während der Stirnzeit T_1 kann für die dynamische Belastung der Betriebsmittel durch Stoßspannungen wie folgt angenommen werden:

$$\text{Blitzstoßspannung: } \frac{\overline{du}}{dt} = \frac{\hat{U}}{T_1} \approx \frac{\hat{U}}{1,2 \mu\text{s}} \quad \text{Schaltstoßspannung: } \frac{\overline{du}}{dt} = \frac{\hat{U}}{T_1} \approx \frac{\hat{U}}{250 \mu\text{s}}$$

Die maximalen zu erwartenden Stoßspannungsamplituden für Blitzstoßspannungen und deren Häufigkeit sind in [22, p. 12] gezeigt und wurden durch Messreihen ermittelt. Die so gefundenen Amplituden wurden in [18] standardisiert. Jedem Installationsort ist hier eine Überspannungskategorie I bis IV zugeordnet, welche die Anforderungen an Betriebsmittel gegenüber Stehstoßspannung definiert und damit gleichzeitig deren Ausfallwahrscheinlichkeit festlegt. Die maximale zu erwartende Belastung und somit auch die maximalen Blitzstoßspannungsamplituden ergeben sich aus der Überspannungskategorie IV.

Diese ist nach [22] für alle Betriebsmittel, d.h. auch Betriebsmittel, die sich aufgrund ihres Installationsortes in den Kategorien I – III befinden, als maximale Belastung anzusehen, da Überspannungen allein durch die Niederspannungsinstallation, d.h. ohne installierte SPDs, nur sehr geringfügig abgeschwächt werden, wie in [23] und [24] gezeigt wurde. Um eine Abschätzung der maximal zu erwartenden Stoßspannungsamplituden vorzunehmen, ist daher die Betrachtung der Überspannungskategorie IV ausreichend. **Tab. 3.1** fasst die zu erwartenden Bemessungsstoßspannungsamplituden und deren mittleren Stirnteilheiten nach Gl. (3.1.2) in Abhängigkeit der Nennspannung zusammen.

Tab. 3.1: Maximale zu erwartende mittlere Spannungssteilheiten für Blitz- und Schaltstoßspannungen [18]

Nennspannung [V]	Überspannungskategorie IV		Schaltstoßspannung
	Bemessungsstoßspannung 1,2/50 μs [kV]	du/dt 1,2/50 μs [kV/ μs]	du/dt 250/2500 μs [V/ μs]
50	1,5	1,25	6
100	2,5	2,08	10
150	4	3,33	16
300	6	5	24
600	8	6,67	32
1000	12	10	48

Schaltstoßspannungen sind nicht in den Überspannungskategorien definiert und daher auch keinem Installationsort zuzuordnen. Sie werden nach [25] von der Schaltdynamik sowie den jeweiligen Impedanzverhältnissen bestimmt. In **Tab. 3.1** wurde als „worst case“-Betrachtung zur Bestimmung der mittleren Stirnteilheit von Schaltstoßspannungen die Bemessungsstoßspannung als Amplitude der Schaltstoßspannung angenommen.

Es ist ersichtlich, dass Schaltstoßspannungen im Vergleich zu Blitzstoßspannungen deutlich geringere Anforderungen an die dynamische Robustheit stellen, aber eine längere Beanspruchungsdauer bedeuten (Faktor 50).

3.1.2 Schutzpegelanforderungen aus Sicht der Lasten im AC-Netz

In den jeweiligen Produktnormen für Geräte, die an das Niederspannungsnetz angeschlossen werden, wird je nach Installationsort eine minimale Stoßspannungsfestigkeit gefordert. Diese stellt dann den maximalen Schutzpegel dar, den SPDs für den Schutz der Verbraucher bzw. Lasten aufweisen dürfen. Für einen wirksamen Schutz von Betriebsmitteln ist jedoch nach [17] und [26] ein Schutzpegel vom $\leq 0,8$ -fachen der Bemessungsstoßspannung des Betriebsmittels einzuhalten. Daraus ergibt sich in Anlehnung an [18] die **Tab. 3.2**. Gerade im Nennspannungsbereich von 0 – 100 V werden in der Praxis deutlich niedrigere Schutzpegel realisiert. Typischerweise sind hier Schutzpegel von 50 – 70 % über der Netzspannung üblich, damit empfindliche elektronische Eingangsbeschaltungen wirkungsvoll geschützt werden können.

Tab. 3.2: Schutzpegelanforderungen U_p bei verschiedenen Nennspannungen abgeleitet von den Bemessungsstoßspannungsfestigkeiten U_{imp} nach [18]

Nennspannung [V]	Schutzpegelanforderungen nach Überspannungskategorie							
	I		II		III		IV	
	U_{imp} [kV]	U_p [kV]	U_{imp} [kV]	U_p [kV]	U_{imp} [kV]	U_p [kV]	U_{imp} [kV]	U_p [kV]
50	0,33	0,23	0,5	0,35	0,8	0,56	1,5	1,05
100	0,5	0,35	0,8	0,56	1,5	1,05	2,5	1,75
150	0,8	0,56	1,5	1,05	2,5	1,75	4	2,8
300	1,5	1,05	2,5	1,75	4	2,8	6	4,2
600	2,5	1,75	4	2,8	6	4,2	8	5,6
1000	4	2,8	6	4,2	8	5,6	12	8,4

3.1.3 Abschätzung der Stoßstromparameter

Kommt es aufgrund von direkten Blitzeinschlägen oder induzierten Blitzüberspannungen zum Stromfluss, ergeben sich nach [27] und [28] Stoßströme mit genormten Wellenformen. Diese sind 10/350 μ s für den ersten positiven Blitzstoßstrom, 1/200 μ s für den ersten negativen Blitzstoßstrom, 0,25/100 μ s für den negativen Folgeblitzstoßstrom sowie Langzeitblitzströme mit einer Dauer von bis zu 0,5 s und 8/20 μ s für induzierte Stoßströme.

Leistungshalbleiter eignen sich aufgrund ihres begrenzten Ableitvermögens, wie im Nachfolgenden gezeigt wird, ausschließlich für Anwendungen am Übergang der Blitzschutzzone (LPZ, Lightning Protection Zone) 1 auf 2 oder höher, in welchen Typ 2 und Typ 3 SPDs zum Einsatz kommen. Induzierte Stoßströme stellen für Typ 2/3 SPDs, die sich in der Installation typischerweise in der Unterverteilung oder vor dem zu schützenden Endgerät befinden, die Hauptbelastung dar. Eine Beanspruchung bei direkten Blitzereignissen ist nur durch kleine Blitzteilströme zu erwarten. Da der erste positive Blitzstoßstrom nach [3] die größten Amplituden erwarten lässt und nach [29] die am Gebäudeeintritt typische Belastung darstellt, soll sich in dieser Arbeit neben induzierten Stoßströmen der Wellenform 8/20 μ s auf Blitzstoßströme der Wellenform 10/350 μ s konzentriert werden.

Diese sind in **Abb. 3.2** dargestellt. Bestätigt wird die Wahl der beiden Impulsformen auch durch die typische Belastung von SPDs nach [17].

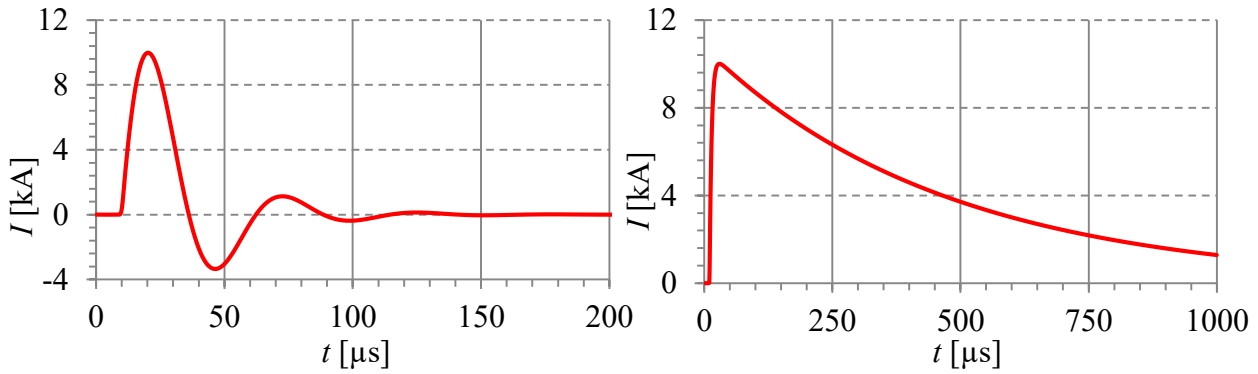


Abb. 3.2: Gegenüberstellung induzierter Stoßströme der Form 8/20 µs (links) und Blitzstoßströme der Form 10/350 µs (rechts) (bei gleicher Amplitude von 10 kA)

Analytisch können die Verläufe nach [30] wie folgt dargestellt werden:

1. Induzierter Stoßstrom der Form 8/20 µs beschrieben durch eine gedämpfte periodische Schwingung

$$i(t) = \frac{\hat{I}}{\eta} \cdot e^{-\frac{t}{\tau}} \cdot \sin(\omega t) \quad (3.1.3)$$

Parameter für induzierte Stoßströme: $\eta = 0,615$; $\tau = 24 \mu s$; $\omega = 120 \text{ kHz}$

Der Verlauf der Steilheit ist wie folgt gegeben:

$$\frac{d i(t)}{dt} = \frac{\hat{I}}{\eta} \cdot e^{-\frac{t}{\tau}} \cdot \left(\omega \cdot \cos(\omega t) - \frac{1}{\tau} \cdot \sin(\omega t) \right) \quad (3.1.4)$$

Der Mittelwert der Steilheit des Stoßstromes während der Stirnzeit T_1 kann für die dynamische Belastung der Betriebsmittel angenommen werden:

$$\overline{\frac{di}{dt}} \approx \frac{\hat{I}}{T_1} = \frac{\hat{I}}{8 \mu s} \quad (3.1.5)$$

Da induzierte Überspannungsereignisse gedämpfte periodische Schwingungen darstellen, ergeben sich Stromnulldurchgänge. In diesen gibt es Kommutierungsvorgänge mit der maximalen Steilheit bei:

$$i(t) = 0 \text{ Maximum bei } Nst_1: t_1 = \frac{\pi}{\omega} \approx 26,2 \mu s \rightarrow \frac{d i(t_1)}{dt} \approx -0,066 \cdot \frac{\hat{I}}{\mu s} \quad (3.1.6)$$

Die maximal zu erwartenden Stoßstromamplituden sind in [3] für induzierte Stoßstromereignisse angegeben. Induzierte Überspannungen und daraus resultierende Stoßstromereignisse sind unabhängig von der Netzform und den Erdungsverhältnissen. Sie werden allein durch die Größe der vom Magnetfeld durchsetzten Leiterschleife und deren Abstand von der Feldquelle bestimmt. Leiterschleifen sind in jeder Netzform (TN, TT, IT) existent und daher unabhängig von diesen sowie von den dort herrschenden Erdungsverhältnissen.

Tab. 3.3 zeigt die zu erwartenden Stoßstromamplituden und die dazugehörigen maximalen Anstiegs- und Kommutierungsstromsteilheiten (di/dt Stirn und di/dt Kom.) nach Gl. (3.1.5) und Gl. (3.1.6).

Tab. 3.3: Maximale induzierte Stoßstromamplituden und -steilheiten nach [3] (S1 bis S4 definieren die Schadensquellen nach [DIN EN 62305-1])

Induzierte Stoßströme 8/20 µs	LPL I			LPL II			LPL III + IV		
	\hat{I}	di/dt [A/µs]		\hat{I}	di/dt [A/µs]		\hat{I}	di/dt [A/µs]	
	[kA]	Stirn	Kom.	[kA]	Stirn	Kom.	[kA]	Stirn	Kom.
Direkter Einschlag in die bauliche Anlage (S1)	10	1250	-656	7,5	938	-492	5	625	-328
Einschlag neben der baulichen Anlage (S2)	5	625	-328	3,75	469	-246	2,5	313	-164
Indirekter Einschlag (S4)	0,2	25	-13	0,15	18,8	-9,8	0,1	12,5	-6,6

2. Direkte Blitzstoßstromereignisse der Form 10/350 µs werden nach [30] analog zu Blitzstoßspannungen nach Gl. (3.1.1) durch einen doppelt-exponentiellen Verlauf beschrieben.

$$i(t) = \frac{\hat{I}}{\eta} \cdot \left(e^{-\frac{t}{\tau_1}} - e^{-\frac{t}{\tau_2}} \right) \quad (3.1.7)$$

Parameter für Blitzstoßströme: $\eta = 0,915$; $\tau_1 = 470 \mu s$; $\tau_2 = 4,06 \mu s$

Die Abschätzung der Steilheit kann ebenfalls durch eine Mittelwertbildung über die Dauer der Stirnzeit T_1 erfolgen:

$$\frac{\overline{di}}{dt} \approx \frac{\hat{I}}{T_1} = \frac{\hat{I}}{10 \mu s} \quad (3.1.8)$$

Die maximal zu erwartenden Blitzstoßstromamplituden sind nach [3] abhängig vom Gefährdungspegel (LPL, Lightning Protection Level) des zu schützenden Objekts und der jeweiligen Schadensquelle. Bei direkten Blitzeinschlägen in eine bauliche Anlage (Schadensquelle S₁) ergeben sich die in **Tab. 3.4** gezeigten Stoßstromamplituden im AC-Netz. Die Steilheit bei Blitzstoßströmen kann nach Gl. (3.1.8) berechnet werden.

Tab. 3.4: Maximal zu erwartende Blitzteilströme in AC-Netzen nach [3]

Netzform	$I_{\text{Imp}} (10/350 \mu s)$ bei Schadensquelle S1					
	LPL I		LPL II		LPL III + IV	
	\hat{I}	di/dt	\hat{I}	di/dt	\hat{I}	di/dt
	[kA]	[kA/µs]	[kA]	[kA/µs]	[kA]	[kA/µs]
TN-C+TT	25	2,5	18,75	9,375	12,5	6,25
TN-S	20	2	15	7,5	10	5
IT	—	—	—	—	—	—

Die Stirnzeit T_1 und die Stromform T_1/T_2 der Blitzteilströme in den Einzelleitern bleiben bei Stromaufteilung erhalten. Im Gegensatz dazu teilt sich die Blitzstoßstromamplitude nach [3] auf die im Netz vorhandenen Einzelleiter auf. Damit reduziert sich die Steilheit di/dt proportional zur Anzahl der Einzelleiter. Dies hat eine spezifische Anforderung an die maximale Amplitude abhängig von der Netzform zur Konsequenz. Eine Besonderheit stellt das IT-Netz dar, vorausgesetzt, es handelt sich nicht um ein Verteilnetz, sondern um eine Gebäudeversorgung wie in **Tab. 3.4** angenommen. Wird die Isolation des Netzes bei Blitzeinschlägen nicht beschädigt, z.B. durch die Installation von vorgelagerten SPDs am Hausanschlusskasten (HAK) vor der Isolation, dann können im IT-Netz keine Blitzteilströme auftreten.

3.2 Netzfolgestrom im AC-Netz

Der Netzfolgestrom I_f ist der Anteil des Stromflusses während eines Ableitvorgangs, der nicht von der Überspannung, sondern durch die speisende Quelle getrieben wird. Dieser stellt an Bauelemente des Überspannungsschutzes besondere Herausforderungen, da er nicht wie das Überspannungsereignis transient abklingt. Nach einem Impulsereignis muss der Netzfolgestrom, der bereits während des Ableitvorgangs zum Fließen kommt, gegen die Netzinduktivität und die Netzspannung sicher abgeschaltet werden. Hierbei dürfen keine zusätzlichen Schaltüberspannungen provoziert werden. Dies bedeutet, dass die in der Netzinduktivität gespeicherte Energie beherrscht werden muss. **Abb. 3.3** gibt das Ersatzschaltbild (ESB) bei Netzkurzschlüssen mit und ohne Gegenspannung wieder.

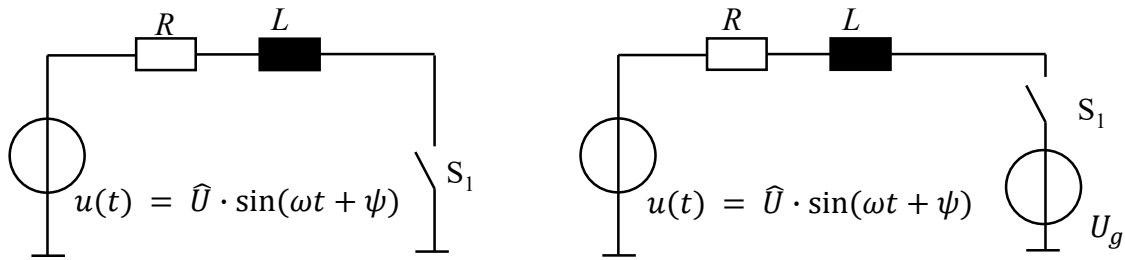


Abb. 3.3: ESB für den Folgestromverlauf mit und ohne Gegenspannung

Der unbeeinflusste Folgestromverlauf entspricht dem nach [31] bekannten Verlauf des einphasigen Kurzschlussstroms.

$$i_{AC}(t) = \frac{\hat{U}}{\sqrt{R^2 + (\omega L)^2}} \cdot \left[\sin(\omega t + \psi - \varphi) - \sin(\psi - \varphi) \cdot e^{-\frac{R}{L}t} \right] \quad (3.2.1)$$

Wobei $\varphi = \arctan \frac{\omega L}{R}$ die Phasenverschiebung zwischen Strom und Spannung darstellt, ψ den Zuschaltwinkel definiert (in etwa der Eintritt des Überspannungsereignisses) und die Anfangsbedingung $i(t=0) = 0$ enthalten ist. Ein Ansatz für die Herleitung von Gl. (3.2.1) findet sich in **Anhang 1**. Wird während des Kurzschlusses eine Gegenspannung U_g zur Netzspannung $u(t)$ aufgebaut, wie es z.B. bei Funkenstrecken durch die Bogenbrennspannung der Fall ist, kommt nur ein Folgestrom zum Fließen bei $u(t) > U_g$. Aufgrund dieser Bedingung ergibt sich ein Stromfluss für Zuschaltwinkel ψ im Bereich:

$$\arcsin\left(\frac{U_g}{\hat{U}}\right) < \psi < \frac{\pi}{2} - \arcsin\left(\frac{U_g}{\hat{U}}\right) \quad (3.2.2)$$

Die Gegenspannung kann, wie in **Abb. 3.3** gezeigt, in erster Näherung als ideale Gleichspannungsquelle aufgefasst werden. Der Folgestrom bestimmt sich dann mittels der Superposition des AC-Anteils aus dem speisenden Netz und des DC-Anteils durch die Gegenspannung. Das Vorzeichen der Gegenspannung und damit des DC-Anteils ist abhängig von der Polarität der Netzhalbwellen.

$$i(t) = \begin{cases} i_{AC}(t) - i_{DC}(t) & \text{für } \psi > 180^\circ \text{ d.h. } i_{AC}(t) > 0 \\ i_{AC}(t) + i_{DC}(t) & \text{für } \psi < 180^\circ \text{ d.h. } i_{AC}(t) < 0 \end{cases}$$

$$i(t) = \frac{\hat{U}}{\sqrt{R^2 + (\omega L)^2}} \cdot \left[\sin(\omega t + \psi - \varphi) - \sin(\psi - \varphi) \cdot e^{-\frac{R}{L}t} \right] \mp \frac{U_g}{R} \cdot \left(1 - e^{-\frac{R}{L}t} \right) \quad (3.2.3)$$

Die Lösung aus Gl. (3.2.3) ist für $0 \leq t \leq \frac{1}{4} T \dots T$ gültig, wie die Grenzwertbetrachtung in **Anhang 1** zeigt. Mit diesen Zusammenhängen kann die Energie in der Netzinduktivität berechnet werden:

$$W_L = \frac{1}{2} \cdot L \cdot i^2(t) \quad (3.2.4)$$

Die maximal mögliche Energie in der Netzinduktivität ergibt sich im Maximum der Stromamplitude des prospektiven Kurzschlussstroms, dem Stoßkurzschlussstrom i_p . Dieser errechnet sich für den schlechtesten Zuschaltwinkel nach [31] über den Stoßfaktor χ :

$$W_{Li_p} = \frac{1}{2} \cdot L \cdot (\chi \cdot \hat{I}_p)^2 \approx \frac{1}{2} \cdot L \cdot \left(1,02 + 0,98 \cdot e^{-3 \cdot \frac{R}{\omega L}}\right)^2 \cdot \left(\frac{\hat{U}}{\sqrt{R^2 + (\omega L)^2}}\right)^2 \quad (3.2.5)$$

Das Maximum nach Gl. (3.2.5) tritt bei transienten Überspannungen und den daraus resultierenden Ableitvorgängen der SPDs nicht auf. Bei gegebenen Netzverhältnissen ist die Energie in der Netzinduktivität vom Phasenwinkel, bei dem die Überspannung auftritt, und der Überspannungsdauer abhängig. Die Dauer ergibt sich aus der Art der Überspannung und kann bei induzierten Stoßströmen mit $t_{8/20\mu s} = 100 \mu s$ und bei Blitzstoßströmen mit $t_{10/350\mu s} = 2,5 ms$ angesetzt werden. Nach diesen Zeiten können beide Überspannungsereignisse, wie in [30] gezeigt, als abgeklungen gelten. Das Maximum der Energie W_{Lmax} , d.h. ohne Gegenspannung, bei gegebenen Netzverhältnissen (R, L) und der Dauer ($t = t_{8/20\mu s}$ bzw. $t_{10/350\mu s}$) ergibt sich für den „worst case“ Phasenwinkel ψ_1 bei $di/d\psi = 0$ wie folgt:

$$\psi_1 = \arctan\left(\frac{\cos(\omega t - \varphi) - e^{-\frac{R}{L}t} \cdot \cos(\varphi)}{\sin(\omega t - \varphi) + e^{\frac{R}{L}t} \cdot \sin(\varphi)}\right) \rightarrow W_{Lmax}(\psi_1, t) = \frac{1}{2} \cdot L \cdot i^2(\psi_1, t) \quad (3.2.6)$$

Die Netzinduktivität zum jeweiligen prospektiven Kurzschlussstrom errechnet sich aus den zugehörigen Wirkleistungsfaktoren welche in [17] angegeben sind. Hieraus können mit Gl. (3.2.5) und Gl. (3.2.6) die Energien in der Netzinduktivität berechnet werden. **Abb. 3.4** zeigt die Maximalwerte für eine Netzspannung von 230 V nach den Stoßstromereignissen mit den Impulsformen 8/20 μs (grün) und 10/350 μs (orange) bei dem Zuschaltwinkel nach Gl. (3.2.6) sowie während des Stoßkurzschlussstrom i_p (rot) in Abhängigkeit vom prospektiven Kurzschlussstrom. Bei auftretender Gegenspannung reduzieren sich die Werte der Energien mit abnehmendem Strom sehr schnell aufgrund des quadratischen Zusammenhangs zwischen Strom und Energie.

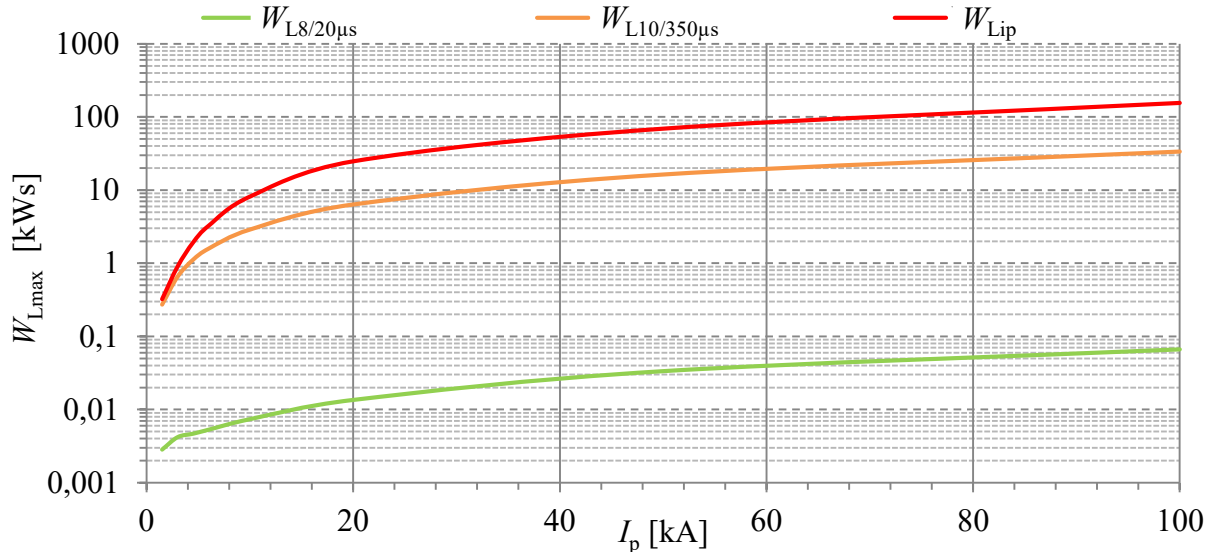


Abb. 3.4: Maximale Energie in der Netzinduktivität nach $I_{8/20\mu s}$, $I_{10/350\mu s}$ und bei i_p

3.3 Temporäre Überspannungen (TOV) im AC-Netz

Neben transienten Überspannungen sind im AC-Niederspannungsnetz ebenfalls temporäre Überspannungen zu erwarten. In dieser Arbeit soll für die Unterscheidung zwischen temporären und transienten Ereignissen folgender Zeitbereich gelten:

1. Transiente Ereignisse $t \leq 3 \text{ ms}$
2. Temporäre Ereignisse $t > 3 \text{ ms}$

Dies lässt die Analyse der Abklingverhalten typischer im Überspannungsschutz zu erwartender Stoßstromimpulse ($8/20 \mu\text{s}$ und $10/350 \mu\text{s}$) nach **Kap. 3.1.3** zu. Die in **Kap. 8** und **Kap. 9** realisierten Schutzkonzepte wurden auf Basis dieser Festlegung entwickelt. Die vorgestellten Schutzkonzepte aus **Kap. 7** sind allerdings nicht auf den hier definierten Zeitbereich begrenzt. Eine sich aus der Anwendung ergebende Notwendigkeit einer anderweitigen Definition kann daher problemlos erfolgen. TOVs ergeben sich durch Fehlerfälle im Netz und können wie folgt gegliedert werden:

1. Temporäre Überspannungen bei Kurzschlüssen
2. Temporäre Überspannungen bei Neutralleiterverlust
3. Temporäre Überspannungen bei Mittelspannungsfehlern
4. Temporäre Überspannungen bei Erdschlüssen

Heutige SPDs bieten gegen temporäre Überspannungen keinen Schutz, müssen diesen jedoch standhalten und gewissen Mindestanforderungen nach [17] genügen. Um Schutzkonzepte zu entwickeln, die sowohl bei transienten als auch bei temporären Überspannungsereignissen wirken, soll eine analytische Betrachtung der einzelnen Fehlerfälle, wie in [14] gezeigt, erfolgen. Dies ermöglicht dann eine Bewertung des Gefährdungspotentials für alle Netzteilnehmer, d.h. Lasten/Verbraucher und Quellen. Über mögliche Gefährdungen in Abhängigkeit der einwirkenden Amplitude und deren Dauer auf Lasten im AC-Netz geben [32] und [33] einen ersten Überblick.

3.3.1 TOV bei einphasigen Netzkurzschlüssen

Im Vierleitersystem ergeben sich bei Kurzschlüssen einer Phase gegen den Neutralleiter temporäre Überspannungen an den jeweiligen Lasten in den fehlerfreien Phasen. Um eine analytische Betrachtung vornehmen zu können, wurde in **Abb. 3.5** das Vierleitersystem dargestellt.

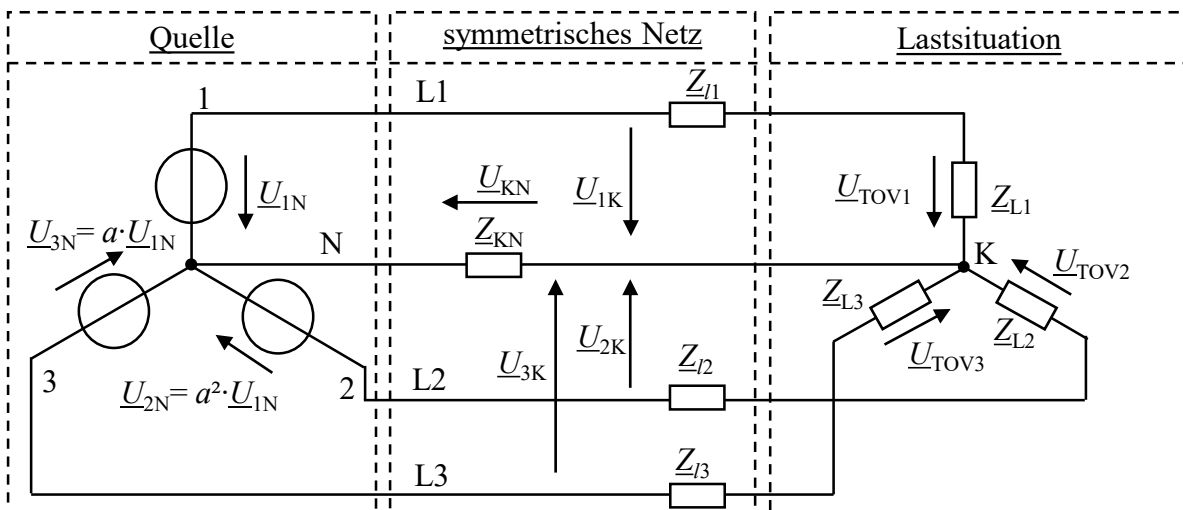


Abb. 3.5: Aufbau des Vierleitersystems

In **Abb. 3.5** ergeben sich die Netz- und Lastimpedanzen sowie Admittanzen wie folgt:

$$\underline{Y}_1 = \frac{1}{\underline{Z}_1} = \frac{1}{\underline{Z}_{L1} + \underline{Z}_{L1}} ; \quad \underline{Y}_2 = \frac{1}{\underline{Z}_2} = \frac{1}{\underline{Z}_{L2} + \underline{Z}_{L2}} ; \quad \underline{Y}_3 = \frac{1}{\underline{Z}_3} = \frac{1}{\underline{Z}_{L3} + \underline{Z}_{L3}} ; \quad \underline{Y}_{KN} = \frac{1}{\underline{Z}_{KN}} \quad (3.3.1)$$

Nach [34] gilt im Vierleitersystem für die Spannung \underline{U}_{KN} zwischen den Sternpunkten K und N der Zusammenhang:

$$\underline{U}_{KN} = \frac{\underline{U}_{1N} \cdot \underline{Y}_1 + \underline{U}_{2N} \cdot \underline{Y}_2 + \underline{U}_{3N} \cdot \underline{Y}_3}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3 + \underline{Y}_{KN}} = \underline{U}_{1N} \cdot \frac{\underline{Y}_1 + a^2 \cdot \underline{Y}_2 + a \cdot \underline{Y}_3}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3 + \underline{Y}_{KN}} \quad (3.3.2)$$

Mit $a = e^{j \cdot 120^\circ}$, $a^2 = e^{j \cdot 240^\circ}$ und $\underline{Z}_{L1} \gg \underline{Z}_{L1}$ folgt daraus die Spannung an der Last \underline{Z}_{L1} , welche im Fehlerfall die temporäre Überspannung darstellt:

$$\underline{U}_{1K} \approx \underline{U}_{TOV1} = \underline{U}_{1N} - \underline{U}_{KN} = \underline{U}_{1N} \cdot \left(1 - \frac{\underline{Y}_1 + a^2 \cdot \underline{Y}_2 + a \cdot \underline{Y}_3}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3 + \underline{Y}_{KN}} \right) = \underline{U}_{1N} \cdot \frac{\underline{Y}'_{KN} + \underline{Y}_2 \cdot (1 - a^2) + \underline{Y}_3 \cdot (1 - a)}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3 + \underline{Y}_{KN}} \quad (3.3.3)$$

Die Spannungen $\underline{U}_{TOV2} \approx \underline{U}_{2K}$ und $\underline{U}_{TOV3} \approx \underline{U}_{3K}$ an den Lasten \underline{Z}_{L2} und \underline{Z}_{L3} ergeben sich analog. Die im Kurzschlussfall auftretenden temporären Überspannungen \underline{U}_{TOV1} sollen hier beispielhaft für einen Kurzschluss an Phase L3 untersucht werden. Es kann gelten:

$$\underline{Z}_{L3} \ll \underline{Z}_{L1} ; \quad \underline{Z}_{L3} \ll \underline{Z}_{L2} ; \quad \underline{Z}_{L1} \gg \underline{Z}_{L1} \rightarrow \underline{Y}_1 = 0 ; \quad \underline{Z}_{L2} \gg \underline{Z}_{L2} \rightarrow \underline{Y}_2 = 0$$

Bei symmetrischer Zu- und Rückleitung teilen sich die Leitungsimpedanzen je zur Hälfte auf:

$$\underline{Z} = \underline{Z}_{KN} + \underline{Z}_{L1} \quad \text{bei Symmetrie folgt:} \quad \underline{Z}_{KN} = \underline{Z}_{L1} = \frac{1}{2} \cdot \underline{Z}$$

Damit vereinfacht sich die Beziehung für \underline{U}_{TOV1} an der Last \underline{Z}_{L1} zu:

$$\frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{\underline{Y}_{KN} + \underline{Y}_3 \cdot (1 - a)}{\underline{Y}_3 + \underline{Y}_{KN}} = \frac{\frac{2}{\underline{Z}} + \frac{2 \cdot (1 - a)}{\underline{Z} + 2 \cdot \underline{Z}_{L3}}}{\frac{2}{\underline{Z}} + \frac{2}{\underline{Z} + 2 \cdot \underline{Z}_{L3}}} = \frac{\underline{Z}_{L3} + \underline{Z} \cdot \left(1 - \frac{a}{2} \right)}{\underline{Z}_{L3} + \underline{Z}} = 1 - \frac{a}{2} \cdot \frac{\underline{Z}}{\underline{Z}_{L3} + \underline{Z}} \quad (3.3.4)$$

Zur Bestimmung der maximalen temporären Überspannung ist eine Betragsanalyse von Gl. (3.3.4) ausreichend. Für einen idealen Kurzschluss an L3 bei ohmsch wirkenden Netzen ergibt die Grenzwertbetrachtung die maximal mögliche temporäre Überspannung:

$$\lim_{\underline{Z}_{L3} \rightarrow 0} \left| \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} \right| = \left| 1 - \frac{a}{2} \right| = \frac{\sqrt{7}}{2} \approx 1,323$$

Zur zweidimensionalen Darstellung der TOV in **Abb. 3.6** ist eine normierte Betragsdarstellung bezogen auf den prospektiven Kurzschlussstrom vorteilhaft.

$$\frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = 1 - \frac{a}{2} \frac{\underline{Z}}{\underline{Z}_{L3} + \underline{Z}} \quad \text{mit} \quad \frac{I_{SC}}{I_p} = \frac{\frac{\underline{U}_{3N}}{\underline{Z} + \underline{Z}_{L3}}}{\frac{\underline{U}_{3N}}{\underline{Z}}} = \frac{\underline{Z}}{\underline{Z}_{L3} + \underline{Z}} \quad \text{folgt} \quad \left| \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} \right| = \left| 1 - \frac{a}{2} \cdot \frac{I_{SC}}{I_p} \right|$$

Abb. 3.6 zeigt nun die normierte Betragsdarstellung bei unterschiedlich induktiv wirkenden Netzimpedanzen \underline{Z} . Ab $\cos \varphi_l < 0,65$ ergeben sich Maxima, die den Grenzwert $\frac{1}{2} \cdot \sqrt{7}$ überschreiten. Ein absolutes Maximum ergibt sich für $\cos \varphi_l = 0$ an der Stelle:

$$\left| \frac{I_{SC}}{I_p} \right| = \frac{2 \cdot \sqrt{3}}{\sqrt{42 - 6 \cdot \sqrt{21}}} \approx 0,909 \rightarrow \max \left| \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} \right| = - \frac{\sqrt{14} \cdot \sqrt{17 - 3 \cdot \sqrt{21}}}{2 \cdot (\sqrt{21} - 7)} \approx 1,395$$

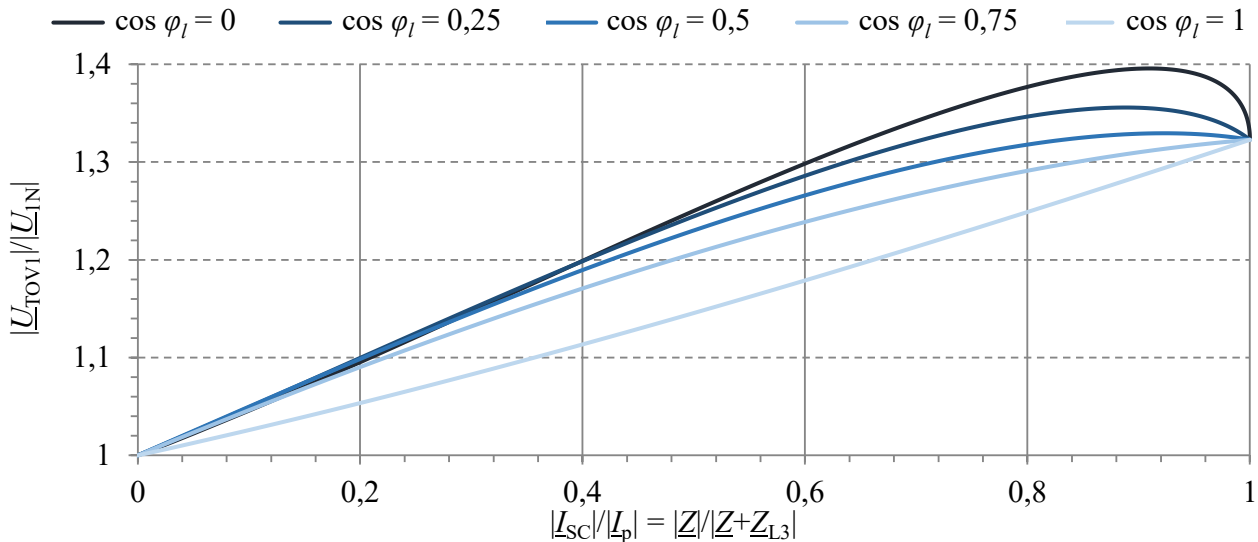


Abb. 3.6: Bezogene temporäre Überspannungen $|U_{TOV1}|/|U_{IN}|$ in Abhängigkeit des bezogenen Kurzschlussstromes $|I_{SC}|/|I_p|$ bei $\cos \varphi_l = 0 - 1$ für einen Kurzschluss an Phase L3

Die ausführliche Diskussion der Extremwerte ist in **Anhang 2** beigefügt.

Beurteilung der Gefährdung durch TOV-Spannung bei Kurzschluss L gegen N

Abb. 3.6 verdeutlicht, dass es bei induktiv wirkenden Netzen zu Spannungsüberhöhungen von ca. 40 % über die Nennspannung kommen kann. Hierzu muss allerdings ein Kurzschlussstrom nahe des prospektiven Maximalwertes zum Fließen kommen. Der vorgelagerte Überstromschutz wird diesen Fehler schnell abschalten, was die Dauer der Überspannung stark reduziert.

Daher ist die maximale TOV bei Kurzschlüssen näher an einem transienten Überspannungsereignis im Bereich $t_{TOV} < 10$ ms als an einem temporären Zustand. Für kleinere Kurzschlussströme, die von vorgelagerten Überstromschutzelementen (Schmelzsicherungen, Leitungsschutzschalter) deutlich langsamer unterbrochen werden, sind nach **Abb. 3.6** nur geringe Spannungsüberhöhungen zu erwarten. Dies verdeutlicht auch **Abb. 3.7**.

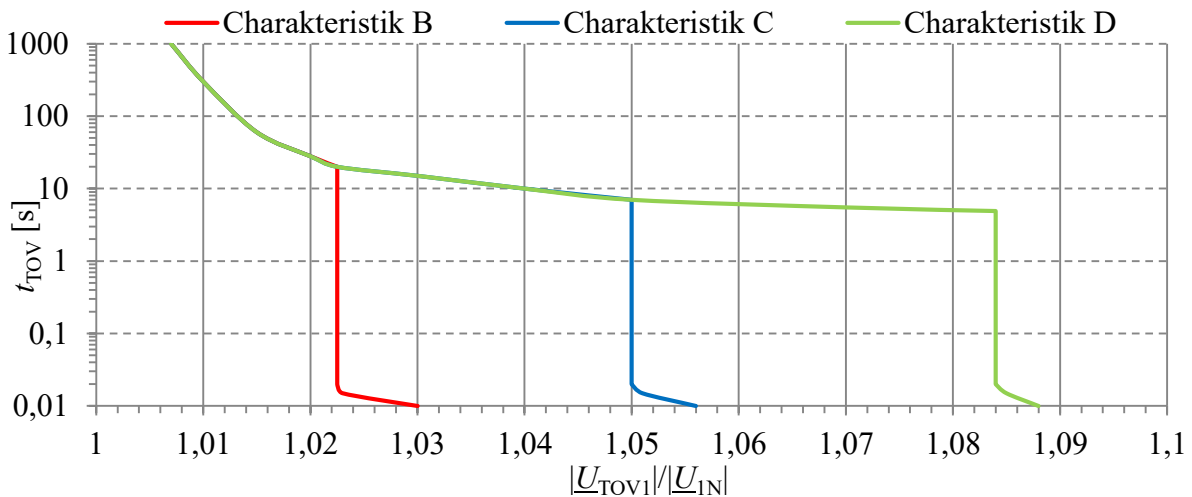


Abb. 3.7: Einwirkdauer der TOV bei verschiedenen Auslösecharakteristika von Leitungsschutzschaltern nach [35]

Hier wurde beispielhaft die Dauer der temporären Überspannung bei Netzkurzschlüssen für Leitungsschutzschalter (LS) mit einem Nennstrom von $I_n = 16$ A in Hausinstallationen nach [35] untersucht. Für eine „worst case“-Betrachtung wurden die verschiedenen Grenzkennlinien bei einem prospektiven Kurzschlussstrom von $I_p = 1,5$ kA mit einem $\cos \varphi_l = 0,75$ hinterlegt.

Nach [36] ist diese Kombination von prospektivem Kurzschlussstrom und $\cos \varphi_l$ nicht möglich. Dennoch soll sie hier als „worst case“-Fall herangezogen werden, da sie einerseits eine hohe Netzinduktivität beinhaltet, was nach **Abb. 3.6** eine hohe TOV zur Folge hat und andererseits wegen des niedrigen prospektiven Kurzschlussstromes lange Auslösezeiten nach sich zieht. Es ist ersichtlich, dass eine temporäre Überspannung größer $1,085 \cdot U_n$ von den im Netz verbauten Schutzelementen nur für eine kurze Dauer (ca. 10 – 20 ms) zugelassen wird.

3.3.2 TOV bei Neutralleiter-Unterbrechung

Im Falle einer Neutralleiter-Unterbrechung (NU) geht das Vierleitersystem in ein Dreileitersystem über. Bei Neutralleiter-Unterbrechung kann die Annahme getroffen werden, dass die Lastimpedanzen deutlich größer als die Leitungsimpedanzen sind, d.h.:

$$\underline{Y}_1 = \frac{1}{\underline{Z}_{L1} + \underline{Z}_{L1}} \approx \frac{1}{\underline{Z}_{L1}} ; \underline{Y}_2 = \frac{1}{\underline{Z}_{L2}} = \frac{1}{\underline{Z}_{L2} + \underline{Z}_{L2}} \approx \frac{1}{\underline{Z}_{L2}} ; \underline{Y}_3 = \frac{1}{\underline{Z}_{L3}} = \frac{1}{\underline{Z}_{L3} + \underline{Z}_{L3}} \approx \frac{1}{\underline{Z}_{L3}} ; \underline{Y}_{KN} = \frac{1}{\underline{Z}_{KN}} = 0 \quad (3.3.5)$$

Daher sind nun folgende Zusammenhänge für die temporären Überspannungen an den Lasten gültig:

$$\lim_{\underline{Y}_{KN} \rightarrow 0} \underline{U}_{KN} = \frac{\underline{U}_{1N} \cdot \underline{Y}_1 + \underline{U}_{2N} \cdot \underline{Y}_2 + \underline{U}_{3N} \cdot \underline{Y}_3}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3} = \underline{U}_{1N} \cdot \frac{\underline{Y}_1 + a^2 \cdot \underline{Y}_2 + a \cdot \underline{Y}_3}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3} \quad (3.3.6)$$

Mit $a = e^{j \cdot 120^\circ}$, $a^2 = e^{j \cdot 240^\circ}$ und $\underline{Y}_{KN} = 0$ folgt für die Spannung an der Last \underline{Z}_{L1} , welche wieder der TOV entspricht:

$$\underline{U}_{1K} \approx \underline{U}_{TOV1} = \underline{U}_{1N} - \underline{U}_{KN} = \underline{U}_{1N} \cdot \left(1 - \frac{\underline{Y}_1 + a^2 \cdot \underline{Y}_2 + a \cdot \underline{Y}_3}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3} \right) = \underline{U}_{1N} \cdot \frac{\underline{Y}_2 \cdot (1 - a^2) + \underline{Y}_3 \cdot (1 - a)}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3} \quad (3.3.7)$$

Die Spannungen $\underline{U}_{2K} = \underline{U}_{TOV2}$ und $\underline{U}_{3K} = \underline{U}_{TOV3}$ an den Lasten \underline{Z}_{L2} und \underline{Z}_{L3} ergeben sich analog. Für die Analyse der auftretenden temporären Überspannungen bei Neutralleiterverlust ist es sinnvoll, in folgende mögliche Lastfälle zu untergliedern:

1. **Fall** gleichartige Lasten: rein ohmsche, rein induktive oder rein kapazitive Lasten an den Phasen L1 bis L3
2. **Fall** zweiartige Lasten: ohmsch-induktive Lasten an Phase L1 bis L3 oder ohmsch-kapazitive Lasten an Phase L1 bis L3
3. **Fall** dreiartige Lasten: ohmsch-induktiv-kapazitive Lasten an Phase L1 bis L3

Im ersten Fall ist die Verteilung der Lasten eindeutig. An den Phasen L1 bis L3 sind entweder rein kapazitive, rein ohmsche oder rein induktive Verbraucher angeschlossen, wobei ausschließlich der Betrag der Impedanzen variiert. Die Verteilung der Lasten im zweiten Fall lässt mehrere Zustände erwarten, z.B. Last an L1 induktiv sowie L2 und L3 ohmsch oder Last an L1 und L2 ohmsch und L3 induktiv. Im dritten Fall können noch weitere Lastverteilungszustände auftreten.

Nachfolgend wird die maximal zu erwartende temporäre Überspannung an Phase L1 für alle drei Fälle beschrieben. Dazu wurde die Last an Phase L1 immer so gewählt, dass sich eine maximale TOV je nach Fall 1 – 3 einstellt. Im Gegensatz zum Kurzschlussfall ergeben sich die Maximalwerte der temporären Überspannung aus den Grenzwertbetrachtungen.

1. Fall gleichartige Lasten: rein ohmsch oder rein induktiv oder rein kapazitiv

Die Forderung nach gleichartigen Lasten hat $\varphi_{\underline{Z}_{L1}} = \varphi_{\underline{Z}_{L2}} = \varphi_{\underline{Z}_{L3}}$ als Konsequenz. In diesem Lastfall ergeben sich zwei Maximalwerte für die temporäre Überspannung an Phase L1 bei den Grenzwerten:

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \lim_{\underline{Z}_{L2} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{\underline{Y}_2 \cdot (1 - a^2) + \underline{Y}_3 \cdot (1 - a)}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3} = \frac{\underline{Y}_3 \cdot (1 - a)}{\underline{Y}_3} = (1 - a) = \sqrt{3} \cdot e^{-j \cdot 30^\circ}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \lim_{\underline{Z}_{L3} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{\underline{Y}_2 \cdot (1 - a^2) + \underline{Y}_3 \cdot (1 - a)}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3} = \frac{\underline{Y}_2 \cdot (1 - a^2)}{\underline{Y}_2} = (1 - a^2) = \sqrt{3} \cdot e^{j \cdot 30^\circ}$$

Abb. 3.8 zeigt den Verlauf der maximal zu erwartenden normierten temporären Überspannung an der Last \underline{Z}_{L1} in Abhängigkeit der normierten Sternpunktverschiebung \underline{U}_{KN} . Die normierte Sternpunktverschiebung kann als Maß für die Asymmetrie im Dreileitersystem gelten. Die Funktion stellt sich wie folgt dar:

$$\left| \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} \right| = \left| \left(\frac{\underline{U}_{KN}}{\underline{U}_{TOV1}} \right)^{-1} \right| \cdot \left| \frac{\underline{Y}_1 + a^2 \cdot \underline{Y}_2 + a \cdot \underline{Y}_3}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3} \right| \quad (3.3.8)$$

Die zugehörigen Ortskurven der maximalen temporären Überspannungen zu allen drei Lastfällen sind im **Anhang 3** hinterlegt.

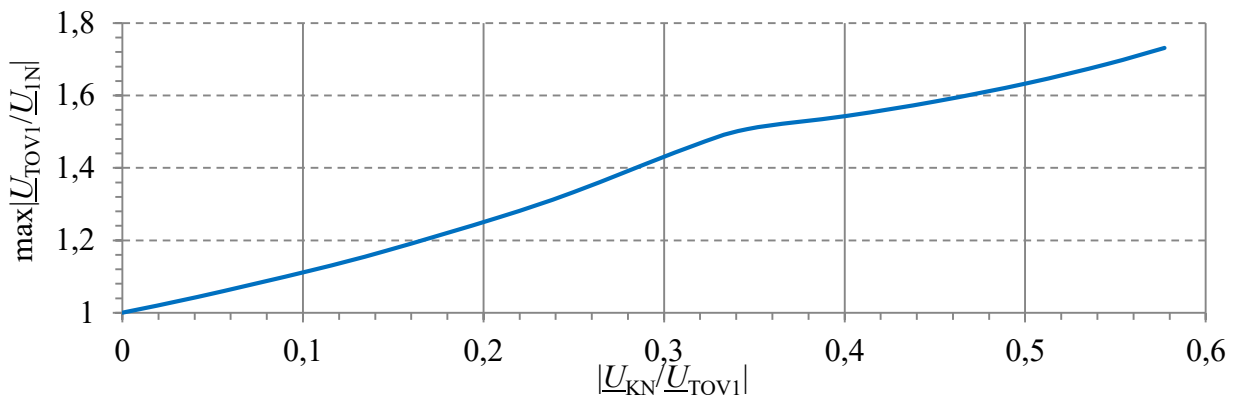


Abb. 3.8: Normierter Verlauf von $\max|\underline{U}_{TOV1}/\underline{U}_{1N}| = f(|\underline{U}_{KN}/\underline{U}_{TOV1}|)$ für den ersten Fall

Aus **Abb. 3.8** ist ersichtlich, dass bei gleichartigen Lasten eine maximale temporäre Überspannung vom Wert der Außenleiterspannung auftreten kann.

2. Fall zweiartige Lasten: ohmsch-induktiv oder ohmsch-kapazitiv

Die maximale temporäre Überspannung an der Last \underline{Z}_{L1} ergibt sich bei ohmsch-induktiven Lasten unter folgenden Bedingungen:

$$\underline{Y}_2 = |\underline{Y}_2| \cdot e^{-j \cdot 90^\circ} ; \quad \underline{Y}_3 = |\underline{Y}_2| \cdot e^{j \cdot 0^\circ} = |\underline{Y}_2|$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{\underline{Y}_2 \cdot (1 - a^2) + \underline{Y}_3 \cdot (1 - a)}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3} = \frac{|\underline{Y}_2| \cdot e^{-j \cdot 90^\circ} \cdot (1 - a^2) + |\underline{Y}_2| \cdot (1 - a)}{|\underline{Y}_2| \cdot e^{-j \cdot 90^\circ} + |\underline{Y}_2|} = \frac{3 + \sqrt{3}}{2} \approx 2,367$$

Die maximale temporäre Überspannung ergibt sich bei ohmsch-kapazitiven Lasten unter folgenden Bedingungen:

$$\underline{Y}_2 = |\underline{Y}_3| \cdot e^{j \cdot 0^\circ} = |\underline{Y}_3| ; \quad \underline{Y}_3 = |\underline{Y}_3| \cdot e^{j \cdot 90^\circ}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{\underline{Y}_2 \cdot (1 - a^2) + \underline{Y}_3 \cdot (1 - a)}{\underline{Y}_1 + \underline{Y}_2 + \underline{Y}_3} = \frac{|\underline{Y}_3| \cdot (1 - a^2) + |\underline{Y}_3| \cdot e^{j \cdot 90^\circ} \cdot (1 - a)}{|\underline{Y}_3| + |\underline{Y}_3| \cdot e^{j \cdot 90^\circ}} = \frac{3 + \sqrt{3}}{2} \approx 2,367$$

Abb. 3.9 zeigt den Verlauf der maximal zu erwartenden normierten temporären Überspannung an der Last \underline{Z}_{L1} in Abhängigkeit der normierten Sternpunktverschiebung \underline{U}_{KN} nach Gl. (3.3.8).

Es ist ersichtlich, dass bei zweiartigen Lasten, unter den genannten Bedingungen, temporäre Überspannungen Werte größer als die Außenleiterspannung annehmen können.

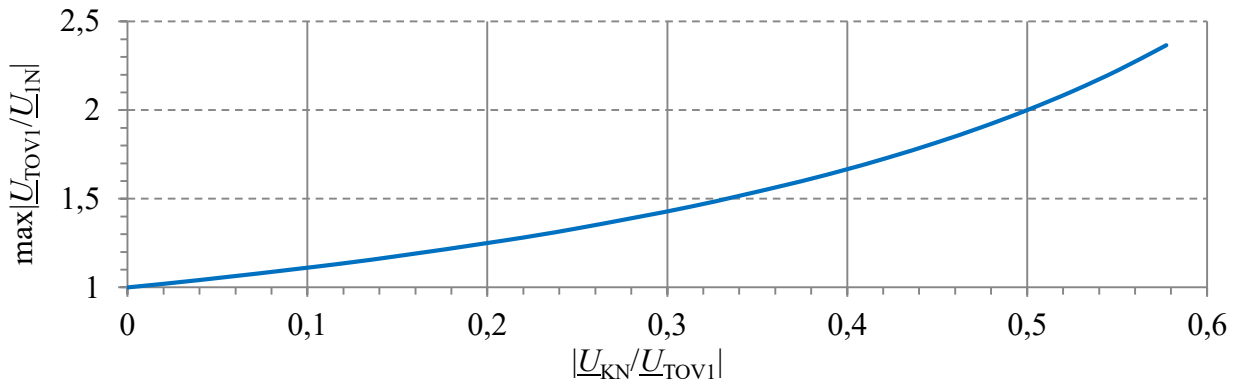


Abb. 3.9: Normierter Verlauf von $\max|\underline{U}_{TOV1}/\underline{U}_{IN}| = f(|\underline{U}_{KN}/\underline{U}_{TOV1}|)$ für den zweiten Fall

3. Fall dreiartige Lasten: ohmsch-induktiv-kapazitiv

Im Fall von dreiartigen Lasten können Resonanzen auftreten, die unter folgenden Grenzbedingungen zu maximalen temporären Überspannungen führen:

$$\underline{Y}_2 = |\underline{Y}_2| \cdot e^{j \cdot 90^\circ} ; \quad \underline{Y}_3 = |\underline{Y}_3| \cdot e^{-j \cdot 90^\circ} ; \quad |\underline{Y}_2| = |\underline{Y}_3| = |\underline{Y}| \rightarrow \text{Resonanzbedingung}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{|\underline{Y}| \cdot e^{j \cdot 90^\circ} \cdot (1 - a^2) + |\underline{Y}| \cdot e^{-j \cdot 90^\circ} \cdot (1 - a)}{\underline{Y}_1 + |\underline{Y}| \cdot e^{j \cdot 90^\circ} + |\underline{Y}| \cdot e^{-j \cdot 90^\circ}} = -\sqrt{3} \cdot \frac{|\underline{Y}|}{\underline{Y}_1} = -\infty$$

oder

$$\underline{Y}_2 = |\underline{Y}_2| \cdot e^{-j \cdot 90^\circ} ; \quad \underline{Y}_3 = |\underline{Y}_3| \cdot e^{j \cdot 90^\circ} ; \quad |\underline{Y}_2| = |\underline{Y}_3| = |\underline{Y}| \rightarrow \text{Resonanzbedingung}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{|\underline{Y}| \cdot e^{-j \cdot 90^\circ} \cdot (1 - a^2) + |\underline{Y}| \cdot e^{j \cdot 90^\circ} \cdot (1 - a)}{\underline{Y}_1 + |\underline{Y}| \cdot e^{-j \cdot 90^\circ} + |\underline{Y}| \cdot e^{j \cdot 90^\circ}} = \sqrt{3} \cdot \frac{|\underline{Y}|}{\underline{Y}_1} = +\infty$$

Abb. 3.10 zeigt erneut den Verlauf der maximal zu erwartenden normierten temporären Überspannung in Abhängigkeit der normierten Sternpunktverschiebung. Bei Resonanz können theoretisch deutlich erhöhte temporäre Überspannungen auftreten.

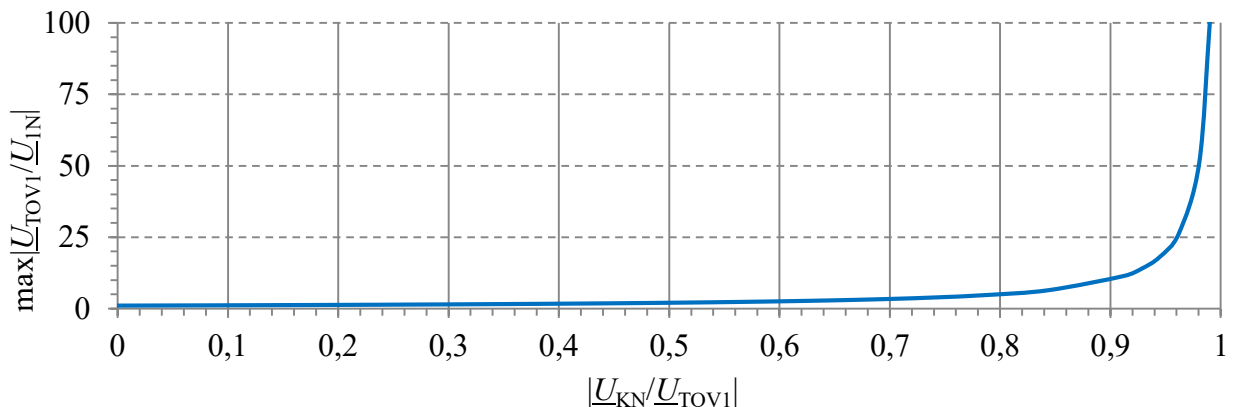


Abb. 3.10: Normierter Verlauf von $\max|\underline{U}_{TOV1}/\underline{U}_{IN}| = f(|\underline{U}_{KN}/\underline{U}_{TOV1}|)$ für den dritten Fall

Beurteilung der Gefährdung durch TOV bei Neutraleiter-Unterbrechung

Wie die Bestimmung des Wirkleistungsfaktors der Betriebsimpedanzen in Haushalten aus [37] zeigt, sind bei Verbraucherleistungen größer 1 kW Wirkleistungsfaktoren nahe $\cos \varphi \approx 1$ zu erwarten. D.h. bei großen Leistungen ist der Verlauf aus **Abb. 3.8** wirksam.

Je geringer die Lasten, desto wahrscheinlicher ist ein Wirkleistungsfaktor im Bereich von $\cos \varphi = 0 - 0,5$ induktiv wie kapazitiv, was einer Gefährdung nach **Abb. 3.9** entspricht. Speziell der Fall 2 ist besonders hervorzuheben, da er unabhängig von der Größe der Blindwiderstände auftritt und eine Spannungsüberhöhung von Faktor 2,367 zur Folge hat. Diese Gefährdung ist heute normativ nicht erfasst und kann gerade für den ohmsch-kapazitiven Fall an Bedeutung gewinnen, angesichts immer kapazitiver wirkender Verbraucher. Resonanz im Fall drei ist aufgrund von notwendigen sehr großen Energiespeichern nicht realistisch (beispielsweise wäre bei $C = 470 \text{ nF}$ eine Induktivität von $L = 21,5 \text{ H}$ nötig). Diese Einschätzung wird auch in [31] bestätigt. Daher ist **Abb. 3.10** bei ca. $|\underline{U}_{KN}/\underline{U}_{TOV1}| = 0,8$ als praktisches Maximum $\max|\underline{U}_{TOV1}|/|\underline{U}_{IN}| \approx 6$ zu bewerten.

Die Gefährdung der Lasten ist neben deren Verteilung im Netz bzw. der Installation außerdem vom Ort der Neutraleiter-Unterbrechung abhängig. Dieser Einfluss ist in **Abb. 3.11** dargestellt.

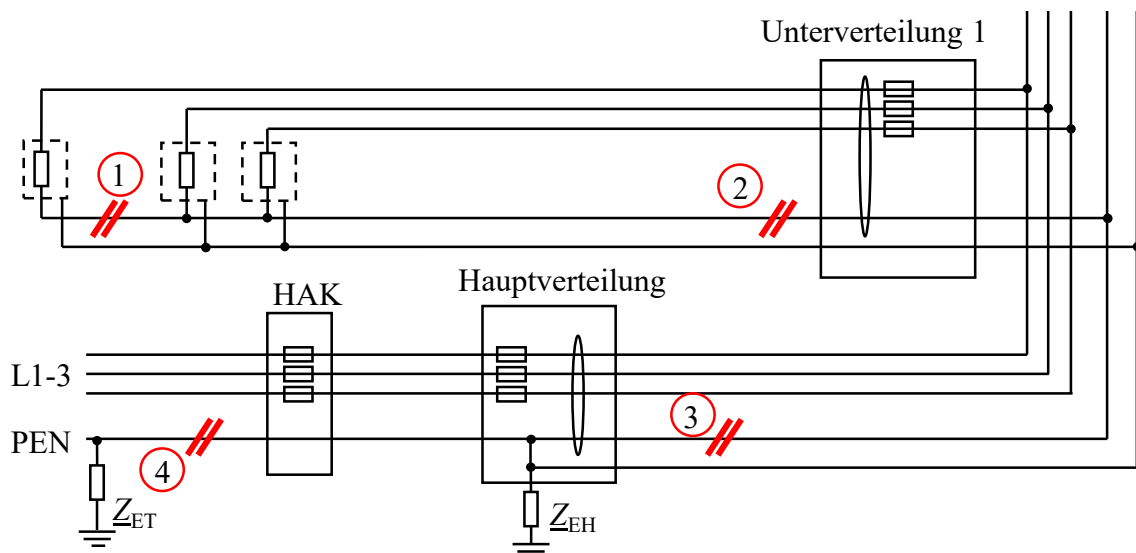


Abb. 3.11: Orte der Neutraleiter-Unterbrechung am Beispiel einer Hausinstallation (TN-C-S)

Beurteilung der Gefährdung nach Position der Neutraleiter-Unterbrechung

Position 1: Unterbrechung an der Last

Die Unterbrechung des Neutraleiters \underline{Z}_U an der Last \underline{Z}_L stellt für diese keine Gefahr dar, da der Spannungsabfall an der Last gegen Null geht, wenn gilt $\underline{Z}_U \gg \underline{Z}_L$. Weiterhin wird der Fehler nicht durch Schutzelemente erkannt und daher auch nicht von diesen behoben.

Position 2: Unterbrechung in der Unterverteilung

Bei der Unterbrechung des Neutraleiters in der Unterverteilung kommt es bei asymmetrischen Lasten zu einer Gefährdung nach Gl. (3.3.7). Der Fehler wird erst nach Zerstörung der Last (Überlastung führt zu kurzschlussartigem Zustand) mittels einer Sicherung oder eines Leitungsschutzschalters abgeschaltet. Ein Auslösen des FI-Schutzschalters findet nicht statt.

Position 3: Unterbrechung in der Hauptverteilung

Bei der Unterbrechung des Neutraleiters in der Hauptverteilung kommt es bei asymmetrischen Lasten ebenfalls zu einer Gefährdung der Lasten nach Gl. (3.3.7).

Grundsätzlich sind größere Asymmetrien wie bei einer Unterbrechung in der Unterverteilung zu erwarten. Der Fehler wird erst nach Zerstörung der Last durch die Sicherung oder den Leitungsschutzschalter abgeschaltet. Ein Auslösen des FI-Schutzschalters findet nicht statt.

Position 4: Unterbrechung in der Versorgungszuleitung

Bei der Unterbrechung des PEN-Leiters in der Hauptverteilung kommt es bei asymmetrischen Lasten zu einer reduzierten Gefährdung. Für \underline{Y}_{KN} kann gelten:

$$\underline{Y}_{KN} = \frac{1}{\underline{Z}_{EH} + \underline{Z}_{ET}} \quad (3.3.9)$$

Darin sind \underline{Z}_{EH} und \underline{Z}_{ET} die Erdungsimpedanzen der baulichen Anlage (Haus) und der Ortsnetzstation (Transformator). Damit ergibt sich kein reines Dreileitersystem mehr. Es können Teilausgleichsströme über die Erdung fließen, was zu einer Reduktion der temporären Überspannung führt. Der Fehler wird erst nach Zerstörung der Lasten durch die Sicherung oder den Leitungsschutzschalter abgeschaltet. Ein Auslösen des Fehlerstromschutzschalters (FI) findet nicht statt.

3.3.3 TOV bei Erdschlüssen

In geerdeten Netzsystemen wirkt ein Erdschluss wie ein Kurzschluss. Daher sind temporäre Überspannungen nach **Kap. 3.3.1** zu erwarten. Eine Besonderheit stellt das IT-System dar. Kommt es hier zu einem einfachen Erdschluss einer Phase steigt die Spannung der nicht vom Fehler betroffenen Phasen gegen Erde auf die Außenleiterspannung. Für einen Erdschluss an Phase L3 folgt:

$$\begin{aligned} \underline{U}_{L3PE} = 0 &\rightarrow \underline{U}_{L1PE} = \underline{U}_{L1L3} = \underline{U}_{1N} - \underline{U}_{3N} = \underline{U}_{1N} \cdot (1 - a) = \sqrt{3} \cdot \underline{U}_{1N} \cdot e^{-j \cdot 30^\circ} \\ \underline{U}_{L2PE} &= \underline{U}_{L2L3} = -j \cdot \sqrt{3} \cdot \underline{U}_{1N} \end{aligned}$$

Die Lastspannungen bleiben davon unberührt und der Betrieb des Netzes ist mit einem Einfachfehler weiterhin möglich. Ein doppelter Erdschluss stellt einen Kurzschluss dar und führt damit zur Abschaltung des Netzes.

3.3.4 TOV bei Mittelspannungsfehlern

Bei Fehlern in der vorgelagerten Mittelspannungsebene (MS) kann es über die Erdungen oder den Transformator zu einer Rückwirkung auf das Niederspannungsnetz kommen. Die Rückwirkung über die Erdungen ist in IT- und TT-Systemen möglich und stellt eine erhöhte temporäre Spannungsbelastung N gegen PE dar. Im Fehlerfall kann außerdem die Transformation der Außenleiterspannung von der Mittelspannungsebene auf die Niederspannungsebene erfolgen. Dies ist unabhängig von der Netzform und stellt eine temporäre Überspannung L gegen N dar. Die Rückwirkung eines Mittelspannungsfehlers wurde beispielhaft, wie in **Abb. 3.12** gezeigt, mit LTspice [38] für zwei Transformatorschaltgruppen (Yy0 und Dy5) im TT-System simuliert. Das dazugehörige LTspice Model findet sich in **Anhang 4**.

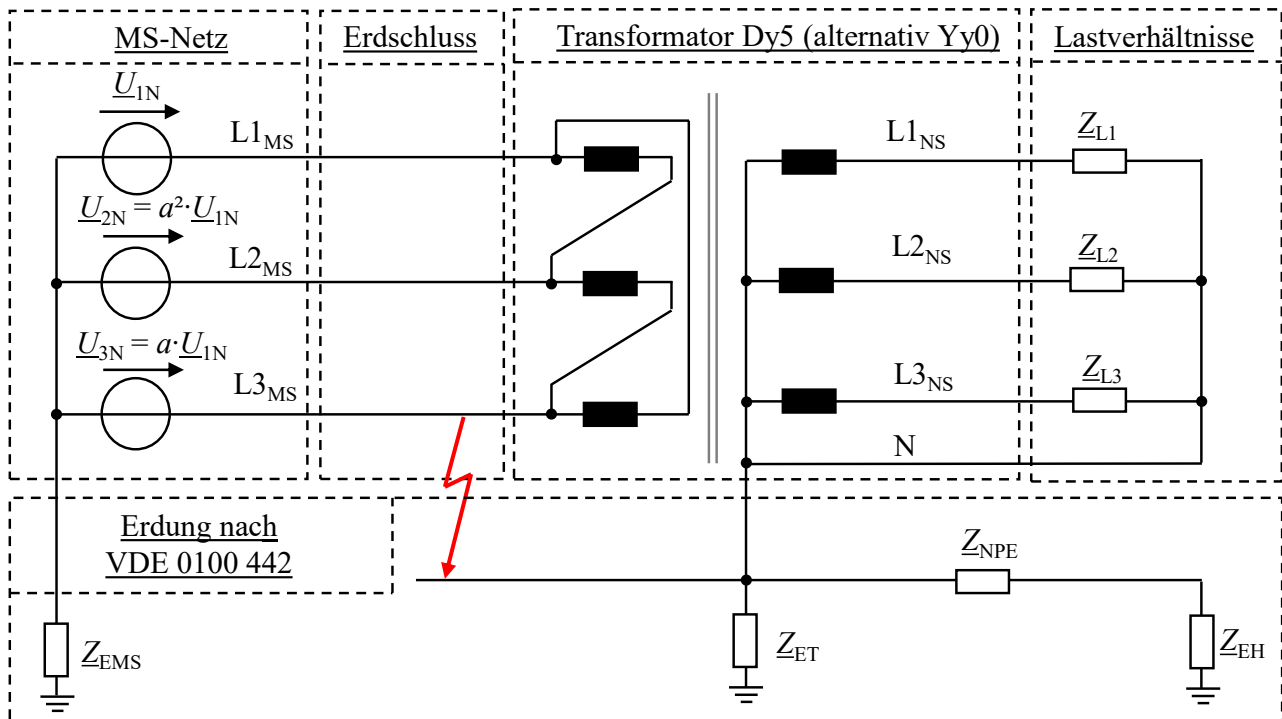


Abb. 3.12: MS-Fehler vor Dy5- oder Yy0-Trafo mit Auswirkung im nachgelagerten TT-Netz

Die Spannungsüberhöhung U_{NPE} hängt stark von den Erdungsverhältnissen ab. Diese sind nach [39] bei der Anlagenerrichtung so auszulegen, dass $U_{NPE} = 1,2 \text{ kV}$ im Fehlerfall nicht überschritten wird. Dies wurde in der Simulation durch eine geeignete Wahl der Erdungswiderstände nachgestellt. **Abb. 3.13** zeigt die Spannungsverläufe auf der Sekundärseite, d.h. in der Niederspannungsebene, während eines Erdschlusses der Phase L3 auf der Mittelspannungsebene. Für den Dy5-Transformator gilt:

$$U_{NPE} = 1,2 \text{ kV} \text{ und } U_{L1} = U_{L2} = U_{L3} = U_{REF}$$

Für den Yy0-Transformator gilt:

$$U_{NPE} = 1,2 \text{ kV} \text{ und } U_{L1} = U_{L2} = U_{REF} \cdot \sqrt{3} \text{ und } U_{L3} = 0$$

Für eine Yy0-Schaltung des Transformators steigen die Strangspannungen auf die Außenleiterspannung an. Dies ist der Fall, da bei einem Fehler in der Mittelspannung (MS) an der Primärseite des Transformators ebenfalls die Außenleiterspannung ansteht, die dann auf die Sekundärseite transformiert wird.

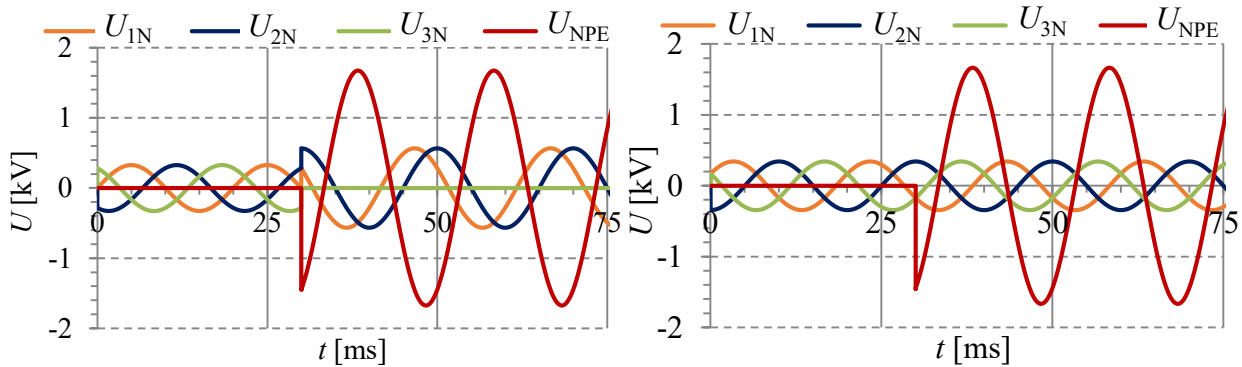


Abb. 3.13: Spannungsverläufe bei einem Mittelspannungsfehler mit Yy0- (links) und Dy5-Transformator (rechts)

Im Gegensatz zur Beeinflussung der Spannung U_{NPE} bei Mittelspannungsfehlern ist die Transformation der Außenleiterspannung bei der Schaltgruppen Yy0 auf die Sekundärseite der Niederspannung (NS) auch in TN-Systemen möglich. Im Falle der Schaltgruppe Dy5 wird die Außenleiterspannung nicht auf die Sekundärseite transformiert. Bei Kurzschlüssen im Vierleitersystem wurde in **Kap. 3.1.1** die maximale Erhöhung der Spannung um den Faktor 1,395 nachgewiesen. Bei der Rückwirkung von Mittelspannungsfehler handelt es sich jedoch meist um Kurzschlüsse bzw. Erdschlüsse im Dreileitersystem, weshalb eine Erhöhung der Spannung auf die Außenleiterspannung erfolgt.

Die Einwirkdauer von Mittelspannungsfehlern auf die Niederspannungsseite ist von der Dynamik des Schutzes und der Leistungsschalter abhängig, die den Fehler auf der Mittelspannungsebene beheben. Dies ist in [39] mit $t \leq 5$ s für Rückwirkungen bis $U_{TOV} = U_n + 1,2$ kV und $t > 5$ s für Rückwirkungen bis $U_{TOV} = U_n + 250$ V definiert. Da die Yy-Schaltung von Mittelspannungstransformatoren in der Praxis deutlich seltener vorkommt als Dy-Schaltungen, ist die Gefahr der Erhöhung der Außenleiterspannungen aufgrund eines Mittelspannungsfehlers gering. Weiterhin stellen sich die angegebenen Erdungsverhältnisse aus **Anhang 4** in der Praxis oft deutlich positiver dar, d.h. die Erdungsimpedanzen \underline{Z}_{EH} und \underline{Z}_{ET} sind niederohmiger als die in der Simulation angenommenen Werte, was eine starke Reduktion der temporären Überspannungen U_{NPE} zur Folge hat.

3.4 Übersicht von Bedrohungsparametern im AC-Netz

Ein Überblick der genannten Bedrohungsparameter und deren zu erwartenden Bereich im AC-Netz ist in **Tab. 3.5** gezeigt. Die Bereiche sind, wie in den Detailbetrachtungen der **Kap. 3.1 – 3.3** angegeben, abhängig vom Installationsort des SPD, Netzformen, usw. Die Anforderungen an die Überspannungsschutzkomponenten ergeben sich dann aus der jeweiligen Anwendungsumgebung.

Tab. 3.5: Übersicht der Bedrohungsparameter im AC-Netz

Bereich zu erwartender Bedrohungsparameter			AC-Netze			
			TN-C	TN-S	TT	IT
Eigenschaften	Parameter	Einheit				
Transiente Überspannungen (Stoßspannungen)						
Amplitude	$U_{1,2/50\mu s}$	[kV]	1,5 bis 12			
Anstiegssteilheit	$du/dt_{1,2/50\mu s}$	[kV/ μs]	1,25 bis 10			
Schutzpegelanforderung	U_p	[kV]	0,23 bis 2,8			
Ableitstoßströme						
Amplitude	$I_{8/20\mu s}$	[kA]	0,1 bis 10			
Anstiegssteilheit	$di/dt_{8/20\mu s}$	[A/ μs]	12,5 bis 1250			
Kommutierungssteilheit	$-di/dt_{8/20\mu s}$	[A/ μs]	von –6,6 bis –656			
Amplitude pro Phase	$I_{10/350\mu s}$	[kA]	12,5 bis 25	10 bis 20	12,5 bis 25	—
Anstiegssteilheit	$di/dt_{10/350\mu s}$	[kA/ μs]	bis 2,5			—
Folgeströme						
Effektivwerte	I_f	[kA]	1,5 bis 100			
Energie in Netzinduktivität bei ψ_1	$W_{\max 8/20\mu s}$	[kWs]	0,03 bis 0,07			
	$W_{\max 10/350\mu s}$	[kWs]	0,3 bis 35			
Temporäre Überspannungen (TOV)						
Kurzschluss (KS)	$U_{TOV_L/N}$	[V]	bis $1,395 \cdot U_{IN}$			
TOV-Dauer bei KS	t_{KS}	[s]	$U_{TOV} < 1,085 \cdot U_{IN}$ im s-Bereich $U_{TOV} > 1,085 \cdot U_{IN}$ im ms-Bereich			
Neutralleiter- Unterbrechung (NU) bei gleichartigen Lasten	$U_{TOV_L/N}$	[V]	$1,73 \cdot U_{IN}$			
NU bei zweiartigen Lasten	$U_{TOV_L/N}$	[V]	$2,37 \cdot U_{IN}$			
NU bei dreiartigen Lasten	$U_{TOV_L/N}$	[V]	$\sim 6 \cdot U_{IN} (\pm \infty)$			
TOV-Dauer bei NU	t_{NU}	[s]	∞			
Erdschluss	$U_{TOV_L/N}$	[V]	bis $1,395 \cdot U_{IN}$	bis $1,395 \cdot U_{IN}$	bis $1,395 \cdot U_{IN}$	—
Erdschluss	$U_{TOV_L/PE}$	[V]	—	—	—	$1,73 \cdot U_{IN}$
TOV-Dauer bei Erdschluss	t_{PE}	[s]	wenige ms	wenige ms	wenige ms	∞
Mittelspannungsfehler Yy0	$U_{TOV_L/N}$	[V]	$1,73 \cdot U_{IN}$	$1,73 \cdot U_{IN}$	$1,73 \cdot U_{IN}$	$1,73 \cdot U_{IN}$
Mittelspannungsfehler (Yy0, Dy5)	$U_{TOV_N/PE}$	[kV]	—	—	1,2	1,2
TOV-Dauer bei Mittelspannungsfehler	t_{MS}	[s]	—	—	≤ 5	≤ 5

4. Bedrohungsparameter für den Überspannungsschutz im DC-Netz

Die sich im DC-Netz ergebenden Bedrohungsszenarien sind die in **Kap. 2** genannten. Im Gegensatz zum AC-Netz gibt es bislang für Überspannungsschutzgeräte keine einheitliche Norm, die Anforderungen definiert. Erste Teilanforderungen an SPDs in PV-DC-Netzen sind in [36] aufgestellt. Dies beschreibt jedoch nicht die Situation in DC-Niederspannungsnetzen zur Versorgung von Gebäuden, wie in [16] genannt.

Die Bedrohungsparameter unterscheiden sich im DC-Netz zum AC-Netz vor allem aufgrund der Quellen- und Netzcharakteristika. Daher soll nachfolgend eine genaue Analyse der Bedrohungsparameter im DC-Netz angestellt werden, um im Weiteren Anforderungen an Schutzkonzepte definieren zu können. Hierbei wird besonders auf die Unterschiede zum AC-Netz eingegangen. Gleiche Parameter werden aus der Bedrohungsanalyse des AC-Netzes übernommen oder auf diese verwiesen.

Der in diesem Kapitel oft verwendete Begriff des „Wandlers“ bezieht sich immer auf AC/DC- oder DC/DC-Wandler und nicht auf die in der Energietechnik zur Anwendung kommenden Messwandler für Ströme und Spannungen.

4.1 Transienten im DC-Netz

Grundsätzlich sind in DC-Netzen dieselben Stoßamplituden wie in AC-Netzen zu erwarten, da sich die Installationsabmessungen im Vergleich zu einer gleichwertigen AC-Installation nicht stark unterscheiden. Wesentliche Einflussfaktoren sind jedoch die Netzkapazitäten und der Netzaufbau (Anzahl der Leiter), welche Stoßvorgänge und Stoßamplituden beeinflussen. Daher soll in diesem Kapitel der Einfluss der Eigenschaften von DC-Netzen auf die transienten Stoßspannungs- und Stoßstromparameter untersucht werden.

4.1.1 Abschätzung der Stoßspannungsparameter

Im Allgemeinen sind in DC-Netzen die Stoßspannungsparameter aus **Kap. 3.1.1** und **Tab. 3.1** gültig. Im Gegensatz zum AC-Netz sind jedoch deutlich größere Kapazitätswerte zur Netzstützung zu erwarten. Dies verändert die Bedrohungsparameter, was beispielhaft anhand von **Abb. 4.1** für Stoßspannungsbeeinflussungen gezeigt werden soll.

Für eine Grenzwertbetrachtung der Vorgänge bei Stoßspannungsbelastung des in **Abb. 4.1** gezeigten DC-Netzes wurde die Eingangsimpedanz $\underline{Z}_{DC/DC}$ des DC/DC-Wandlers für den transienten Fall als sehr groß angenommen, d.h. $\underline{Z}_{DC/DC} \gg \underline{Z}_l$. Dies ist aufgrund der typischen Ausgangsbeschaltung eines Wandlers mit einer Halbbrücke und einer Induktivität realistisch. Der Stützkondensator C_{out} wurde nicht zur Eingangsimpedanz des Wandlers gerechnet.

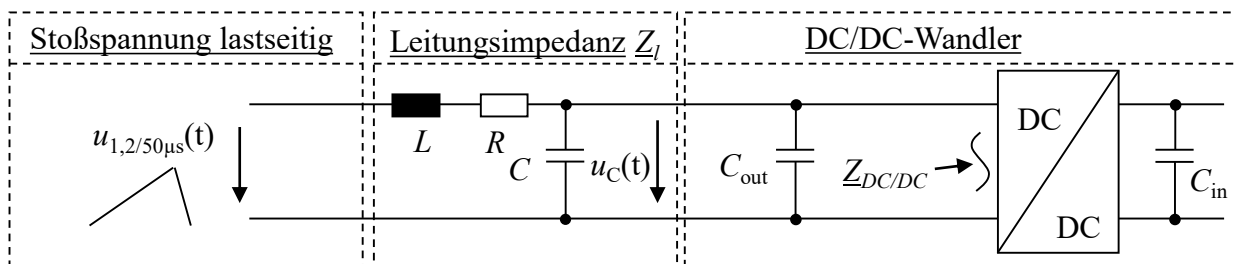


Abb. 4.1: ESB zur Untersuchung von Stoßspannungen an einem DC/DC-Wandler

Weiterhin wurde die Stoßspannung in **Abb. 4.1** als ideale Spannungsquelle mit dem Verlauf aus Gl. (3.1.1) angenommen. Dies kann erfolgen, da der Blitzstoßstrom am Einschlagsort nach [27, p. 82] als eingepreßt gelten kann und damit keine Beeinflussung des vom Blitz getroffenen Objektes auf den Blitzstoßstrom erfolgt. Die Stoßspannung wird dann entweder über die Erdungsverhältnisse eingepreßt oder über eine induzierte Blitzwirkung eingekoppelt. Der bei induzierten Ereignissen fließende Stoßstrom wird von der Leitungsimpedanz $Z_l(R, L, C)$ bestimmt.

Zur Veranschaulichung der Wirkung des Stützkondensators C_{out} wurde in **Abb. 4.2** beispielhaft der normierte Verlauf der maximalen Stoßspannungsamplitude am Eingang des DC/DC-Wandlers in Abhängigkeit der Leitungslänge dargestellt. Für die Verdrahtung mit einer PVC-Doppelleitung mit den Abmaßen aus [40], [41] ($A = 1,5 \text{ mm}^2$) ergeben sich nach [31] folgende Leitungsbeläge $R' = 12,1 \text{ m}\Omega/\text{m}$, $L' = 276,6 \text{ nH/m}$ und $C' = 41,5 \text{ pF/m}$. Die Leitungslänge wurde über einen Bereich von $l = 0,01 - 100 \text{ m}$ variiert.

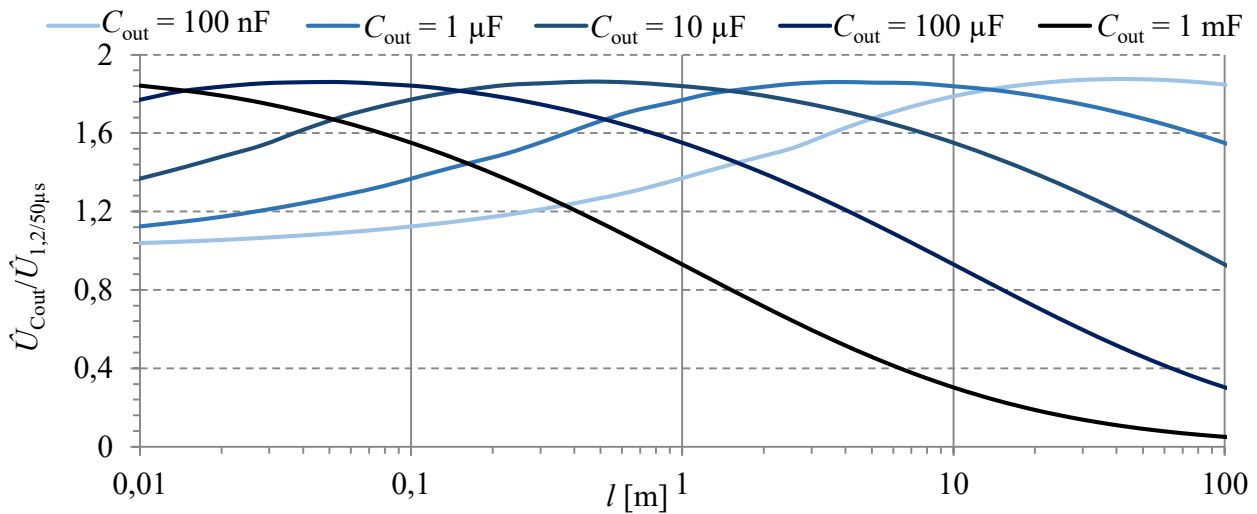


Abb. 4.2: Abhängigkeit $k_u = f(l)$ der normierten Stoßspannungsamplitude von der Leitungslänge

Die Kapazität im DC-Netz führt neben einer Reduktion der Spannungssteilheit, wie in [12] gezeigt, zusammen mit der Netzinduktivität zu einer Erhöhung der Stoßspannungsamplitude, was aus **Abb. 4.2** hervorgeht. Die maximal mögliche Spannungsüberhöhung am Stützkondensator bei Stoßspannungsereignissen der Form $1,2/50 \mu\text{s}$ liegt bei:

$$k_{u\max} = \frac{\hat{U}_{C_{out}}}{\hat{U}_{1,2/50\mu s}} \approx 1,955$$

Der Faktor $k_{u\max} = 1,955$ ergibt sich wegen der reduzierten Steilheit der Blitzstoßspannung im Vergleich zum idealen Einschaltvorgang einer Gleichspannung (Spannungssprung) auf einem RLC-Kreis mit $k_{u\max} = 2$ bei $D = 0$.

Die Erhöhung der Stoßspannungen am Leitungsende aufgrund der Wechselwirkung zwischen Leitungsinduktivität und Stützkondensator ist keine Eigenheit des DC-Netzes, sondern im AC-Netz gleichermaßen möglich. Aufgrund der hohen Werte der Ausgangskapazitäten ($\mu\text{F} - \text{mF}$) ist jedoch eine Erhöhung der Stoßspannung bei deutlich geringeren Leitungslängen im Vergleich zum AC-Netz zu erwarten. Kleine Stützkondensatoren (wenige nF) stellen die Situation im AC-Netz dar, wie sie beispielsweise durch Filterkondensatoren und Leitungsbeläge hervorgerufen wird.

4.1.2 Abschätzung der Stoßstromparameter

Induzierte Stoßströme sind unabhängig von der Netzform, wie in **Kap. 3.3.1** beschrieben, und ergeben sich analog zu den Betrachtungen zum AC-Netz in **Tab. 3.3**. Bei Blitzstoßströmen ist durch die reduzierte Anzahl an Leitern in DC-Netzen eine Erhöhung der Stoßstromamplituden nach [3], [16] und [42] zu erwarten. Die Erhöhung aufgrund der reduzierten Leiteranzahl wurde in **Tab. 4.1** hinterlegt. Die zu erwartenden Stromsteilheiten steigern sich entsprechend den Amplituden in den Einzelleitern.

Tab. 4.1: Maximal zu erwartende Blitzstoßstromamplituden nach [16]

Netzform	I_{Imp} (10/350 μs) bei direktem Blitzeinschlag (Schadensquelle S_1)					
	LPL I		LPL II		LPL III + IV	
	\hat{I}	di/dt	\hat{I}	di/dt	\hat{I}	di/dt
	[kA]	[kA/ μs]	[kA]	[kA/ μs]	[kA]	[kA/ μs]
unipolar TN-C / TT	50	5	37,5	3,75	25	2,5
unipolar TN-C-S	33,33	3,33	25	2,5	16,67	1,67
bipolar TN-C / TT	33,33	3,33	25	2,5	16,67	1,67
bipolar TN-C-S	25	2,5	18,75	1,87	12,5	1,25
bipolar/unipolar IT	—	—	—	—	—	—

4.1.3 Schutzpegelanforderungen im DC-Netz

Die Schutzpegelanforderungen aus **Tab. 3.2** für das AC-Netz sind grundsätzlich auch im DC-Netz gültig. Es ist jedoch zu erwarten, dass die Schutzpegelanforderungen wie in [13] und [43] genannt, aufgrund des Quellaufbaus aus **Abb. 4.3** mit bidirektionalen DC/DC-Wandlern steigen. Hier liegen die Leistungshalbleiter der Halbbrücke nur über einen CLC-Filter getrennt direkt parallel zum Ausgangskondensator und damit am DC-Bus.

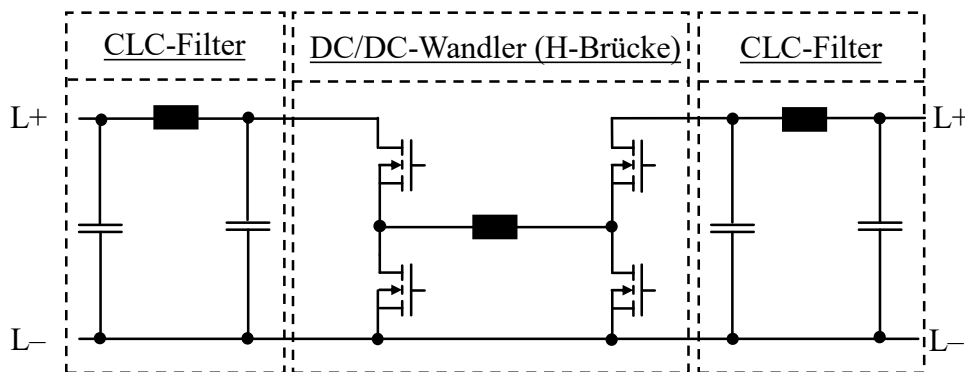


Abb. 4.3: Beispiel eines bidirektionalen DC/DC-Wandlers mit CLC-Filter

Der Filter ist vor allem bei Überspannungen geringer Steilheit meist ungenügend für eine induktive Entkopplung als Überspannungsschutzelement geeignet, wie [13] zeigt. In diesem Punkt unterscheidet sich die Gefährdung von DC-Netzen in der Gebäudeversorgung zu PV-DC-Netzen. In PV-Anlagen ist typischerweise immer eine zusätzliche induktive Entkopplung durch den Hochsetzsteller des MPP-Trackers (Maximum Power Point) am DC-Eingang des Wechselrichters gegeben, welche sich sehr positiv für den Überspannungsschutz darstellt. Durch die zu erwartenden verschärften Überspannungsbelastungen der Leistungshalbleiter des Wandlers in DC-Netzen für die Gebäudeversorgung muss eine höhere Anforderung an SPDs und deren Schutzpegel gestellt werden. Diese ist in **Tab. 4.2** abgeschätzt.

Tab. 4.2: Schutzpegelanforderungen in DC-Netzen

DC-Spannung [V]	Sperrspannung Halbleiter [V]	Schutzbeschaltung Halbleiter [V]	geeigneter Schutzpegel [V]
0 – 50	100	80	60
bis 100	300	250	200
bis 300	600	550	500
bis 750	1200	1000	800
bis 1500	2 x 1200	2000	1800

Der Störabstand zwischen der Nennspannung und der maximalen Sperrspannung von Quellen und Lasten ist in DC-Netzen somit geringer zu erwarten als in AC-Netzen.

4.2 Folgestromproblematik im DC-Netz

Im DC-Netz stellt sich die Folgestromproblematik auf den ersten Blick einfacher dar als im AC-Netz. Die Herausforderung liegt hier in der Charakterisierung der Quellenvielfalt. Dies ist in [44] für Gleichrichter am AC-Netz, Batterien und Kondensatoren genormt. Bei starren Netzen ohne kapazitiven Anteil kann allgemein für den Netzfolgestrom gelten:

$$i(t) = \frac{U_{DC}}{R} \cdot \left(1 - e^{-\frac{t}{\tau}}\right) \quad \text{mit} \quad \tau = \frac{L}{R} \quad (4.2.1)$$

Wirkt während eines Kurzschlusses eine Gegenspannung U_g , kommt nur ein Netzfolgestrom zustande, wenn gilt:

$$U_g < U_{DC} \quad (4.2.2)$$

Der Netzfolgestrom berechnet sich unter Berücksichtigung der Gegenspannung wie folgt:

$$i(t) = \frac{U_{DC} - U_g}{R} \cdot \left(1 - e^{-\frac{t}{\tau}}\right) \quad (4.2.3)$$

Hieraus kann im DC-Netz die maximal zu erwartenden Energien in der Netzinduktivität nach Gl. (3.2.4) berechnet werden. Wobei der Strom sich nach Gl. (4.2.1) errechnet. Die Impedanzverhältnisse im DC-Netz werden sich wegen der ähnlichen Installationstechnik im AC- und DC-Netz nicht wesentlich unterscheiden. Daher kann die Annahme getroffen werden, dass im DC-Netz die Zusammenhänge von Impedanzen und prospektiven Kurzschlussströmen analog zum AC-Netz nach [17] sind. Hieraus ergeben sich die zu erwartenden Energien in der Netzinduktivität bei DC-Netzen wie in **Abb. 4.4** dargestellt.

Damit ein Vergleich der Energien zum AC-Netz aus **Abb. 3.4** in **Kap. 4** möglich ist, wurde für die Berechnung eine Netzspannung von $U_{DC} = 325 \text{ V}$ gewählt. Für die Folgestromdauer wurde erneut das Abklingverhalten von Stoß- und Blitzstoßströmen $t_{8/20\mu s} = 100 \mu s$ für $W_{L8/20\mu s}$ und $t_{10/350\mu s} = 2,5 \text{ ms}$ für $W_{L10/350\mu s}$ angenommen. Die maximal mögliche Energie in der Netzinduktivität $W_{L\max}$ im DC-Netz ergibt aus dem Strom nach Gl. (4.2.1) für $t \rightarrow \infty$. Es ist ersichtlich, dass sich in DC-Netzen bei gleichen Impedanz- und Spannungsverhältnissen eine deutlich höhere maximal mögliche Energie ($W_{L(t \rightarrow \infty)} > W_{Lip}$) im Vergleich zum AC-Netz in der Netzinduktivität ergibt. Dies ist der Fall, da der induktive Anteil des Netzes nur zu Beginn des Kurzschlusses wirksam ist und mit fortschreitender Kurzschlussdauer keinen induktiven Blindwiderstand mehr bietet. Somit ist der stationäre Endwert des Folgestromes im DC-Netz höher als im AC-Netz.

Dies spiegelt sich dann in der Energie wider. Die Energien nach den Impulsen 8/20 μs und 10/350 μs sind aufgrund der kurzen Impulsdauer jedoch nahezu identisch zum AC-Netz.

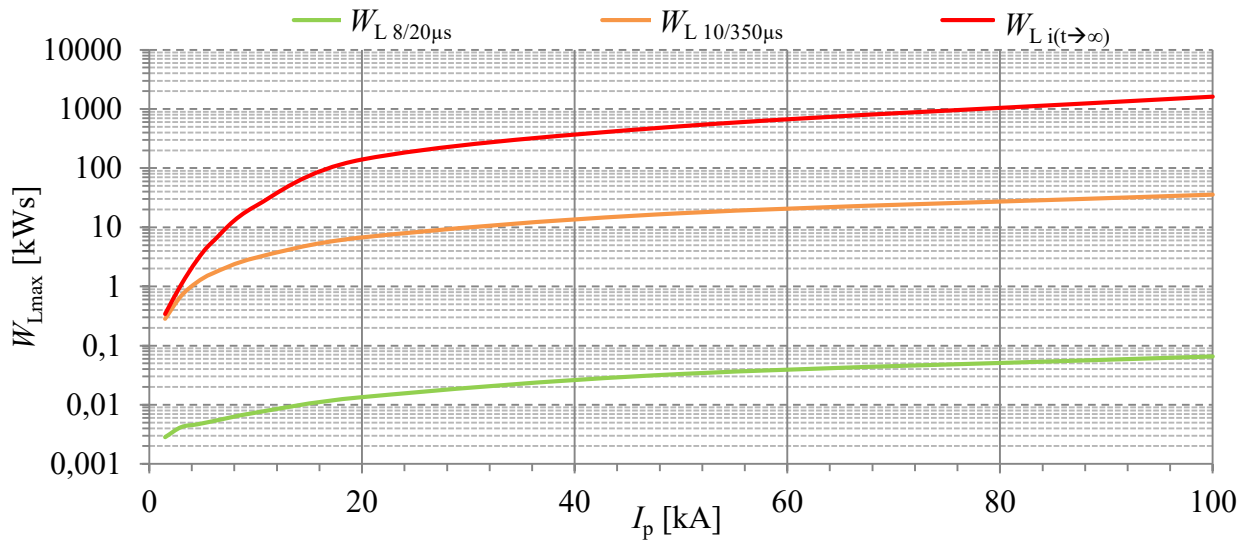


Abb. 4.4: $W_{L\max}$ in der Netzinduktivität nach $I_{8/20\mu\text{s}}$, $I_{10/350\mu\text{s}}$ und $i(t \rightarrow \infty)$ im DC-Netz

Moderne DC-Netze, wie in [16] und [45] beschrieben, werden von DC/DC-Wandlern gespeist und stellen daher keine starre Quelle dar. Die Quellencharakteristik ist hier über die Regelung des DC/DC-Wandlers und die im Netz vorhandenen Kondensatoren vorgegeben. Diese Komponenten bestimmen somit den dauerhaften (Wandler) und transienten (Kondensator) Anteil des Netzfolgestromes, wie [43] zeigt.

Typischerweise wird der Dauerkurzschlussstrom von DC/DC-Konvertern auf das 1,1 – 1,5-fache des Nennstromes begrenzt und nur für eine definierte Zeit (z.B. $t = 150 \text{ ms}$) aufrechterhalten. Der Verlauf des dauerhaften Anteils hängt stark von der Quellencharakteristik ab und kann daher analytisch nicht allgemeingültig wiedergegeben werden. Die Beschreibung des transienten Anteils des Kurzschlussstroms ist nach [46] durch die Lösung folgender Differentialgleichung möglich:

$$\frac{di^2}{dt^2} + \frac{R}{L} \cdot \frac{di}{dt} + \frac{1}{C \cdot L} \cdot i = 0 \quad \text{mit den Anfangsbedingungen} \quad i(t=0) = 0 ; i'(t=0) = \frac{U_{DC}}{L}$$

$$\text{Aperiodischer Fall} \quad i_t(t) = \frac{2 \cdot (U_{DC} - U_g)}{L \cdot \sqrt{\delta^2 - \omega_0^2}} \cdot (e^{\lambda_1 t} - e^{\lambda_2 t}) \quad (4.2.4)$$

$$\text{Aperiodischer Grenzfall} \quad i_t(t) = \frac{U_{DC} - U_g}{L} \cdot t \cdot e^{-\delta \cdot t} \quad (4.2.5)$$

$$\text{Periodischer Fall} \quad i_t(t) = \frac{U_{DC} - U_g}{\omega \cdot L} \cdot e^{-\delta \cdot t} \cdot \sin(\omega t) \quad (4.2.6)$$

Damit eine Abschätzung der maximal zu erwartenden Folgestromamplitude bei über Wandler gespeisten DC-Netzen möglich ist, wurde in **Abb. 4.5** ein bipolares DC-Netz mit Hilfe einer LTspice Simulation, wie in [12] gezeigt, untersucht. Das LTspice Modell findet sich in **Anhang 4**. Der transiente Kurzschlussstromanteil wurde für einen idealen Kurzschluss L+/M sowie L+/L– ermittelt, jeweils in Abhängigkeit der Netzkapazität und des Kurzschlussortes. Die angenommenen Eigenschaften des DC/DC-Wandler sind in **Tab. 4.3** gegeben.

Tab. 4.3: Wandler-Parameter und Eigenschaften für Folgestromsimulation

U_n [V]	P_n [kW]	Konstantspannungsquelle	Konstantstromquelle
± 400	5	$I_L < I_n$	$I_L \geq 1,5 \cdot I_n$

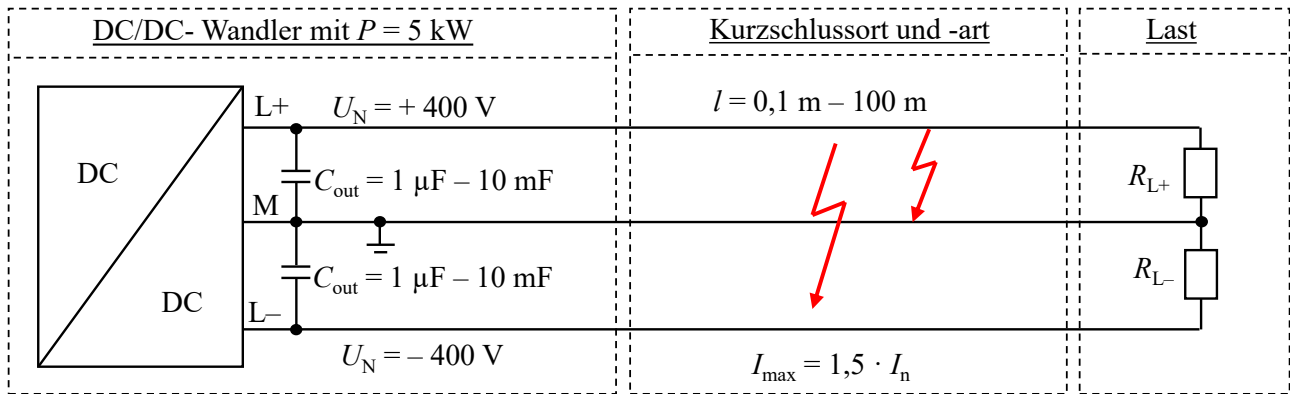


Abb. 4.5: Kurzschlüsse in einem über Wandler gespeistem bipolaren DC-Netze mit passiven Lasten

Die Verdrahtung in der Simulation entsprach der in **Kap. 4.1.1** gezeigten PVC-Doppelleitung. Der Serienwiderstand des Kondensators wurde als konstanter ohmscher Widerstand mit $R_{\text{ESR}} = 10 \text{ m}\Omega$ berücksichtigt.

Abb. 4.6 zeigt die Gegenüberstellung der Folgestromamplituden als Funktion des Kurzschlussortes der analytischen Lösung ohne DC/DC-Wandler aus Gl. (4.2.4) und Gl. (4.2.6) im Vergleich zum Simulationsergebnis mit DC/DC-Wandler. Die maximale Folgestromamplitude ergibt sich für den periodischen Fall bei:

$$\frac{di}{dt} = \frac{U_{DC} - U_g}{\omega \cdot L} e^{-\delta \cdot t} \cdot (\omega \cdot \cos(\omega t) - \delta \cdot \sin(\omega t)) = 0 \quad \text{absolutes Maximum bei } t = \frac{1}{\omega} \cdot \arctan\left(\frac{\omega}{\delta}\right)$$

Sowie für den aperiodischen Fall bei:

$$\frac{di}{dt} = \frac{2 \cdot (U_{DC} - U_g)}{L \cdot \sqrt{\delta^2 - \omega_0^2}} \cdot (\lambda_1 \cdot e^{t\lambda_1} - \lambda_2 \cdot e^{t\lambda_2}) = 0 \quad \text{absolutes Maximum bei } t = \frac{\ln\left(\frac{\lambda_1}{\lambda_2}\right)}{\lambda_2 - \lambda_1}$$

Die Simulationsergebnisse zeigen, dass die maximale zu erwartende Netzfolgestromamplitude für $\hat{I}_f \gg I_n$ durch das transiente Verhalten nach Gl. (4.2.4) und Gl. (4.2.6) in erster Näherung gut beschrieben wird. Bei großen Leitungslängen ($l > 50 \text{ m}$) und kleinen kapazitiven Energiespeichern ($C_{\text{out}} = 100 \text{ nF}$) ist die Bedingung $\hat{I}_f \gg I_n$ nicht mehr erfüllt und die maximale Folgestromamplitude wird mehr und mehr von der speisenden Quelle dominiert (Konstantstromquelle $I = 1,5 \cdot I_n$).

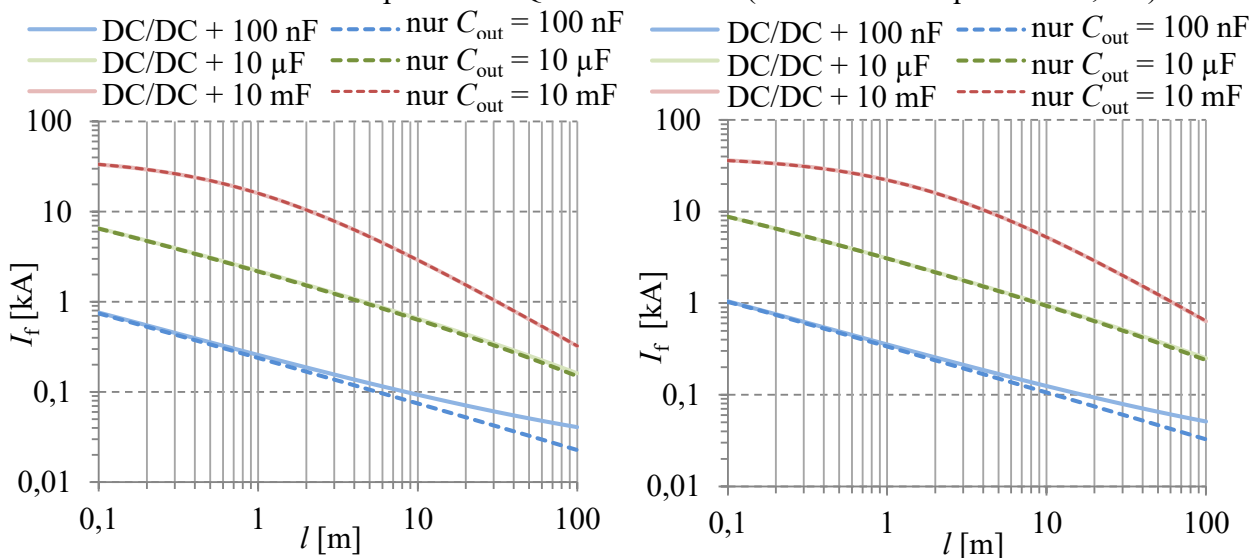


Abb. 4.6: Netzfolgestromamplitude $I_f = f(l)$ bei Kurzschluss L+/- gegen M (links) und L+ gegen L- (rechts) mit und ohne DC/DC-Wandler bei unterschiedlichen Netzkapazitäten

4.3 Temporäre Überspannungen im DC-Netz

In DC-Netzen unterscheiden sich temporäre Überspannungen bei Netzfehlern aufgrund der Quellen- und Netzcharakteristik von den in AC-Netzen auftretenden TOV. Untersuchungen hierzu sind in [4] und [47] angestellt worden. Die zu erwartenden Ereignisse, die zu TOV führen, sind:

1. Temporäre Überspannungen bei Netzkurzschlüssen
2. Temporäre Überspannungen bei Mittelpunktleiterverlust in bipolaren Netzen
3. Temporäre Überspannungen bei Erdschlüssen
4. Temporäre Überspannungen bei Power Crossing

Rückwirkungen von TOV im AC-Netz auf das DC-Netz sind nur bedingt zu erwarten. Dies ist beispielsweise der Fall, wenn unregelmäßige Gleichrichterschaltungen ohne galvanische Trennung zum Einsatz kommen. In diesem Fall kann der im AC-Netz untersuchte Mittelspannungsfehler auf das DC-Netz zwischen L+, L– und M gegen PE übergreifen.

Außerdem würden einphasige Gleichrichter die Spannungsüberhöhung zwischen L und N an die DC-Seite weitergeben. Bei isolierenden DC/DC-Wandlern nimmt die Isolation des Wandlers die Spannungsüberhöhung des Mittelspannungsfehlers auf, unabhängig von der nach der Isolation gebildeten Netzform (TN, TT, IT). Da eine unregelmäßige nichtisolierte Kopplung zwischen dem AC- und DC-Netz in modernen Netzen, wie sie hier behandelt werden soll, nicht vorgesehen ist, kann die Rückwirkung von TOV im AC-Netz auf das DC-Netz ausgeschlossen werden.

Hingegen ist ein Power Crossing, d.h. die Kopplung von hohen DC-Spannungen auf niedrigere DC-Spannungen oder die Wechselwirkung des AC-Versorgungsnetzes mit dem DC-Netzversorgungsnetz aufgrund von Fehlern in der Installation als neuer Bedrohungsfall möglich.

Um die maximal zu erwartenden temporären Überspannungen in DC-Netzen allgemein abzuschätzen, soll zu Beginn jeder Betrachtung von starren Netzen ($Z_i \ll Z_L$) ausgegangen werden. Daraus können die Verhältnisse in geregelten Netzen leichter abgeleitet werden.

4.3.1 TOV bei Netzkurzschlüssen

Bei Netzkurzschlüssen stellt sich die in **Abb. 4.7** gezeigte Situation für bipolare und unipolare DC-Netze ein. Generell sind entstehende temporäre Überspannungen bei Netzkurzschlüssen von der jeweiligen Netzform unabhängig, da Kurzschlüsse in isolierten Netzen wie in geerdeten Netzen gleiche Wirkung zeigen. Kurzschlüsse in unipolaren Netzen führen zum Zusammenbruch der Spannung am Kurzschlussort. Aus diesem Grund sind in unipolaren Netzen keine durch Kurzschlüsse hervorgerufenen TOV zu erwarten.

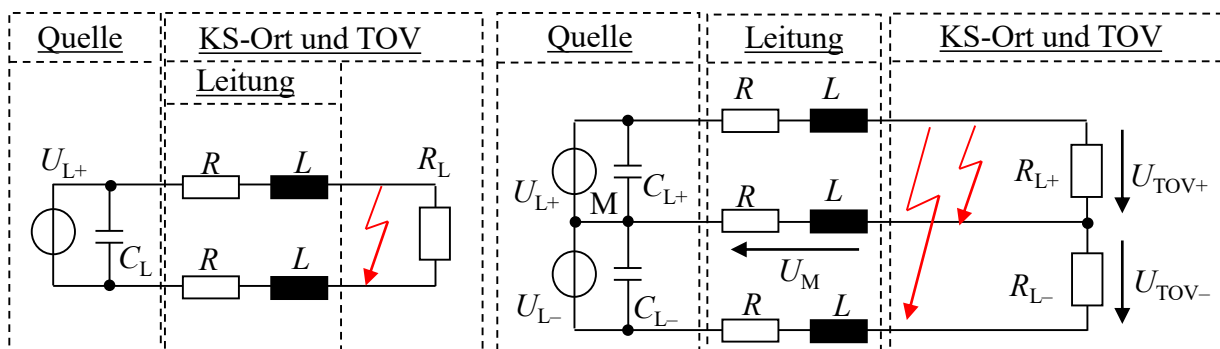


Abb. 4.7: TOV bei Kurzschlüssen in unipolaren (links) und bipolaren (rechts) DC-Netzen

Bei bipolaren Netzen können Kurzschlüsse zwischen L+ und L− sowie zwischen L+ und M oder L− und M auftreten. Bei Kurzschlüssen zwischen L+ und L− ist keine temporäre Überspannung zu erwarten, da die Spannung am Kurzschlussort gegen Null geht. Dies ist bei Kurzschlüssen gegen den Mittelpunktleiter ebenfalls der Fall, dennoch haben Kurzschlüsse gegen M eine TOV zur Folge. Der Unterschied liegt in dem auftretenden Spannungsabfall über der Leitungsimpedanz des Mittelpunktleiters. Dieser addiert sich zur Spannung des fehlerfreien Pols und verursacht dort eine temporäre Überspannung. Bei einem Kurzschluss L+ oder L− gegen M gilt daher:

$$U_{TOV} = U_{R_L} = U_M \pm U_{DC} = R \cdot i(t) + L \cdot \frac{di}{dt} \pm U_{DC} \quad (4.3.1)$$

Der Verlauf des Kurzschlussstromes, welcher die TOV-Spannung bestimmt, ist bei starren Netzen durch Gl. (4.2.1) gegeben. Die Höhe des Längsspannungsabfalls U_M über dem Mittelpunktleiter, vom Ort des Kurzschlusses bis zur treibenden Quelle, bestimmt die Höhe der TOV im nicht fehlerbehafteten Pol. Diese kann maximal das Doppelte der Netz-/Nennspannung sein. Realistisch ist jedoch bei symmetrischer Zuleitungsführung eine Erhöhung um 50 %, da die Hälfte der Spannung auf der Hinleitung und die andere Hälfte auf der Rückleitung M abfällt. Daher kann nur der Spannungsabfall auf der Rückleitung zur TOV beitragen:

$$U_{TOV} = 1,5 \cdot U_{L+} \quad \text{bzw.} \quad U_{TOV} = 1,5 \cdot U_{L-}$$

In geregelten bipolaren Netzen, wie in **Abb. 4.5** gezeigt, ist grundsätzlich auch Gl. (4.3.1) gültig. Der Verlauf des Kurzschlussstroms wird in diesem Fall durch den transienten Anteil nach Gl. (4.2.4) bis Gl. (4.2.6) dominiert. Daher ergeben sich in geregelten Netzen nur kurzzeitige Überspannungen während eines Kurzschlusses.

4.3.2 TOV bei Mittelpunktleiter-Unterbrechung in bipolaren Netzen

Bei Verlust, d.h. Unterbrechung, des Mittelpunktleiters in starren DC-Netzen verschiebt sich die Spannung an den Lasten proportional zu deren Asymmetrie, wie in [4] gezeigt. Die temporäre Überspannung ergibt sich dann je nach Lastverhältnis:

$$R_{L+} > R_{L-} \rightarrow U_{TOV} = \frac{R_{L+}}{R_{L+} + R_{L-}} \cdot U_{L+L-} \quad (4.3.2)$$

$$R_{L+} < R_{L-} \rightarrow U_{TOV} = \frac{R_{L-}}{R_{L+} + R_{L-}} \cdot U_{L+L-} \quad (4.3.3)$$

Bei geregelten Netzen können Asymmetrien durch Wandler, wie in [48] vorgeschlagen, verhindert werden. Daraus folgt, dass keine temporären Überspannungen mehr bei Mittelpunktleiter-Unterbrechung auftreten.

Um das Verhalten realer geregelter DC-Netze bei Mittelpunktleiter-Unterbrechung zu verifizieren, wurde in [4] ein bipolares hochohmig geerdetes DC-Netz mit geregelten und passiven Lasten nach **Abb. 4.8** untersucht.

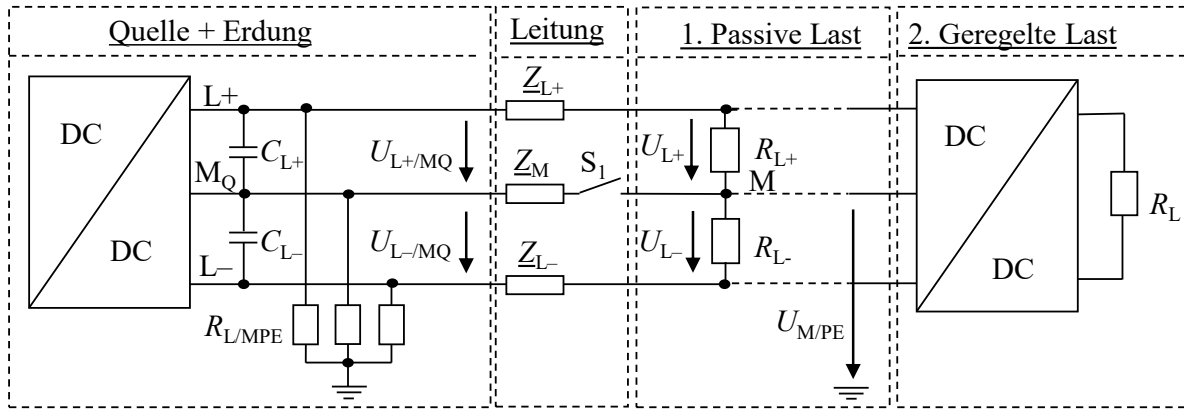


Abb. 4.8: Messaufbau eines bipolaren DC-Netzes mit Mittelpunktleiter-Unterbrechung

Abb. 4.9 links zeigt das Verhalten des DC-Netzes bei geregelter unipolarer Last und rechts bei unregulierten Lasten. Das Lastverhältnis im unregulierten Fall betrug 1:10. Die TOV wurden jeweils auf die Nennspannung normiert, um eine allgemeingültigere Aussage aus den Messungen zu erhalten.

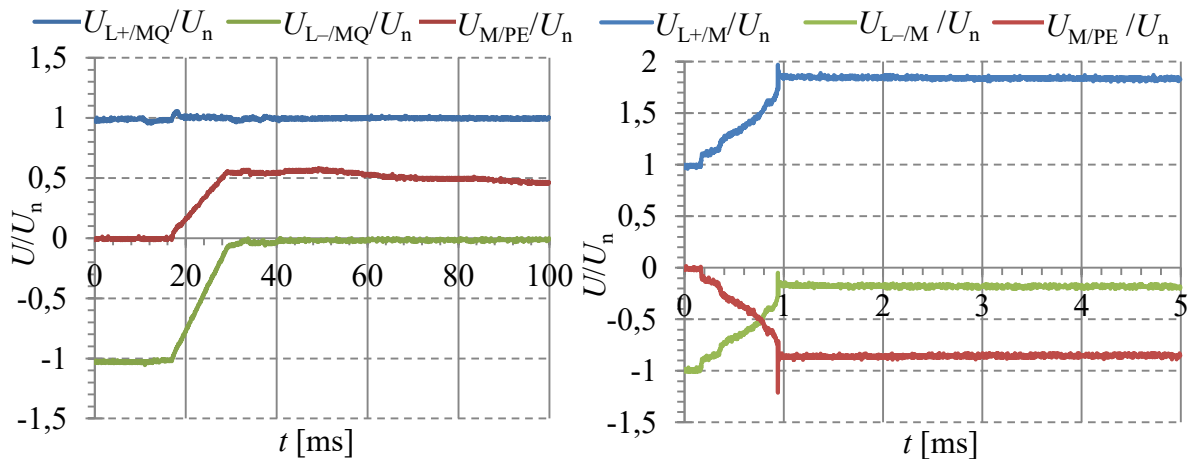


Abb. 4.9: TOV bei geregelten (links) und unregulierten/passiven (rechts) Lasten [4]

An der Last des positiven Pols entsteht im unregulierten Fall eine TOV nach Gl. (4.3.2). Der Mittelpunkt M nach der Unterbrechung verschiebt sich wie in **Abb. 4.9** rechts abgebildet zu:

$$\frac{U_{M/PE}}{U_n} = \frac{U_{L+L-}}{2 \cdot U_n} - \frac{U_{TOV}}{U_n} = \frac{U_{L+L-}}{2 \cdot U_n} - \frac{R_{L+}}{R_{L+} + R_{L-}} \cdot \frac{U_{L+L-}}{U_n} = -0,833$$

Bei geregelten Netzen bestimmt die Quellencharakteristik des Wandlers, wie in [4] gezeigt, den Verlauf der Netzspannungen bei Mittelpunktleiter-Unterbrechung. In dem Messaufbau aus **Abb. 4.8** arbeitet der DC/DC-Wandler zwischen L+ und M als Spannungsquelle und zwischen L- und M als Stromquelle. Die Stromquelle kann die negative Netzspannung nicht aufrechterhalten, weswegen diese nach Entladen der Stützkondensatoren auf 0 V absinkt. Dadurch verschiebt sich das Potential des M-Leiters auf die Hälfte der Netzspannung $U_{MPE}/U_n = 0,5$, wie in **Abb. 4.9** links ersichtlich.

4.3.3 TOV bei Erdschlüssen in bipolaren isolierten Netzen

Bei Erdschlüssen können nur in bipolaren isolierten DC-Netzen temporäre Überspannungen gegenüber Erde auftreten. Diese sind analog zum AC-Netz zu sehen. Es entstehen keine für die Lasten bzw. Verbraucher gefährlichen dauerhaften Überspannungen. Weiterhin ist eine TOV bei einpoligen Erdschlüssen in isolierten Netzen unabhängig von der Quellencharakteristik, im Gegensatz zu den auftretenden TOVs bei Kurzschlüssen. **Abb. 4.10** links zeigt den Messaufbau für die Untersuchungen von DC-Netzen bei Erdschlüssen, wie in [4] durchgeführt.

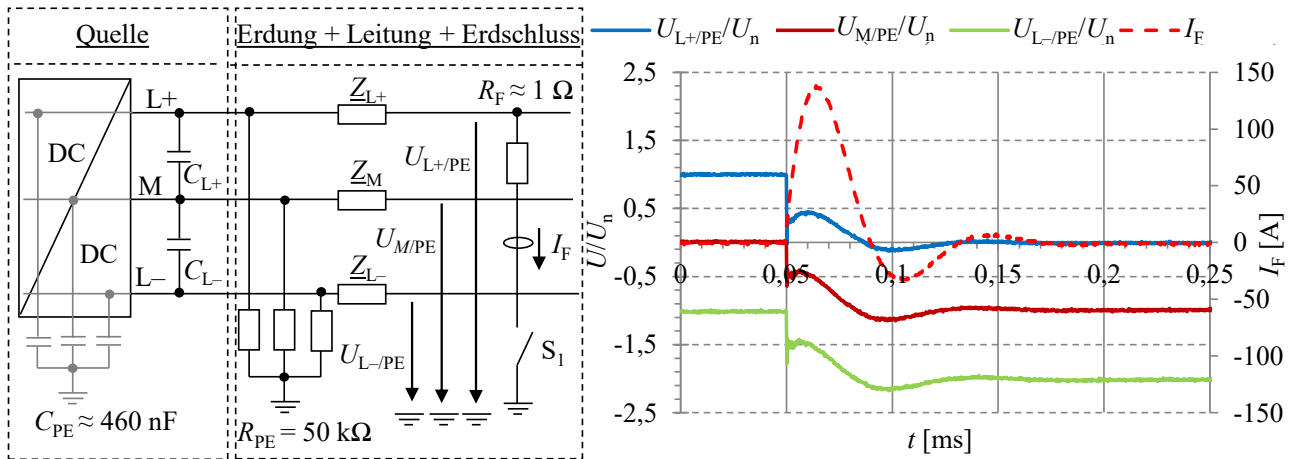


Abb. 4.10: Messaufbau zur Untersuchung von TOV bei Erdschluss in DC-Netzen (links) und Verhalten des DC-Netzes bei Erdschluss L+ gegen PE mit $R_F = 1 \Omega$ (rechts)

In **Abb. 4.10** rechts ist zu erkennen, dass sich aufgrund des Erdschlusses L+ gegen PE die Spannung $U_{L-/PE}$ auf das Doppelte der Netzspannung verschiebt. Der transiente Fehlerstrom I_F wird durch die Komponenten C_{PE} und R_F bestimmt. Aus den Messungen kann geschlossen werden, dass in isolierten DC-Netzen die TOV gegen PE maximal auf das Doppelte der Netz-/Nennspannung ansteigen kann.

4.3.4 TOV bei Power Crossing

Die in **Abb. 4.11** dargestellte Bedrohung des Power Crossing in DC-Netzen, d.h. dem Übersprechen einer höheren Versorgungsspannung sowohl AC als auch DC auf eine niedrigere Versorgungsspannung, kann durch Fehler in Wandlern verursacht werden, wie z.B. in [43] beschrieben. Die sich einstellende temporäre Überspannung bei Power Crossing hängt maßgeblich von der Charakteristik beider Quellen, der im Fehlerfall gekoppelten Netze, ab. Das Power Crossing hat in DC-Netzen aufgrund der Stromquellen-Charakteristik von Wandlern im Fehlerfall TOVs zur Folge. Dagegen ist im AC-Netz das Power Crossing aufgrund der starren Netzstruktur nicht als Bedrohungsparameter anzusehen. Unter Vernachlässigung transientser Ausgleichsvorgänge kann die TOV im eingeschwungenen Zustand mit Hilfe des Überlagerungsverfahrens für ein Übersprechen von DC++ (hohes DC-Potential) auf DC+ (niedrigeres DC-Potential) wie folgt angegeben werden:

$$U_{TOV} = \frac{U_{DC++}}{R_{i++} + R_{L++} || R_{L+} || R_{i+}} \cdot R_{L++} || R_{L+} || R_{i+} + \frac{U_{DC+}}{R_{i+} + R_{L++} || R_{L+} || R_{i++}} \cdot R_{L++} || R_{L+} || R_{i++} \quad (4.3.4)$$

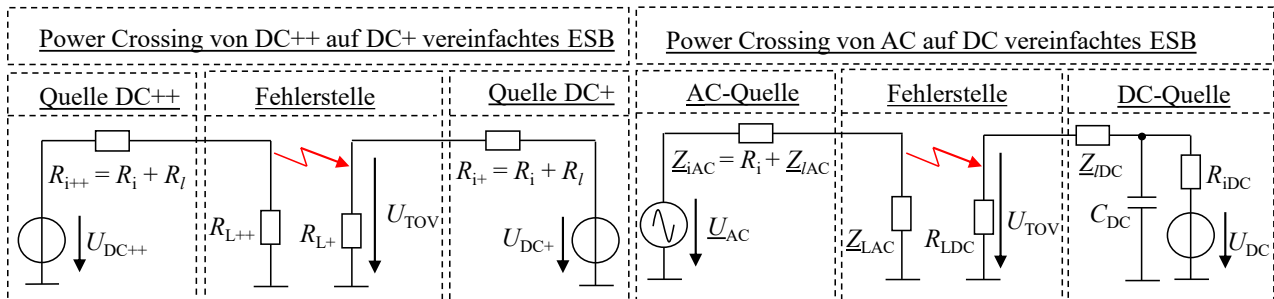


Abb. 4.11: Möglichkeiten des Power Crossing eines DC- oder AC-Netzes in ein DC-Netz

Bei Power Crossing von AC auf DC können die Leitungsimpedanzen sowie die Stützkapazitäten nicht vernachlässigt werden. Die TOV ergibt sich als wechsellspannungsüberlagerte Gleichspannung:

$$U_{TOV} = \frac{U_{AC} \cdot Z_{LAC} || R_{LDC} || (Z_{iDC} + jX_{C_{DC}} || R_{iDC})}{Z_{iAC} + Z_{LAC} || R_{LDC} || (Z_{iDC} + jX_{C_{DC}} || R_{iDC})} + \frac{U_{DC} \cdot R_{LDC} || \text{Re}(Z_{LAC}) || \text{Re}(Z_{iAC})}{R_{iDC} + \text{Re}(Z_{iDC}) + R_{LDC} || \text{Re}(Z_{LAC}) || \text{Re}(Z_{iAC})} \quad (4.3.5)$$

Die maximal mögliche TOV-Spannung bei Power-Crossing ist von der speisenden Quelle abhängig und kann in der Niederspannung die in [49] festgelegten Werte 1,5 kV DC bzw. 1 kV AC erreichen.

4.4 Übersicht von Bedrohungsparametern im DC-Netz

Anhand der vorgestellten Betrachtungen soll ein Überblick der genannten Bedrohungsparameter im DC-Netz gegeben werden. **Tab. 4.4** fasst die zu erwartenden Bereiche der Bedrohungsparameter zusammen. Die Bereiche sind, wie in den jeweiligen Detailbetrachtungen der **Kap. 4.1 – 4.3** beschrieben, abhängig vom Installationsort des SPDs, dem prospektiven Kurzschlussstrom, den Netzformen bzw. den Erdungsverhältnissen usw. Die entsprechenden Anforderungen an die Überspannungsschutzkomponenten ergeben sich dann aus der jeweiligen Anwendung.

Tab. 4.4: Übersicht der Bedrohungsparameter im DC-Netz

Bereich zu erwartender Bedrohungsparameter			DC-Netze			
			unipolar TN-C(-S) TT	bipolar TN-C(-S) TT	unipolar IT	bipolar IT
Eigenschaften	Parameter	Einheit				
Transiente Überspannungen (Stoßspannungen)						
Amplitude	$U_{1,2/50\mu s}$	[kV]	1,5 bis 12			
Anstiegssteilheit	$du/dt_{1,2/50\mu s}$	[kV/ μs]	1,2 bis 10			
Schutzpegel	U_p	[V]	60 bis 1800			
Ableitstoßströme						
Amplitude	$I_{8/20\mu s}$	[kA]	0,1 bis 10			
Anstiegssteilheit	$di/dt_{8/20\mu s}$	[A/ μs]	12,5 bis 1250			
Kommutierungs-steilheit	$-di/dt_{8/20\mu s}$	[A/ μs]	von $-6,6$ bis -656			
Amplitude pro Pol	$I_{10/350\mu s}$	[kA]	25 bis 50	17 bis 33	—	—
Anstiegssteilheit	$di/dt_{10/350\mu s}$	[kA/ μs]	bis 5		—	—
Folgeströme						
Dauerhaft	I_f	[A]	DC/DC-Wandler typisch $1,1$ bis $1,5 \cdot I_n$ // Batterie gepuffert im kA-Bereich			
Transient	I_f	[kA]	je nach C_{out} im kA-Bereich			
Temporäre Überspannungen (TOV)						
Kurzschluss ($I_f/I_n < 1,5$)	U_{TOV}	[V]	—	—	—	—
Kurzschluss ($I_f/I_n \gg 1,5$)	U_{TOV}	[V]	—	$1,5 \cdot U_n$	—	$1,5 \cdot U_n$
TOV-Dauer bei Kurzschlüssen	t	[s]	—	ms	—	ms
M-Leiter-Unterbrechung	U_{TOV}	[V]	—	$2 \cdot U_n$	—	$2 \cdot U_n$
Dauer bei M-Leiter-Unterbrechung	t	[s]	—	∞	—	∞
Erdschluss	U_{TOV}	[V]	—	$1,5 \cdot U_n$ $I_f/I_n \gg 1,5$	—	$2 \cdot U_n$
Dauer bei Erdschluss	t	[s]	—	ms	—	∞
Power Crossing DC++/DC+	U_{TOV}	[kV]	0 bis 1,5 je nach Quellencharakteristik			
Power Crossing AC/DC	U_{TOV}	[kV]	0 bis $\pm 1,0$ je nach Quellencharakteristik			
Dauer bei Power Crossing	t	[s]	je nach Quellencharakteristik			

5. Standardelemente und Konzepte im Überspannungsschutz

Um die in AC- und DC-Netzen auftretenden transienten Überspannungen auf ein für Betriebsmittel und Verbraucher verträgliches Maß zu reduzieren, werden SPDs eingesetzt. In diesen kommen je nach Anwendung, die in **Abb. 5.1** gezeigten, Standardbauelemente des Überspannungsschutzes (ÜSS) zum Einsatz. In diesem Kapitel sollen die Funktionsweise sowie die Vor- und Nachteile dieser Komponenten skizziert werden.

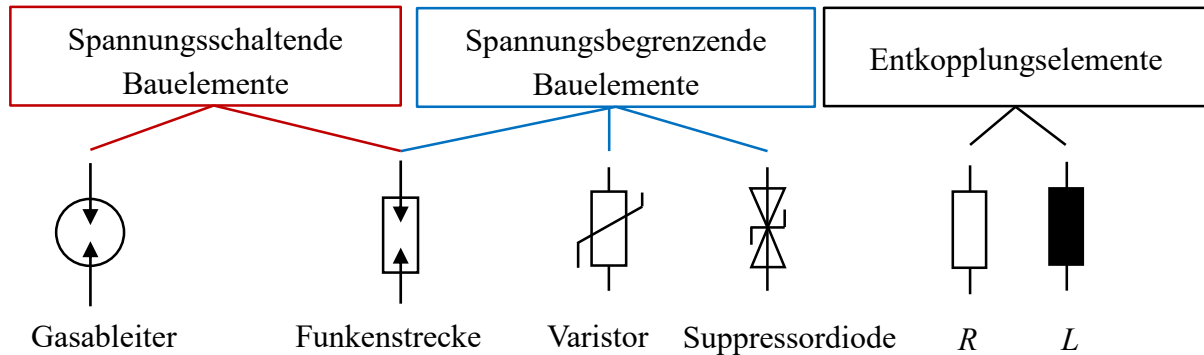


Abb. 5.1: Standardbauelemente im Überspannungsschutz

5.1 Funktion und Anwendung von Gasableitern und Funkenstrecken

Funkenstrecken (FS) und Gasableiter (GDT, Gas Discharge Tube) sind aus zwei Elektroden mit einem definierten Abstand aufgebaut. Als Schaltmedium verwenden beide einen Lichtbogen und werden daher auch durch dessen Verhalten charakterisiert. Das Zünden des Lichtbogens, und damit das Ansprechverhalten von GDT und Funkenstrecke, wird bestimmt vom Flächen-Zeit-Gesetz nach [50] und ist stark von der Spannungsteilheit abhängig.

$$A \cdot s = \int_{t_1}^{t_1+t_a} (u(t) - U_{ag}) dt = \text{konstant} \quad (5.1)$$

Die Spannungszeitfläche A und die Schlagweite s charakterisieren das Flächen-Zeit-Gesetz. Dies ist ab der Ansprechgleichspannung U_{ag} gültig, die benötigt wird, damit sich eine Gasentladung ausbilden kann. Die Zeit t_1 definiert hierbei den Punkt ab dem U_{ag} während eines Überspannungsereignisses überschritten wird. Ist das Flächen-Zeit-Gesetz erfüllt, bildet sich ein Lichtbogen aus und die Trennstrecke geht von dem hochohmigen Zustand ($\sim G\Omega$) in den niederohmigen Zustand ($\sim m\Omega$) über. Solange der Strom nach [51] im Bereich von mA – 2 A liegt, baut sich eine Glimmentladung mit der Glimmbrennspannung auf. Bei transienten Stoßstromereignissen mit deutlich höheren Strömen bricht die Spannung schlagartig auf die Bogenbrennspannung zusammen. Diese liegt bei GDTs nach [51] typischerweise zwischen 10 V – 35 V. Bei Funkenstrecken kann der Spannungsbedarf des Lichtbogens durch deren Aufbau eingestellt werden. Die Bogenbrennspannung ist bei transienten Ereignissen nach [52] als konstant anzusehen, d.h. nahezu unabhängig vom sich zeitlich ändernden Strom und definiert somit die Gegenspannung zur Netzspannung, wie in **Kap. 3.2** und **Kap. 4.2** angegeben. Damit kommt kein Netzfolgestrom zustande, wenn gilt $U_{LB} > U_n$. Bei hohen Lichtbogenspannungen verhalten sich FS wie spannungsbegrenzende Bauelemente mit geringen Folgestromamplituden (**Abb. 5.1**). Nachteilig an dem begrenzenden Verhalten ist der dadurch hohe Energieumsatz in der FS, was große Bauformen nach sich zieht. Sinken der Strom oder die Spannung des Lichtbogens so stark, dass dieser nicht mehr aufrechterhalten werden kann, kommt es zum Verlöschen.

Hierzu sind die in [53] formulierten Löschbedingungen im AC- und DC-Netz erforderlich. **Abb. 5.2** links zeigt einen typischen Ableitvorgang ohne anliegendes Netz eines GDTs und einer Netzfunkenstecke bei gleicher Stoßstrombelastung. Um die Vergleichbarkeit zu gewährleisten, wurden die Komponenten GDT und Netzfunkenstecke mit nahe beieinanderliegenden Ansprechgleichspannungen sowie Varistor und TVS-Diode mit gleichen mA-Punkten gewählt.

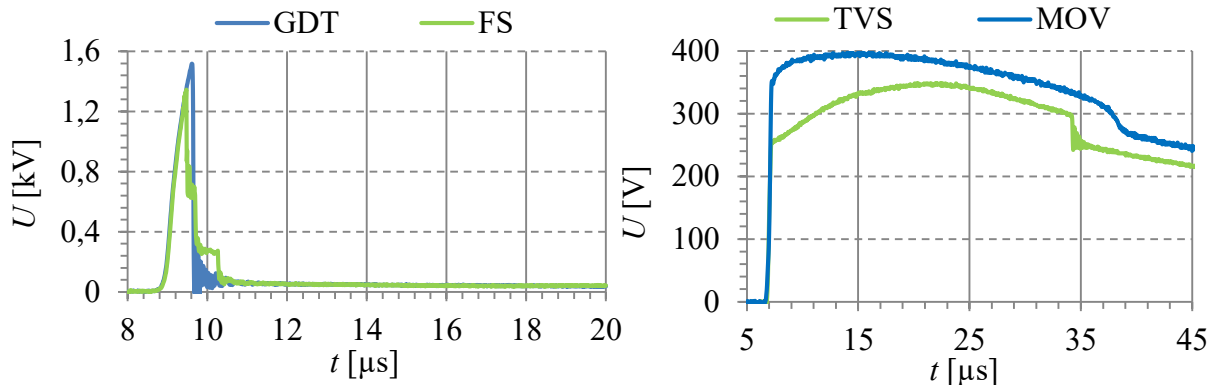


Abb. 5.2: Vergleich der Spannungsverläufe eines GDTs, einer Netzfunkenstecke, eines Varistors und einer TVS-Diode bei gleicher Stoßstrombelastung

Der Aufbau von Netzfunkstrecken mit Löschkammern ermöglicht es, diese bei starren Netzen mit hohen Folgestromamplituden einzusetzen (Bereich $I_f = 20 - 50$ kA). GDTs sind nicht in der Lage, große Folgestrome zu löschen. Daher ist ihr Haupteinsatz als Grobschutzelement auf Netze mit $I_f = 1 - 3$ A (in spezieller Ausführung auch bis $I_f = 300$ A) begrenzt. Bei der Auslegung der Ansprechgleichspannung werden FS wie GDT so bemessen, dass sie bestimmte TOV-Festigkeiten aufweisen. Ein Ansprechen bei TOV nach **Kap. 3.3** und **Kap. 4.3** ist somit ausgeschlossen.

Beide Bauelemente haben ein hohes bis sehr hohes Ableitvermögen bei Blitzstoßströmen (10/350 µs) und induzierten Stoßströmen (8/20 µs). Die Ansprechspannung kann nach Gl. (5.2) bei schnell ansteigenden Überspannungen hohe Werte annehmen. Speziell bei Netzfunkstrecken kommen daher Triggerschaltungen zum Einsatz, die niedrige Schutzpegel (typisch $U_p < 1,5$ kV) garantieren.

5.2 Funktion und Anwendung von Varistoren

Varistoren bestehen aus polykristallinen Keramiken, die mittels eines Sinter-Prozesses aus Zinkoxid-Granulat hergestellt werden. Hierdurch entsteht ein Verbund ungeordneter Sperrschichten, die je nach Dicke und Materialzusammensetzung die Durchbruchspannung definieren. Dies wird in Datenblättern über den mA-Punkt angegeben und charakterisiert den Übergangsbereich vom hochohmigen Zustand in den niederohmigen Zustand. Das Durchlassverhalten ist stark nichtlinear wie aus der Strom-Spannungs-Charakteristik nach [54] hervorgeht:

$$I = K_{MOV} \cdot U^{\alpha_{MOV}} \quad (5.3)$$

Ein Netzfolgestrom, wie er bei GDT und FS auftritt, ist bei Varistoren aufgrund ihrer spannungsbegrenzenden Charakteristik, wie in **Abb. 5.2** ersichtlich, nicht möglich. Bei Netzanwendungen von Varistoren wird die „Ansprechspannung“ so gewählt, dass temporäre Überspannungen durch Kurzschlüsse nach **Kap. 3.3.1** keine Bedrohung, d.h. keine unzulässige energetische Belastung für die Varistoren, darstellen. Temporäre Überspannungen mit $U_{TOV} > 1,33 \cdot U_{IN}$ nach [17], z.B. bei Neutralleiter-Unterbrechungen (NU), werden von SPDs auf Varistor-Basis nicht beherrscht, was zu einer thermischen Überlastung im Fehlerfall führt. Das Ableitvermögen von Varistoren bei induzierten Stoßströmen (Form 8/20 µs) ist hoch (typisch bis $I_{max} = 40$ kA).

Im Vergleich zu Funkenstrecken weisen Varistoren ein deutlich reduziertes Ableitvermögen bei Blitzstoßströmen (Form 10/350 μ s) aufgrund der energetischen Belastung auf (Faktor 10 und mehr kleiner als bei induzierten Stoßströmen der Form 8/20 μ s).

5.3 Funktion und Anwendung von TVS-Dioden

Transient Voltage Suppressor (TVS) Dioden sind wie Varistoren spannungsbegrenzende Bauelemente. Der Aufbau nach [55] ist durch einen großflächigen pn-Übergang realisiert, der im Lawinendurchbruch betrieben wird. Die Durchbruchspannung U_{BR} , typischerweise charakterisiert bei 1 mA, kann über die Dimensionierung des pn-Übergangs definiert werden. Die I - U -Charakteristik von TVS-Dioden ist im Vergleich zu Varistoren steiler, d.h. bei gleichem Stoßstrom ist mit TVS-Dioden ein geringerer Schutzpegel zu erreichen. Nachteilig sind das reduzierte Ableitvermögen bzw. die Stoßstromtragfähigkeit von TVS-Dioden im Vergleich zu Varistoren. Die Hauptanwendung von TVS-Dioden im Überspannungsschutz ist der Einsatz als Feinschutzelement zum Schutz sensibler Elektronikengänge. Die Durchbruchspannung liegt typischerweise nur knapp über der Nennspannung, wodurch temporären Überspannungen zur Zerstörung des Bauelementes führen. Folgeströme sind aufgrund des spannungsbegrenzenden Verhaltens nicht möglich.

5.4 Bewertung der Eigenschaften von Standardbauelementen

Die Verläufe aus **Abb. 5.2** verdeutlichen die beschriebenen Eigenschaften der einzelnen Komponenten, welche in **Tab. 5.1** zusammengefasst und bewertet werden.

Tab. 5.1: Eigenschaften von Standardkomponenten in ÜSS-Anwendungen

Bedrohungsparameter	Netz-FS	GDT	Varistor	TVS-Diode
Ansprechverhalten $U=f(du/dt)$	starke Abhängigkeit	starke Abhängigkeit	geringe Abhängigkeit	geringe Abhängigkeit
Durchlassspannung $U=f(i)$	nahezu stromunabhängig	nahezu stromunabhängig	stark stromabhängig	stark stromabhängig
Schutzpegel $U_p=f(du/dt,i)$	stark steilheitsabhängig	stark steilheitsabhängig	stark stromabhängig	stark stromabhängig
U_p über U_n	hoch	hoch	mittel	niedrig
TOV-Festigkeit – typische Auslegung U_{TOV}	$U_{ag} > U_{TOVmax}$: SPD ist TOV-fest	$U_{ag} > U_{TOVmax}$: SPD ist TOV-fest	$U_{mA} < U_{TOVmax}$: nicht TOV-fest	$U_{mA} < U_{TOVmax}$: nicht TOV-fest
Ableitvermögen $I_{8/20\mu s}$	hoch	hoch	hoch	gering
Ableitvermögen $I_{10/350\mu s}$	hoch	mittel	gering	sehr gering
Folgestrom I_f	abhängig von der Gegenspannung	hoher Folgestrom	kein Netzfolgestrom	kein Netzfolgestrom
Energieabsorption W_{max}	mittel	gering	groß	gering

Die in **Tab. 5.1** rot hervorgehobenen Felder sind in der Anwendung nachteilige Bauteileigenschaften, die grün hinterlegten Felder sind vorteilhaft. Durch die Kombination der Bauelemente können die jeweiligen Nachteile zum Teil kompensiert werden, z.B. zur Reduktion des Schutzpegels.

5.5 Schutzkonzepte mit Standardbauelementen

Bei Gebäudeversorgungen AC wie DC kommt das Blitzschutzkonzept zum Einsatz. Hier entstehen beim Errichten des Gebäudes typischerweise vier Blitzschutzkonzepte:

1. LPZ 0_A: direkter Blitzeinschlag – voller Blitzstoßstrom – volles Feld des Blitzes
2. LPZ 0_B: anteilige Blitzstoßströme – volles Feld des Blitzes
3. LPZ 1: Stoßströme begrenzt durch SPDs und deren Aufteilung – gedämpftes Feld
4. LPZ 2: Weitere Aufteilung und Begrenzung – stärker gedämpftes Feld

An den Übergängen der Energieversorgungs- und Datenleitung zu den jeweiligen LPZ sind nach [29] SPDs zu installieren, welche wie in **Tab. 5.2** klassifiziert sind.

Tab. 5.2: Ableitertypen – Installationsort – Eigenschaften – Technologie

Typ	Einbauort	Stoßstrom	Schutzpegel	Technologie
1	LPZ 0/1 Hauptverteilung	10/350 μ s (0,5 – 25 kA)	< 2,5 kV	Funkenstrecke
2	LPZ 1/2 Unterverteilung	8/20 μ s (1 – 40 kA)	< 1,5 kV	Funkenstrecke Varistor
3	LPZ 2/3 Endgerät	8/20 μ s (0,25 – 5 kA)	< 1,5 kV	Varistor

Bei Netzen mit niedriger Versorgungsspannung oder Datenleitungen mit hohen Schutzanforderungen, wie z.B. in DC-Versorgungsnetzen mit $U_n = 24$ V, kommt das Schutzkonzept aus **Abb. 5.3** nach [27] zum Einsatz. Das Konzept besteht aus einem Grobschutz, einer Entkopplung und einem Feinschutz.

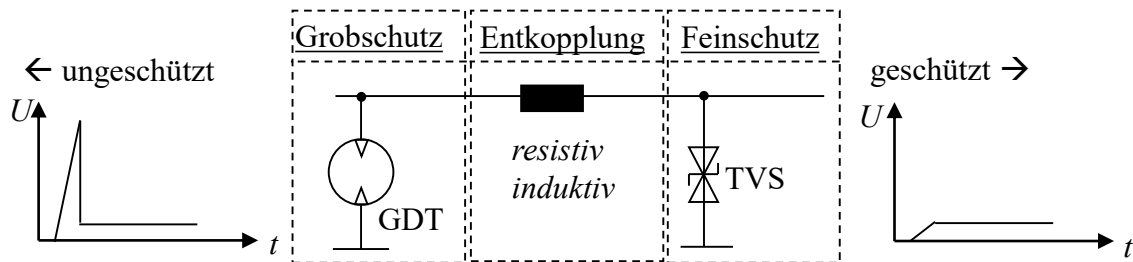


Abb. 5.3: Schutzkonzept: Grobschutz – Entkopplung – Feinschutz

Der Einsatz von Standardbauelementen bringt, bedingt durch ihre Eigenschaften, Nachteile in der Anwendung mit sich. Dies ist auch bei der Kombination von Standardbauelementen der Fall. Die wesentlichen Nachteile von Schutzkonzepten, die aus Standardbauelementen des Überspannungsschutzes aufgebaut sind, können wie folgt zusammengefasst werden:

1. Hohe Schutzpegel aufgrund der Abhängigkeit von Spannungssteilheit oder Stoßstromamplitude.
2. Hohe Verlustleistung oder hoher Längsspannungsabfall bei induktiven oder ohmschen Längsentkopplungen. Daraus folgt ein reduzierter Nennstrom oder eine große Bauform des SPDs.
3. Einseitige Schutzwirkung bei kombinierten Schutzkonzepten (richtungsabhängig).
4. Der Überspannungsschutz ist auf transiente Ereignisse begrenzt.
5. Der Ausfall oder der Defekt von Schutzelementen, z.B. von Varistoren, ist bei TOV zu erwarten und damit zu beherrschen (Abtrennvorrichtung notwendig).

Aufgrund dieser Nachteile soll im Folgenden der Einsatz von Leistungshalbleitern im Überspannungsschutz untersucht werden.

6. Qualifikation von Leistungshalbleitern im Überspannungsschutz

Wie **Kap. 5** zeigt, besitzen Standardkomponenten, die im Überspannungsschutz zum Einsatz kommen, Schwächen hinsichtlich ihrer dynamischen und statischen Eigenschaften. Der Aufbau von Schutzkonzepten auf Basis von Varistoren, Funkenstrecken und GDTs bringt daher ebenfalls Nachteile mit sich. Bei hohen Schutzanforderungen, wie beispielsweise niedrige Schutzpegel bei gleichzeitiger TOV-Festigkeit oder niedrige Schutzpegel bei hohen Lastströmen, können heutige Schutzkonzepte keine überzeugenden Lösungen aufzeigen.

Hier bieten die Bauelemente der Leistungselektronik Chancen, geeignete Schutzkonzepte zu realisieren. Damit ein Einsatz der bekannten Bauelemente wie Dioden, IGBTs (Isolated Gate Bipolar Transistor), MOSFETs (Metal Oxid Semiconductor Field Effect Transistor), MCTs (MOS Controlled Thyristor) und Thyristoren in Überspannungsschutzanwendungen möglich ist, muss das Verhalten dieser Bauelemente bei den erarbeiteten Bedrohungsparametern untersucht werden. Ziel dieses Kapitels soll es daher sein, die bekannten leistungselektronischen Bauelemente auf die Robustheit gegenüber den Bedrohungsparametern zu charakterisieren und eine Bewertung hinsichtlich ihrer Eignung für den Einsatz in Überspannungsschutzanwendungen vorzunehmen. Bekannte Eigenschaften aus Schaltanwendungen von Leistungshalbleitern, die auch für den Überspannungsschutz von Interesse sind, werden skizziert. Eine umfassende Bewertung der Bauteileigenschaften von Leistungshalbleitern, wie dem Ein- und Ausschaltverhalten, dem Durchlassverhalten, der geeigneten Ansteuerung, den erreichbaren Schutzpegeln und den maximal beherrschbaren Ableitströmen bei Impulsen der Formen $8/20\ \mu\text{s}$ und $10/350\ \mu\text{s}$, wie sie im Überspannungsschutz zu erwarten sind, wurde bisher noch nicht zusammenfassend dargestellt. Dies soll nachfolgend durch geeignete Stoßstromversuche ermittelt werden.

Im Vordergrund der Untersuchungen stehen hierbei immer die für die Anwendung wesentlichen Bauteileigenschaften. Die Eingrenzung der vorliegenden Arbeit auf Anwendungen in der Niederspannung lässt die Untersuchung der dort vorkommenden Bauelemente im Sperrspannungsbereich von 200 V bis 1,5 kV als sinnvolle Limitierung zu. Da im Überspannungsschutz große Impulsstromtragfähigkeiten gefordert sind, wurde weiterhin eine Einschränkung der untersuchten Bauelemente hinsichtlich ihrer Nennstromstärke von $I > 20\ \text{A}$ vorgenommen. Dies liefert die in **Tab. 6.1** für den Überspannungsschutz in Frage kommenden Bauelemente, wie in [5] bereits gezeigt.

Tab. 6.1: Kenngrößenbereiche der Leistungshalbleiter-Bauelemente für ÜSS-Anwendungen in der Niederspannung

Bauelement	Sperrspannungsbereich	Nennstrom I_n	Chipfläche A_{Chip}
Diode	300 – 1200 V	20 – 75 A	10 – 80 mm ²
MOSFET	300 – 1200 V	20 – 230 A	30 – 230 mm ²
IGBT	200 – 1700 V	75 – 550 A	20 – 170 mm ²
Thyristor	300 – 1700 V	20 – 110 A	15 – 185 mm ²
MCT	1500 V	250 – 400 A	75 – 103 mm ²

An die in **Tab. 6.1** gezeigten Bauelemente stellen sich die Anforderungen aus **Kap. 3.4** und **Kap. 4.4**, die aus den Bedrohungsparametern in AC- und DC-Netzen hervorgehen. Damit eine Bewertung der Bauelemente möglich ist, werden ausgewählte diskrete Bauelemente, d.h. gehaute oder auf DCB Substrat (Direct-Copper-Bonding) aufgebrachte Einzelchips, einer für den Überspannungsschutz typischen Belastung unterzogen:

1. Gesteigerte Stoßstrombelastung der Formen $8/20 \mu\text{s}$ und $10/350 \mu\text{s}$ ausgehend von $\hat{I} = 500 \text{ A}$. Um eine maximale Belastung zu erzielen und mögliche Ausfälle analysieren zu können, erfolgt die Erhöhung der Stoßstrombelastung in relativ kleinen Stromamplitudensteigerungen von 500 A . Zwischen den Impulsbelastungen liegt jeweils eine Pausenzeit von mindestens 20 s . Dies soll eine vollständige Abkühlung der Bauelemente gewährleisten, damit keine thermische Vorbelastung der Vergleichbarkeit der Ergebnisse entgegensteht. Mit der gesteigerten Stoßstrombelastung sollen die Grenzen der Stoßstromtragfähigkeit der jeweiligen Bauelemente getestet und gleichzeitig die dabei auftretenden Effekte erfasst werden.
2. Multiple Stoßstrombelastungen mit der Impulsfolge ($20 \times 500 \text{ A}$, $20 \times 1 \text{ kA}$, $20 \times 1,5 \text{ kA}$ usw.) und einer Pausenzeit von mindestens 20 s . Ein Vergleich mit den gesteigerten Stoßstrombelastungsversuchen soll mögliche Defekte und vorzeitige Ausfälle aufgrund von Mehrfachbelastungen mit kleineren Amplituden aufdecken.
3. Maximalbelastung mit einer um 500 A höheren Stoßstromamplitude wie der aus den gesteigerten Stoßstrombelastungen bekannten Grenzbelaubarkeit. Hiermit soll gezielt untersucht werden, ob Bauelemente ohne Vorbelastung eine für den Überspannungsschutz relevante Erhöhung ihres Ableitvermögens aufweisen.

Die Eignung und Bewertung von Anwendungsmöglichkeiten soll nachfolgend anhand der Bauteileigenschaften erfolgen. Bekannte Bauteilcharakteristika und Ausfallmechanismen, die während der drei beschriebenen Belastungen auftreten, sollen genannt und deren Auswirkung für die Anwendung analysiert werden. Hierzu zählen:

1. Dynamisches Verhalten bei Ein- und Ausschaltvorgängen während einer Überspannung und daraus folgende Auswirkungen auf den Schutzpegel und das Ableitvermögen
2. Durchlasseigenschaften der Bauelemente während eines Ableitvorgangs
3. Defektmechanismen bei Ableitvorgängen und daraus resultierende Grenzen für die Anwendung im Überspannungsschutz
4. Untersuchung des Einflusses der Ansteuerung auf die Ableitfähigkeit
5. Unterschiede bei Belastungen mit induzierten Stoßströmen und Blitzstoßströmen
6. Untersuchung von Alterungseffekten bei multiplen Ableitvorgängen
7. Belastungen der Bauelemente und sich daraus ergebende Anforderungen an die Aufbau- und Verbindungstechnik

Durch diese Vorgehensweise soll eine Bewertung der Bauelemente hinsichtlich ihrer Eignung für Überspannungsschutzanwendungen erfolgen. Mit den Ergebnissen ist dann eine Auslegung von Schutzkonzepten gegen die genannten Bedrohungen möglich. Diese erfolgt in **Kap. 7**. Es sei darauf hingewiesen, dass in diesem Kapitel eine Vielzahl von untersuchten Bauelementen vorgestellt wird. Das Ziel hierbei ist nicht der direkte Vergleich der einzelnen gleichartigen Bauelemente untereinander (z.B. Thyristor eins mit Thyristor zwei), sondern die Beschreibung und Darstellung der Effekte, die sich bei Stoßstrombelastungen einstellen. Daher wurden jeweils die Bauelemente abgebildet, die diese Effekte am deutlichsten zeigen, woraus die große Vielzahl resultiert.

6.1 Bewertung von Dioden für Überspannungsschutzanwendungen

Die Diode ist eines der wichtigsten Bauelemente der Leistungselektronik und daher auch für Überspannungsschutzanwendungen essentiell. Für Anwendungen in der Niederspannung in Frage kommende Dioden-Typen sind in **Abb. 6.1** dargestellt. Die drei gezeigten Typen sind Epitaxial-Dioden, diffundierte Dioden und Schottky-Dioden. Typische Anwendungen für diese Dioden sind nach [56] Gleichrichteranwendung für langsam schaltende Dioden sowie als Freilauf- und Snubber-Dioden in Schaltanwendungen für schnelle Dioden. Epitaxial-Dioden kommen hierbei im Nennspannungsbereich von 100 – 600 V zum Einsatz. Ab Sperrspannungen von 1,2 kV sind diffundierte Dioden dominierend.

Die in Schaltanwendungen vorkommenden typischen Strom- und Spannungssteilheiten liegen im Bereich von 100 A – 2 kA/ μ s und 5 – 15 kV/ μ s. Überträgt man diese Steilheiten auf die im Überspannungsschutz zu erwartenden Impulsformen entspricht dies einer induzierten Stoßstrombelastung von $I_{8/20\mu s} = 16$ kA und einer Blitzstoßstrombelastung von $I_{10/350\mu s} = 20$ kA, was bereits eine hohe Belastung abbildet. Die Übertragung der Spannungssteilheiten auf eine Blitzstoßspannung (1,2/50 μ s) ergibt einen Amplitudenbereich von 6 – 18 kV. Aus Sicht der Dynamik sind die im Überspannungsschutz vorkommenden zeitlichen Strom- und Spannungsänderungen daher ähnlich zu heutigen Schaltanwendungen.

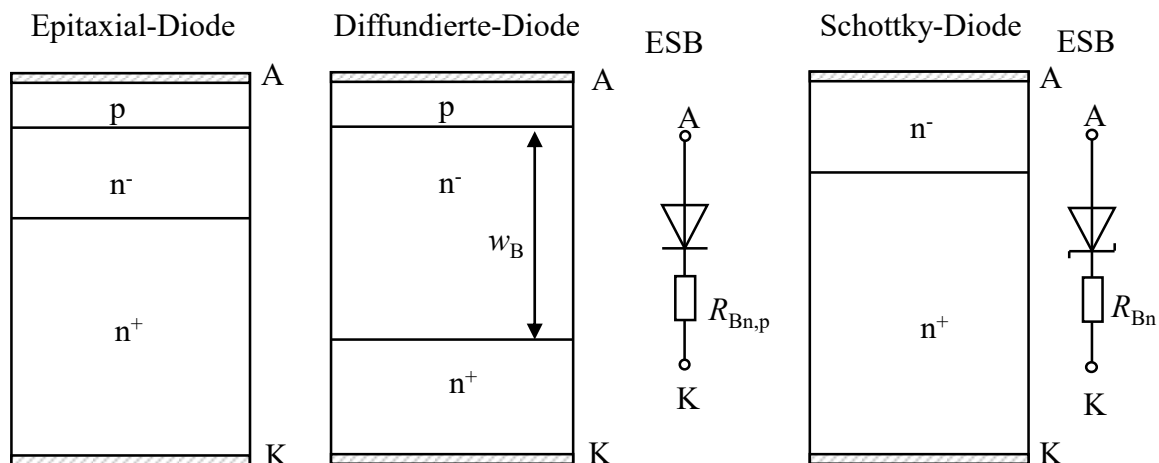


Abb. 6.1: Aufbau von pin- (links, mittig) und Schottky-Diode (rechts) nach [57] und [56]

Starke Unterschiede gibt es hingegen bei den zu erwartenden Stoßstromamplituden. Für Dioden und Thyristoren in Netzanwendungen geben Hersteller maximal erlaubte netzfrequente (50 Hz und 60 Hz) Stoßstrombelastungen mit dem Wert I_{FSM} (Forward Surge Maximum) an. Typische Werte für netzfrequente Stoßströme sind nach [57] für schnelle Dioden $10 - 12 \cdot I_n$ und für Netzdioden $\leq 20 \cdot I_n$.

Die Impulsdynamik bei induzierten Stoßströmen und Blitzstoßströmen unterscheidet sich deutlich von den in Datenblättern angegebenen Stoßstromwerten I_{FSM} . Daher ist der I_{FSM} nur bedingt aussagekräftig, um das Ableitvermögen von Dioden bei induzierten und Blitzstoßströmen zu bestimmen. Dies gilt auch für die Angabe der spezifischen Energie Pt in Dioden-Datenblättern. Diese Angabe wird zur Vorsicherungsdimensionierung zum Schutz von Dioden verwendet und liefert keine Aussage über die Ableit- bzw. Stoßstromtragfähigkeit im ÜSS.

Untersuchungen von bipolaren Bauelementen bei kürzeren Impulsdauern und hohen Strömen sind in [58] und [59] für Thyristoren und Dioden sowie in [60] für moderne hochsperrende IGBTs angestellt worden. Hier sind bereits wesentliche Eigenschaften von bipolaren Leistungshalbleitern bei Stoßstrombelastungen genannt. Eine Charakterisierung für den Überspannungsschutz fehlt jedoch.

Für diese wurden die in **Tab. 6.1** gezeigten Dioden bei Stoßstrombelastung mit den Impulsformen $8/20\ \mu\text{s}$ und $10/350\ \mu\text{s}$ mit dem Messaufbau in **Abb. 6.2** getestet.

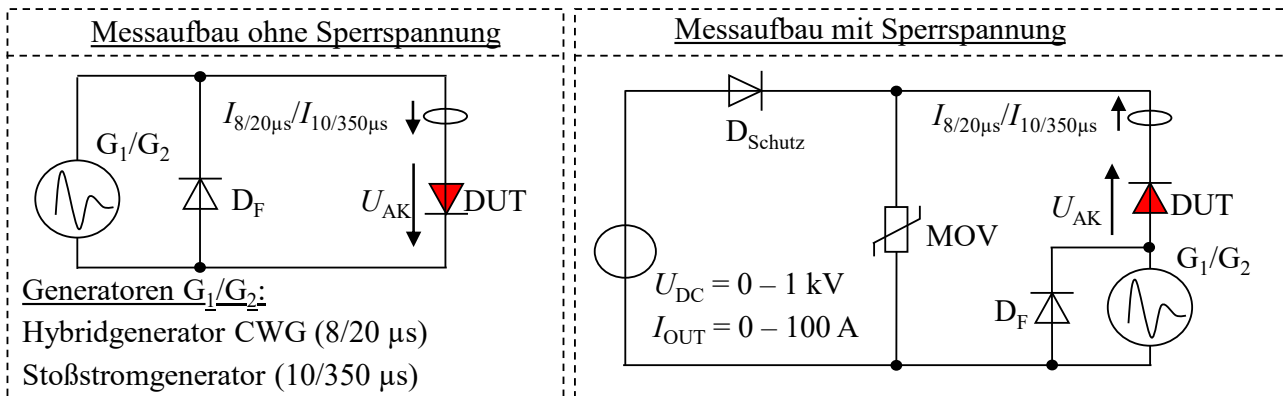


Abb. 6.2: Messaufbau zur Charakterisierung von Dioden im Überspannungsschutz

Die nachfolgenden Stoßstromversuche wurden jeweils mit und ohne Sperrspannungsbeanspruchung nach dem Ableitvorgang durchgeführt. Für die Versuche sind zwei Generatortypen zur Nachbildung direkter und induzierter Blitzereignisse wichtig.

Für die Erzeugung induzierter Stoßströme ist ein Hybridgenerator (Combination Wave Generator, CWG, G_1) geeignet. Dieser besitzt im Leerlauf die Spannungsform der Blitzstoßspannung ($1,2/50\ \mu\text{s}$). Wird der Generator im Kurzschluss betrieben, erfolgt die Einprägung des Stoßstromes für induzierte Blitzereignisse der Form $8/20\ \mu\text{s}$ über die interne Impedanz von $2\ \Omega$.

Die Belastung mit Blitzstoßströmen erfolgt über einen Stoßstromgenerator (G_2). Dieser besitzt keine feste Spannungsform im Leerlauf. Die Spannungssteilheit ist stark vom jeweiligen Generator abhängig und nicht definiert. Im Kurzschluss wird die Stromform $10/350\ \mu\text{s}$ eingepreßt.

Der gezeigte Messaufbau ohne Sperrspannungsaufnahme, in **Abb. 6.2** links, benötigt neben der Diode (Device Under Test, DUT), welche getestet werden soll, eine weitere Freilaufdiode. Diese verhindert eine Zerstörung des DUTs aufgrund der periodisch gedämpften Impulsform bei Versuchen mit induzierten Stoßströmen und der daraus resultierenden Sperrspannungsüberschreitung.

Der Messaufbau in **Abb. 6.2** rechts belastet die Diode vor und nach der Impulsbelastung mit einer definierten Spannung in Sperrrichtung.

Für die Belastung wurde eine DC-Quelle verwendet, welche im Spannungsbereich $0 - 1\ \text{kV}$ bei einem Netzfolgestrom von $0 - 100\ \text{A}$ variiert werden kann. Positive Polaritäten des Stoßstroms werden über die zu testende Diode (DUT) und über den Metall-Oxid-Varistor (MOV) geführt. Der MOV und die Diode D_{Schutz} werden benötigt um die Quelle bei den Stoßstrombelastungen vor Überspannungen zu schützen und um dem Stoßstrom einen Parallelpfad zu öffnen. Negative Stoßstromanteile, wie sie bei induzierten Stoßströmen auftreten, werden über die Freilaufdiode D_F kurzgeschlossen.

Hierbei ist wichtig, dass der Generator nach dem Stoßstromereignis ein niederohmiges Verhalten besitzt, damit sich eine Sperrspannung über der Diode aufbauen kann.

6.1.1 Einschaltverhalten bei Stoßstrombelastungen

Mit dem beschriebenen Messaufbau ohne Sperrspannungsbelastung wurde beispielhaft in **Abb. 6.3** der Vergleich des Einschaltverhaltens einer Gleichrichterdiode ($U_{RRM} = 800\ \text{V}$, $I_n = 48\ \text{A}$, $A_{\text{Chip}} = 30\ \text{mm}^2$) und einer schnellen Snubber-Diode ($U_{RRM} = 1,2\ \text{kV}$, $I_n = 75\ \text{A}$, $A_{\text{Chip}} = 33\ \text{mm}^2$) durchgeführt. Die Stoßstromamplitude betrug, wie in [5] gezeigt, jeweils $I_{8/20\mu\text{s}} = 5,8\ \text{kA}$.

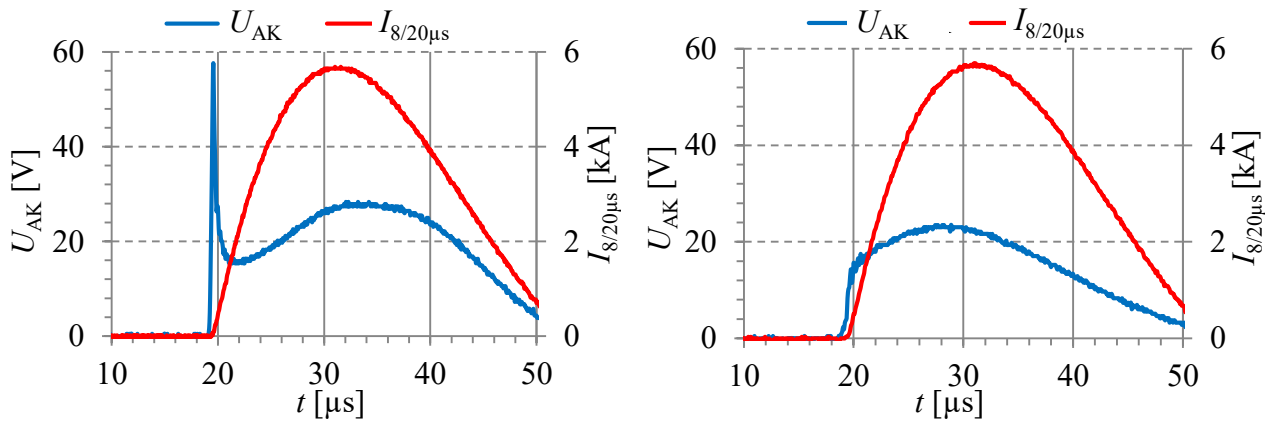


Abb. 6.3: Einschaltverhalten einer Gleichrichterdiode ($U_{RRM} = 800 \text{ V}$, $I_n = 48 \text{ A}$, $A_{\text{Chip}} = 30 \text{ mm}^2$) (links) und einer Snubber-Diode ($U_{RRM} = 1,2 \text{ kV}$, $I_n = 75 \text{ A}$, $A_{\text{Chip}} = 33 \text{ mm}^2$) (rechts)

Zu Beginn des Impulses ist ein hoher Spannungsspeak U_{FRM} (Maximum Forward Recovery, FRM) im Durchlassverhalten der 800 V Gleichrichterdiode ersichtlich. Dieser ist nach [57] wie folgt definiert:

$$U_{FRM} = \frac{w_B \cdot J_F}{q \cdot \mu_n \cdot N_D} \quad (6.1.1)$$

Aus Gl. (6.1.1) geht hervor, dass die Einschaltüberspannung U_{FRM} abhängig von der Basisweite w_B der Diode ist. Die Basisweite wird von der Dioden-Art und der jeweiligen Sperrspannungsklasse definiert. Bei langsamen Dioden für 50 Hz-Netzanwendungen sind große Basisweiten w_B mit hoher Ladungsträgerlebensdauer üblich. Dies hat große Einschaltüberspannungen U_{FRM} zur Folge. Bei schnellen Dioden wird meist ein Design mit kleiner Basisweite w_B und geringer Ladungsträgerlebensdauer durch Einbringen von Rekombinationszentren gewählt. Dies reduziert die Einschaltüberspannungen U_{FRM} .

Typische Werte für U_{FRM} sind nach [57] wenige 10 V bei Dioden mit einer Sperrspannung von 600 V, einige 100 V bei Dioden mit einer Sperrspannung von 1,2 – 1,7 kV und bis zu 1 kV bei Dioden mit einer Sperrspannung von 3 kV. Hierbei ist zu beachten, dass sich U_{FRM} beim Einschalten mit vorangegangener Sperrspannungsbelastung nach [56] weiter erhöht. Dieser Effekt ist in **Abb. 6.3** nicht abgebildet.

Die Spannung U_{FRM} geht in Überspannungsanwendungen maßgeblich in den Schutzpegel ein. Aus diesem Grund sind Bauelemente mit hohen U_{FRM} bei Anwendungen mit niedrigen Netzspannungen, z.B. in 24 V-Systemen, nur bedingt einsetzbar. Spannungsspitzen von $U_{FRM} > 100 \text{ V}$ stellen hier einen nicht akzeptablen Schutzpegel dar, was den Einsatz von schnell schaltenden Dioden rechtfertigt. Bei Anwendungen mit höheren Nennspannungen sind Einschaltüberspannungen der Dioden im Fall von spannungsbegrenzenden Ableiter-Charakteristiken störend, da sich U_{FRM} zur „clampenden“ Spannung addiert. Bei spannungsschaltenden Ableiter-Charakteristiken ist keine Beeinflussung des Schutzpegels zu erwarten. Die Verlustleistung durch den erhöhten Spannungsabfall während des Einschaltens kann in Relation zu den Gesamtverlusten während des Durchlassvorgangs vernachlässigt werden. Damit beeinflusst das Einschaltverhalten die Stoßstromtragfähigkeit nicht.

6.1.2 Durchlassverhalten bei Stoßstrombelastungen

Das Durchlassverhalten der Diode während des Impulses ist maßgeblich für das Ableitvermögen verantwortlich, da die Durchlassspannung die in der Diode auftretende Verlustleistung definiert. Eine geringe Durchlassspannung ist daher essentiell für die Stoßstromtragfähigkeit.

Die Durchlassspannung, die sich während des Impulses auf Chipebene aufbaut, kann nach [57] und [61] in folgende Spannungsfälle unterteilt werden:

$$U_F = U_{Diff} + U_{Drift\ n-} + U_{nn+} = U_T \cdot \ln\left(\frac{N_D \cdot N_A}{n_i^2}\right) + \frac{w_B^2}{(\mu_n + \mu_p) \cdot \tau_{HL}} + U_T \cdot \ln\left(\frac{n^+}{N_D}\right) \quad (6.1.2)$$

Für Impulsbelastungen mit hohen Strömen sind weitere Spannungsfälle zu beachten, die in den Schutzpegel mit eingehen. So sind die ohmschen und induktiven Spannungsabfälle über den Zuleitungen beispielsweise von Bonddrähten auf die Durchlassspannung der Diode zu addieren:

$$U_{Ges} = U_F + U_\Omega + U_{ind} = U_F + R_{Gehäuse} \cdot i(t) + L \cdot \frac{di}{dt} \quad (6.1.3)$$

Typische Werte für die Gesamtinduktivität im Leistungspfad von TO-Gehäusen (Transistor Outline, TO) sind nach [62] mit 4 – 20 nH angegeben. Für Aluminiumbonddrähte ergibt sich ein Widerstand von 0,3 – 0,7 mΩ, je nach Anzahl, Länge und Bonddrahtdicke. Ein positiver Effekt auf den Schutzpegel wäre durch parallele Kapazitäten gegeben, welche spannungssteilheitsreduzierend wirken. Die typischen Sperrschichtkapazitäten von Dioden (pF – nF) sind hierfür zu gering und haben keinen Einfluss auf den Schutzpegel der Diode. Das Durchlassverhalten, wie aus Gl. (6.1.2) ersichtlich, ist nicht nur von der Diffusionsspannung U_{Diff} am pn-Übergang abhängig, sondern wird maßgeblich von dem Spannungsabfall über den Driftgebieten U_{Drift} in der Diode geprägt.

Der exponentielle Zusammenhang zwischen Strom und Spannung, wie er in der Shockley-Gleichung beschrieben wird, ist daher bei hohen Strömen nicht mehr gültig. Die Strom-Spannungs-Kennlinie wird nach [63] für hohe Ströme über einen quadratischen Zusammenhang beschrieben. Wie nachfolgend in **Abb. 6.10** gezeigt wird, nähert sich die Strom-Spannungs-Kennlinie bei hohen Stoßströmen durch die Dominanz der ohmschen Widerstände sogar einem linearen Zusammenhang an:

$$I_F = I_S \cdot \left(e^{\frac{U_F}{U_T}} - 1\right) \rightarrow I_F = I_S \cdot \left(\frac{U_F}{U_T}\right)^2 \rightarrow I_F = \frac{1}{r_D} \cdot (U_F - U_{F0}) \quad (6.1.4)$$

Das Durchlassverhalten ist nach Gl. (6.1.2) und Gl. (6.1.3) stark vom Aufbau der Diode abhängig sowie von der Temperatur, die sich während des Impulses einstellt. Die Temperatur geht in die Durchlasseigenschaften wie folgt ein:

1. U_{Diff} sinkt mit ca. 2 mV/K aufgrund des Anstiegs der Eigenleitungsdichte n_i durch die thermische Generation von Ladungsträgern.
2. U_{Drift} steigt mit der Temperatur, da die Ladungsträgerbeweglichkeiten μ_n und μ_p stark abnehmen. Bei sehr hohen Strömen sinkt nach [60] auch die Ladungsträgerlebensdauer aufgrund der Auger-Rekombination. Dies wird allerdings mit der Zunahme der Lebensdauer bei steigender Temperatur teilweise wieder ausgeglichen.
3. Der ohmsche Spannungsabfall U_Ω über den Bonddrähten und dem TO-Gehäuse steigt mit der Temperatur.

Die Temperatur, die sich während eines Impulses in der Diode ergibt, bestimmt damit maßgeblich die Durchlassspannung und das Ableitvermögen. Nach [64] sind Impulse mit einer Dauer von 5 μs, nach [65] bis zu einer Dauer von 50 μs und nach [57] sogar bis zu einer Dauer von 7,5 ms als adiabatisch anzusehen. D.h. die gesamte Verlustleistung während des Impulses bleibt im Silizium und wird nicht an die Umgebung abgegeben.

Um eine realistische Abschätzung der thermischen Vorgänge in Dioden während einer Stoßstrombelastung, wie sie im Überspannungsschutz zu erwarten ist, treffen zu können, wurde das Simulationsmodell aus **Abb. 6.4** erstellt. Grundlage hierfür war eine Diode mit folgenden Daten ($U_{RRM} = 400 \text{ V}$, $I_n = 60 \text{ A}$, $A_{\text{Chip}} = 44,5 \text{ mm}^2$).

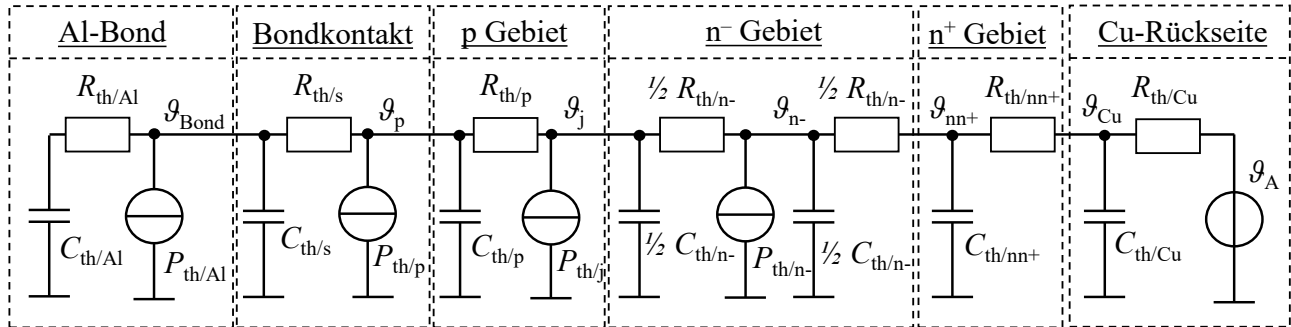


Abb. 6.4: Thermisches ESB zur Abschätzung der Temperaturverteilung in Dioden während einer Stoßstrombelastung der Formen 8/20 μs und 10/350 μs

Eine Abschätzung der thermischen Kapazitäten und Widerstände der einzelnen Gebiete in der Diode wurde in **Anhang 5** vorgenommen. Nichtlineare Effekte, wie die starke Reduktion der thermischen Leitfähigkeit mit der Temperatur, wurden durch die in [64] und [66] vorgeschlagene Methode der Mittelwertbildung der Leitfähigkeit über den auftretenden Temperaturbereich berücksichtigt. Die Temperaturerhöhung kann über den Spannungsabfall und dem daraus abgeleiteten Energieeintrag in das jeweilige Dioden-Gebiet berechnet werden. Eine genaue Beschreibung des Modells sowie die dafür getroffenen Annahmen sind in **Anhang 5** angegeben.

Die Durchlasseigenschaften der Beispieldiode wurde für 8/20 μs - und 10/350 μs -Belastungen gemessen. Der induktive Spannungsabfall an den Bonddrähten trägt nicht zur thermischen Verlustleistung bei, ist in den realen Messdaten jedoch zwangsläufig enthalten. Um dies zu korrigieren, wurde der induktive Anteil des Spannungsabfalls über eine relativ niedrige Bonddrahtinduktivität ($L_s = 4 \text{ nH}$) von den gemessenen Spannungsverläufen subtrahiert. **Abb. 6.5** links und **Abb. 6.6** links zeigen die Messdaten bei der jeweiligen Maximalbelastung der Beispieldiode mit induzierten und direkten Blitzstoßstromimpulsen von $I_{8/20\mu\text{s}} = 4,8 \text{ kA}$ und $I_{10/350\mu\text{s}} = 2 \text{ kA}$.

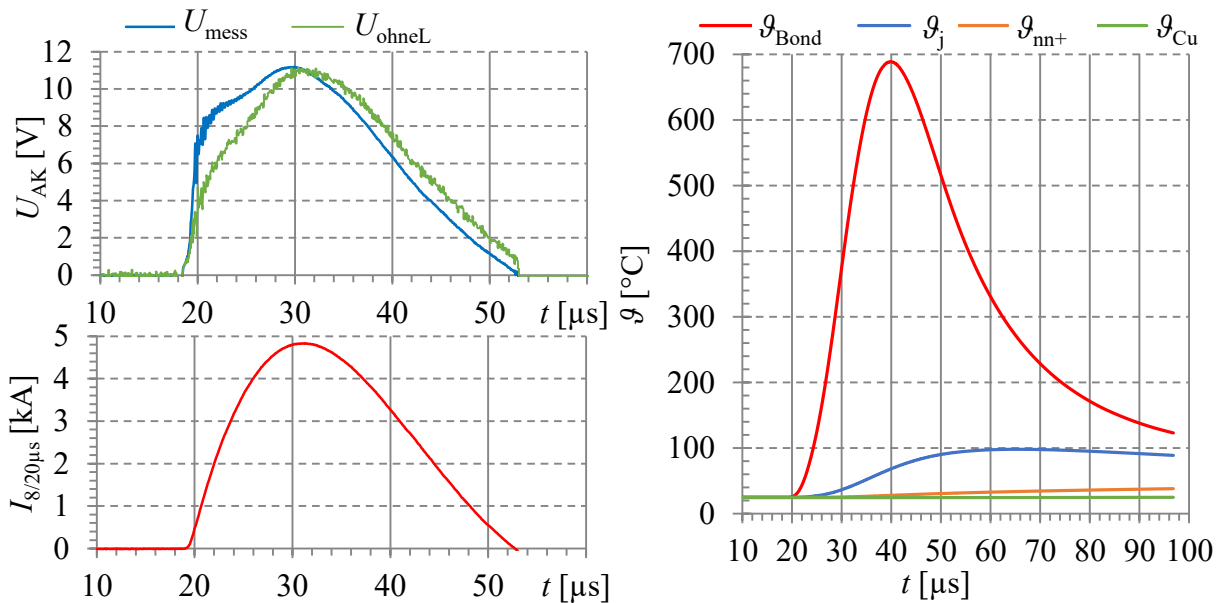


Abb. 6.5: Strom- und Spannungsverlauf aus einer realen Messung (links) und simulierter Temperaturverlauf (rechts) in der Diode ($U_{RRM} = 400 \text{ V}$, $I_n = 60 \text{ A}$, $A_{\text{Chip}} = 44,5 \text{ mm}^2$) bei $I_{8/20\mu\text{s}} = 4,8 \text{ kA}$

In grün ist der induktionsbereinigte Spannungsverlauf ersichtlich. Der dem Stoßstrom folgende Spannungsverlauf der induktivitätsbereinigten Darstellung bestätigt die Wahl von $L_s = 4 \text{ nH}$.

In **Abb. 6.5** rechts ist der Temperaturverlauf während der Stoßstrombelastung von 4,8 kA ersichtlich. Hierbei erfolgt ein Energieeintrag von $W_{8/20\mu\text{s}} = 0,817 \text{ Ws}$ über den gesamten Impuls in die Diode. Die maximale Verlustleistung beträgt im Strommaximum $P_{V\text{max}} = 54 \text{ kW}$. Durch die hohe Verlustleistung steigt die Temperatur ϑ_{Bond} um den Bonddrahtfußpunkt, welcher nur eine geringe thermische Kapazität aufweist, auf 680°C . Dies überschreitet bereits den Schmelzpunkt von Aluminium, der bei 660°C liegt. An dieser Stelle wird die Simulation durch die Messung bestätigt, bei welchen Fußpunktaufschmelzungen ab ca. 4,3 kA zu erkennen waren. Dies ist nachfolgend auch in **Abb. 6.11** für eine vergleichbare Diode abgebildet. Erhöhungen der Temperatur um den Bonddrahtfußpunkt bei großen Stromdichten werden ebenfalls in [67] gezeigt. In der Diode (pn, n⁻, usw.) selbst ist eine deutlich geringere Erhöhung der Temperatur ersichtlich. Die Temperatur im pn-Übergang ϑ_j steigt auf ca. 100°C an. An der Kupferrückseite des TO-Gehäuses ist bei Transienten der Form 8/20 μs nahezu keine Temperaturerhöhung erkennbar. Dies deckt sich mit den realen Messungen. Induzierte Stoßstromereignisse sind daher als adiabatische Vorgänge anzusehen.

Abb. 6.6 zeigt den Temperaturverlauf für die Maximalbelastung von 2 kA der Blitzstoßstromform 10/350 μs . Der Energieeintrag ist aufgrund der Impulsdauer deutlich größer und beträgt $W_{10/350\mu\text{s}} = 3,4 \text{ Ws}$. Die geringere Stromamplitude hat eine reduzierte maximale Verlustleistung von $P_{V\text{max}} = 9 \text{ kW}$ zur Folge. Dies ruft zwei wesentliche Unterschiede im Vergleich zur Belastung mit induzierten Stoßströmen hervor. Erstens ergeben sich geringere Maximalwerte für die Temperatur aufgrund der reduzierten Verlustleistung. Zweitens findet eine deutlich größere Wärmeausbreitung in der Diode statt, was am Temperaturverlauf in der nn⁺ Schicht ersichtlich ist. Trotz der hohen Temperaturen in den rückseitennahen Dioden-Schichten bei Blitzstoßstrombelastungen, ist keine signifikante Erwärmung der Kupferfläche zu beobachten. Deshalb sind auch Impulse der Form 10/350 μs als adiabatische Vorgänge in Halbleitern anzusehen.

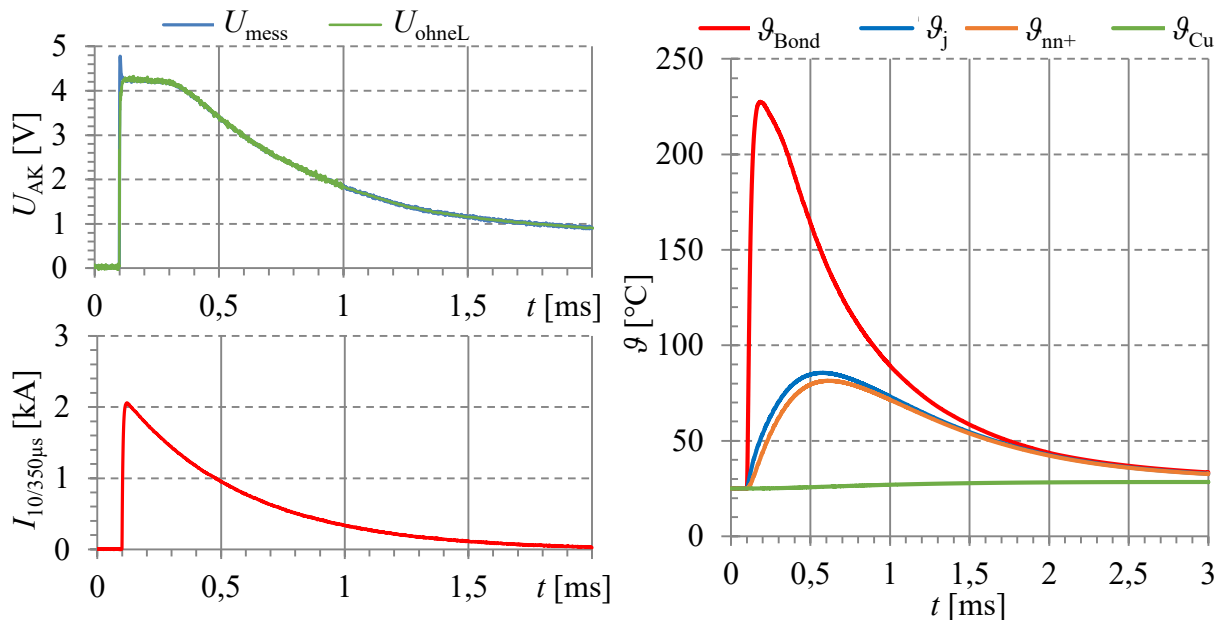


Abb. 6.6: Strom- und Spannungsverlauf aus einer realen Messung (links) und simulierter Temperaturverlauf (rechts) in der Diode ($U_{\text{RRM}} = 400 \text{ V}$, $I_n = 60 \text{ A}$, $A_{\text{Chip}} = 44,5 \text{ mm}^2$) bei $I_{10/350\mu\text{s}} = 2 \text{ kA}$

6.1.3 Abschaltverhalten und Sperrverhalten nach einer Stoßstrombelastung

Das Abschaltverhalten von Dioden ist neben den Durchlasseigenschaften und dem Einschaltverhalten die dritte wichtige Eigenschaft, welche in Überspannungsschutzanwendungen zu bewerten ist. Hierbei spielen die zu erwartenden Kommutierungsstromsteilheiten eine entscheidende Rolle.

Bei induzierten Überspannungsimpulsen, welche Dioden beherrschen müssen, ist die in **Tab. 3.3** gezeigte maximale Steilheit von $-656 \text{ A}/\mu\text{s}$ zu erwarten. Dies entspricht einer mittleren Belastung im Vergleich zu Schaltanwendungen. Das di/dt bestimmt zusammen mit der Speicherladung in der Diffusionskapazität die Höhe der Rückstromspitze I_{rr} . Um eine erneute Überspannung durch einen Rückstromabriss zu vermeiden, sind Dioden mit einem „soft-recovery“ Verhalten im Überspannungsschutz ebenso wie in Schaltanwendungen zu bevorzugen. Hier kann nach [56] ein Softfaktor größer eins ein Auswahlkriterium für Dioden im ÜSS darstellen.

Bei zu schnellen Kommutierungsvorgängen kann es während des Abschaltvorganges von Dioden zum dynamischen Lawinendurchbruch (engl. dynamic avalanche) kommen. Dies ist der Fall, wenn die Diode beim Übergang vom leitenden in den sperrenden Zustand zu schnell Sperrspannung aufnimmt.

Sind während der Sperrspannungsaufnahme nicht alle Ladungsträger in der Diode ausgeräumt, führt dies zu einer reduzierten Basisweite w_B . Die Sperrspannung muss dann von dem bereits ladungsträgerfreien Bereich aufgenommen werden, was eine erhöhte Feldstärkebelastung zur Folge hat. Wird dabei eine kritische Feldstärke überschritten, kommt es zum dynamischen Lawinendurchbruch. Dieser Vorgang wirkt bei hohen Energieeinträgen zerstörend.

Das Sperrvermögen von Dioden nach Impulsbelastungen wird durch die Grenzstromkennlinie charakterisiert. Diese ist meist nur bei Dioden für Netzanwendungen in Datenblättern angegeben. Mit steigender Impulsdauer, Höhe der Ausgangstemperatur vor der Impulsbelastung und der Amplitude der nachfolgenden Sperrspannungsbelastung sinkt die noch beherrschbare Stoßstromamplitude.

Dieses Verhalten wurde auch bei den Impulsen der Formen $8/20 \mu\text{s}$ und $10/350 \mu\text{s}$ beobachtet. Für die Anwendung im Überspannungsschutz ist eine Reduktion des Ableitvermögens in die Auslegung der Komponenten je nach Nennspannung mit einzubeziehen. In **Abb. 6.7** links ist der Ableitvorgang einer Diode mit dem Messaufbau von **Abb. 6.2** dargestellt. Die schnelle „soft-recovery“ Diode ($U_{RRM} = 1,2 \text{ kV}$, $I_n = 60 \text{ A}$) wird während der Belastung mit $I_{8/20\mu\text{s}} = 9,5 \text{ kA}$ wegen der gedämpften periodischen Schwingung zweimal leitend. **Abb. 6.7** rechts zeigt einen Defekt der Diode bei $I_{8/20\mu\text{s}} = 10 \text{ kA}$ aufgrund einer nachfolgenden Sperrspannungsbelastung.

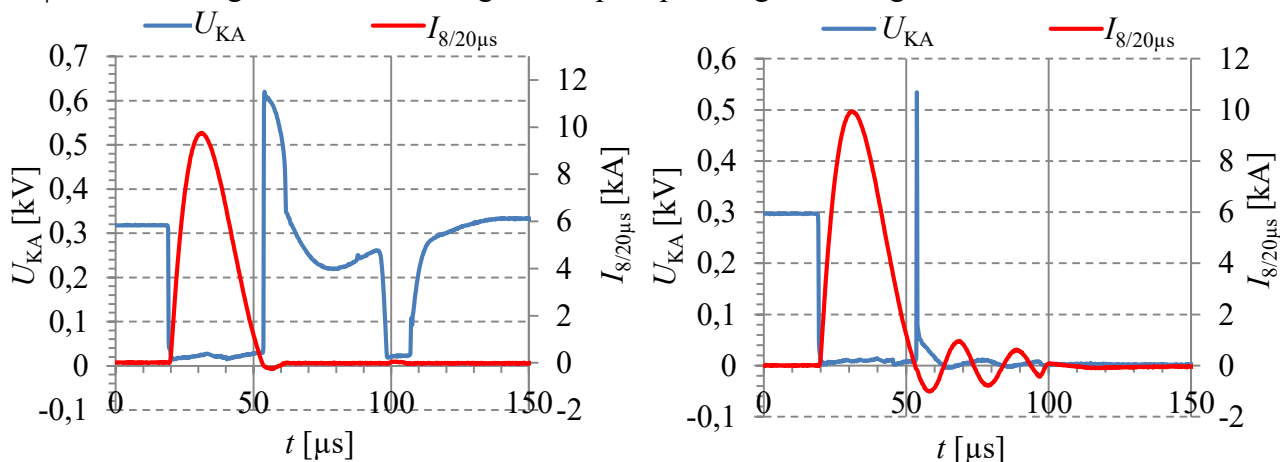


Abb. 6.7: Sperrverhalten einer schnellen Diode ($U_{RRM} = 1,2 \text{ kV}$, $I_n = 60 \text{ A}$) bei $I_{8/20\mu\text{s}} = 9,5 \text{ kA}$ (links) und $I_{8/20\mu\text{s}} = 10 \text{ kA}$ (rechts)

Die Reduktion der Stoßstromtragfähigkeit erhöht sich mit der Amplitude des Impulses, der Impulsdauer ($8/20\ \mu\text{s}$, $10/350\ \mu\text{s}$) und der nachfolgenden Sperrspannungsbelastung. Bei Blitzstoßstrombelastungen ist daher ein reduziertes Sperrvermögen im Vergleich zu induzierten Stoßstrombelastungen zu erwarten. Bei Anwendungen mit niedrigen Sperrspannungen, z.B. im 24 V-Bereich, kann von der vollen Ableitfähigkeit der Diode ausgegangen werden. Bei höheren Sperrspannungen ist ein starker Rückgang der Ableitfähigkeit zu erwarten.

Die Reduktion des Sperrvermögens nach einer Impulsbelastung liegt in der thermischen Mitkopplung begründet. Durch die Temperaturerhöhung in der Diode während des Impulses erhöht sich deren Leckstrom aufgrund der thermischen Generation von Ladungsträgern stark ($I_s \sim n_i^2$). Dem entgegen steht die Reduktion der mittleren freien Weglänge der Ladungsträger, was einen Avalanche-Durchbruch, basierend auf dem Effekt der Stoßionisation, erst bei erhöhten Spannungen erfolgen lässt. Die Sperrspannung steigt mit ca. $1,5\ \text{V/K}$. Dieser Effekt spielt jedoch bei dem durch Impulsbelastungen starken Anstieg der Temperatur keine wesentliche Rolle. Der stark erhöhte Leckstrom führt zu einer nicht mehr kontrollierbaren Verlustleistung in der Diode, wodurch es zum thermischen Durchbruch kommt. Da die Verlustleistung von der Sperrspannung abhängig ist, erfolgen die Ausfälle bei hohen Spannungen bereits bei niedrigeren Stoßströmen. Bei hohen Betriebstemperaturen erfolgt die thermische Mitkopplung nochmals früher, da die thermische Kapazität der Diode nicht mehr den vollen Impuls aufnehmen kann.

6.1.4 Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung

Durch die gesteigerte Stoßstrombelastung soll das Ausfallverhalten und dessen Verlauf bei unterschiedlichen Stromamplituden aufgezeigt werden. **Abb. 6.8** zeigt das Verhalten einer Gleichrichter-Diode ($U_{\text{RRM}} = 800\ \text{V}$, $I_n = 48\ \text{A}$, $A_{\text{Chip}} = 30\ \text{mm}^2$) bei gesteigerter Stoßstrombelastung ($\Delta I = 500\ \text{A}$) wie eingangs in **Kap. 6** beschrieben.

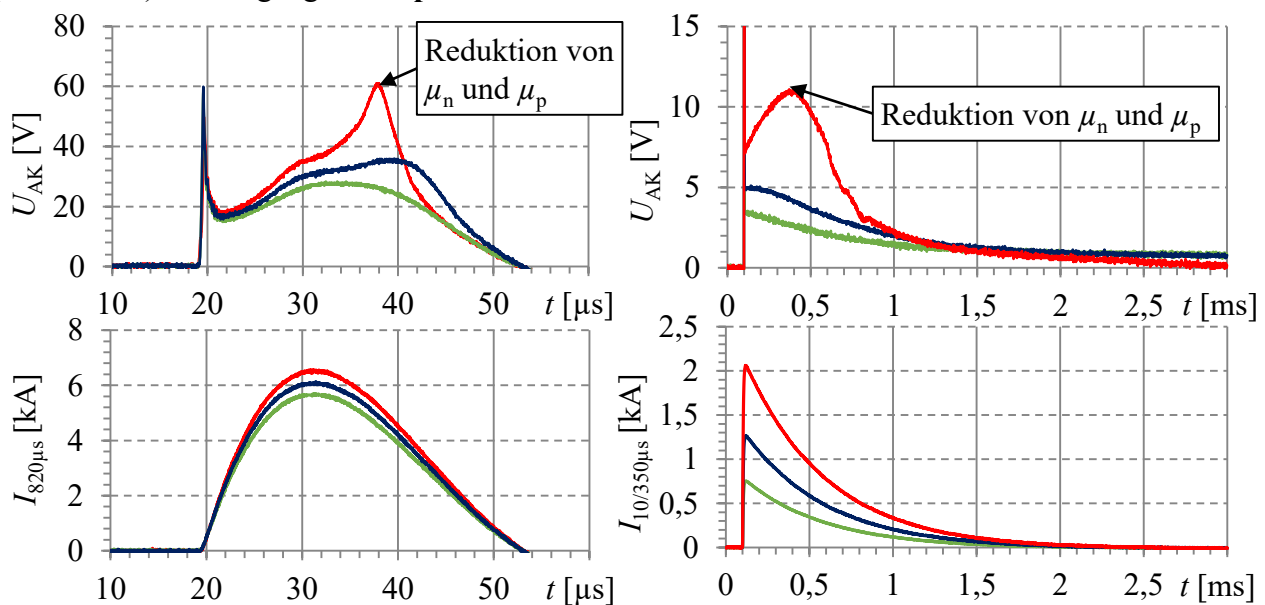


Abb. 6.8: Gesteigerte Belastung einer Gleichrichterdiode ($U_{\text{RRM}} = 800\ \text{V}$, $I_n = 48\ \text{A}$, $A_{\text{Chip}} = 30\ \text{mm}^2$)

Zu Beginn der Impulse ist die Einschaltüberspannung U_{FRM} zu erkennen. Bei Impulsströmen, welche die getestete Diode nur gering erwärmen ($\vartheta_n < 100^\circ\text{C}$) ($I_{10/350\ \mu\text{s}}$ bis $1,25\ \text{kA}$ und $I_{8/20\ \mu\text{s}}$ bis $5,8\ \text{kA}$), folgt die Durchlassspannung dem Stoßstrom. Erst bei Impulsbelastungen, die durch die Erwärmung der Diode die Ladungsträgerbeweglichkeit (μ_n und μ_p) stark beeinflussen, ist eine Zunahme der Durchlassspannung mit fortlaufender Strombelastung zu erkennen.

Bei einer Belastung mit induzierten Stoßströmen tritt dieser Effekt nahezu sprunghaft auf. Dies ist in **Abb. 6.8** links bei $t = 35 \mu\text{s}$ zu erkennen. Bei Impulsen der Form 10/350 μs ist der Anstieg linear zum Impulsstromverlauf. Dies ist in **Abb. 6.8** rechts bei $t = 0,4 \text{ ms}$ ersichtlich. Der erhöhte Spannungsabfall aufgrund der Reduktion der Ladungsträgerbeweglichkeit führt nicht zwangsläufig zu einer Zerstörung der Diode. Erst wenn die dadurch eingebrachte Energie einen kritischen Wert überschreitet, ist ein Defekt der Diode zu beobachten.

Mit den multiplen Belastungen sollen Ausfälle, die auf Alterungseffekten des Chips oder der Aufbau- und Verbindungstechnik beruhen, aufgezeigt werden. Hierbei wurden multiple Belastungen, wie in **Kap. 6** beschrieben, mit einer Wiederholrate von 20 Impulsen pro Amplitudenwert und einer Pausenzeit von 20 s getestet. Im Nennbereich zeigten sich keine wesentliche Alterung oder ein Derating der getesteten Dioden. Erst nahe der maximalen Belastbarkeit kam es aufgrund der multiplen Belastungen zu Ausfällen. Dies ist vor allem dann der Fall, wenn sich Aufschmelzungen um Bonddrähte ergaben, was zu einer Verschlechterung der Bondverbindungen führte. Bei wiederholter Belastung der bereits geschädigten Verbindungen vergrößerten sich die Aufschmelzungen zusätzlich, was eine immer stärkere lokale Belastung der Dioden um den Fußpunkt der Bondverbindung zur Folge hatte. **Abb. 6.9** zeigt das Ausfallverhalten einer Gleichrichterdiode ($U_{\text{RRM}} = 1,2 \text{ kV}$, $I_n = 45 \text{ A}$) bei multipler Belastung. Bei Impulsbelastung Nr. 1 mit 5 kA (in grün dargestellt) zeigte sich, dass aus den gesteigerten Stoßstromversuchen bekannte Verhalten der Durchlassspannungserhöhung aufgrund der Ladungsträgerbeweglichkeitsreduktion. Die Erhöhung führt hier nicht zum Defekt der Diode. Bei Impulsbelastung Nr. 5 (in orange dargestellt) erfolgt die Erhöhung der Durchlassspannung früher als bei Impulsbelastung Nr. 1. Dies ist auf die geschädigten Bondverbindungen zurückzuführen. Der Strom verteilt sich nicht mehr gleichmäßig über die Bonddrähte, sondern nimmt den Weg des geringsten Widerstandes über die intaktesten Verbindungen. Dadurch erfolgt ein frühzeitigerer lokaler Temperaturanstieg, was eine Erhöhung der Durchlassspannung nach sich zieht. Bei Impulsbelastung Nr. 6 (in blau) zeigt die Diode kein Sperrverhalten mehr, was am Spannungsverlauf durch die Freilaufdiode ($t = 75 \mu\text{s}$) sichtbar ist. Die Diode befindet sich nachfolgend im Kurzschluss.

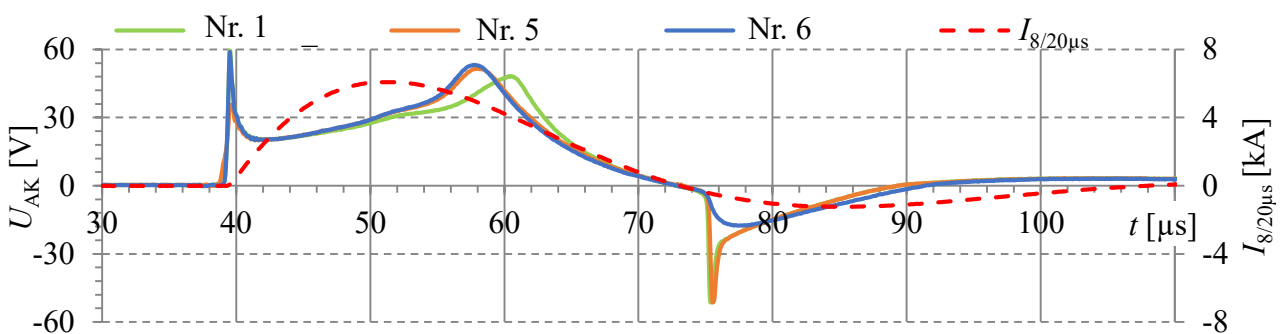


Abb. 6.9: Defekt bei multipler Belastung einer Gleichrichterdiode ($U_{\text{RRM}} = 1,2 \text{ kV}$, $I_n = 45 \text{ A}$)

Die Tests von Dioden auf ihre maximale Ableitfähigkeit ohne Vorbelastung zeigen im Vergleich zu den gesteigerten oder multiplen Stoßstromversuchen keine für den Überspannungsschutz relevante Erhöhung der Stoßstromtragfähigkeit, d.h. eine Steigerung der Ableitfähigkeit $> 500 \text{ A}$. Hiermit zeigen Dioden eine scharfe Defektgrenze, die durch Alterungseffekte aus Sicht des Überspannungsschutzes nicht beeinflusst wird.

6.1.5 Stoßstromtragfähigkeit von Schottky-Dioden

Schottky-Dioden bestehen im Gegensatz zu pin-Dioden aus einem Metall-Halbleiter-Übergang mit der Eigenschaft $W_{HL} < W_M$ bei n-Typen und $W_{HL} > W_M$ bei p-Typen, wobei p-Typ-Schottky-Dioden aufgrund der niedrigeren Ladungsträgerbeweglichkeit der Majoritäten nicht hergestellt werden. Schottky-Dioden sind für große Sperrspannungen ($U_{RRM} = 1,2 \text{ kV}$) nur als SiC-Dioden erhältlich und für schnelle Schaltanwendungen von 20 kHz bis 500 kHz vorteilhaft.

Bei hohen Strömen besitzen Schottky-Dioden aufgrund ihrer unipolaren Eigenschaften einen deutlich höheren Spannungsabfall U_F und damit ein schlechteres Durchlassverhalten als pin-Dioden. Dies wird maßgeblich von dem ohmschen Anteil des Driftgebiets charakterisiert und kann daher mit einem Widerstand beschrieben werden:

$$U_F = U_{sy} + I_F \cdot R_{on} \quad (6.1.5)$$

Der Widerstand R_{on} wird nach [57] stark von der Epitaxi-Schicht der Basis bestimmt und ist wie folgt definiert:

$$R_{on} \approx R_{epi} = \frac{w_B}{A \cdot \mu_n \cdot N_D \cdot q} \quad (6.1.6)$$

Zur Verdeutlichung der negativen Auswirkungen der Unipolarität zeigt **Abb. 6.10** den Vergleich der I - U -Kennlinie einer Schottky-Diode ($U_{RRM} = 1,2 \text{ kV}$, $I_n = 8 \text{ A}$) und einer schnellen pin-Diode ($U_{RRM} = 1,2 \text{ kV}$, $I_n = 10 \text{ A}$) im gleichen Leistungsbereich. Die pin-Diode zeigt bei gleicher Stoßstromamplitude einen deutlich geringeren Durchlassspannungsabfall.

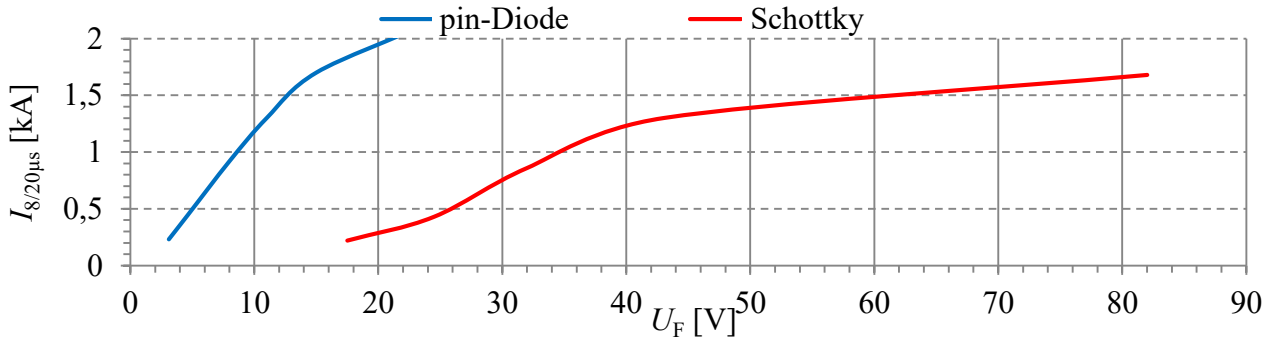


Abb. 6.10: Vergleich der I - U -Kennlinie einer Schottky-Diode ($U_{RRM} = 1,2 \text{ kV}$, $I_n = 8 \text{ A}$) und einer pin-Diode ($U_{RRM} = 1,2 \text{ kV}$, $I_n = 10 \text{ A}$)

Untersuchungen zum Stoßstromverhalten von Schottky-Dioden sind in [68] angestellt worden und bestätigen das schlechte Durchlassverhalten im Vergleich zu pin-Dioden. Vorteilhaft bei Schottky-Dioden ist das schnelle Schaltverhalten. Dadurch ergeben sich keine Einschaltüberspannungen U_{FRM} , welche den Schutzpegel in Überspannungsschutzanwendungen negativ beeinflussen würden. Aufgrund der ohmschen Durchlasscharakteristik sind Schottky-Dioden trotz ihres schnellen Schaltverhaltens im Überspannungsschutz als Ableitelement in Anwendungen mit hohen Stoßstrombelastungen nicht geeignet.

Um die Vorteile der Schottky-Diode im Überspannungsschutz auch bei hohen Stoßströmen nutzen zu können, kann das in [57] beschriebene Konzept der Merged pin-Schottky (MPS) Diode verwendet werden. Dieses kombiniert die Vorteile des schnellen Schaltverhaltens der Schottky-Diode und das gute Durchlassverhalten einer pin-Diode miteinander.

6.1.6 Belastung der Aufbautechnik und Verbindungstechnik

Die thermische Simulation aus **Abb. 6.4** und die Versuche zur multiplen Belastung von Dioden haben bereits den großen Einfluss der Aufbau- und Verbindungstechnik bei Impulsbelastungen gezeigt. Sie bestimmt maßgeblich die maximal auftretenden Stromdichten und dadurch auch die maximal ableitbaren Stromamplituden. Untersuchungen von Bonddrahtverbindungen bei Stoßströmen für Leistungsdioden in [67] bestätigen den großen Einfluss und die Limitierung der Stoßstromtragfähigkeit aufgrund unzureichender Kontaktierung.

Zur Verdeutlichung der Belastung der Verbindungstechnik bei Stoßströmen wurde in **Abb. 6.11** eine Stoßstrombelastung von $I_{8/20\mu s} = 7 \text{ kA}$ einer Standard-Gleichrichterdiode ($U_{RRM} = 1,2 \text{ kV}$, $I_n = 45 \text{ A}$, $A_{\text{Chip}} = 30 \text{ mm}^2$) durchgeführt und im Zeitraffer aufgenommen.

Es zeigen sich die auch für Kurzschlüsse üblichen mechanischen Verformungen der Bonddrähte nach der Stoßstrombelastung aufgrund der magnetischen Kräfte. Weiterhin ist ersichtlich, dass sich zunächst unterhalb der Bonddrähte starke Temperaturerhöhungen ergeben. Aufgrund dieser schmilzt die Metallisierung. Mit zunehmender Strombelastung folgt eine Funkenbildung bei t_1 unterhalb der Bonddrähte, die eine starke Wärmeentwicklung zur Folge hat. Die Metallisierung des Chips wird dabei explosionsartig ($t_2 - t_4$) abgetragen.

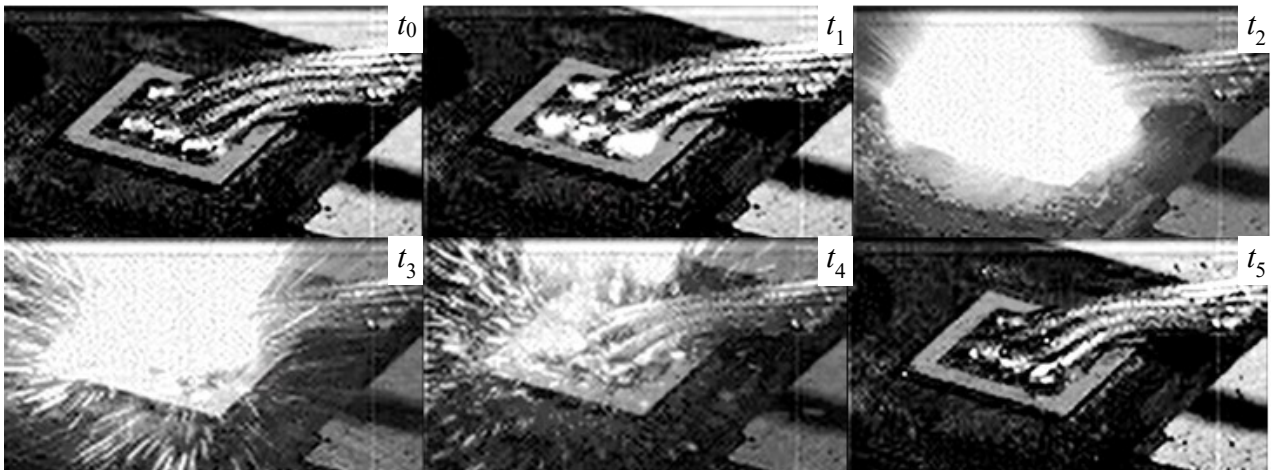


Abb. 6.11: Belastung der Bonddrähte der Diode ($U_{RRM} = 1,2 \text{ kV}$, $I_n = 45 \text{ A}$, $A_{\text{Chip}} = 30 \text{ mm}^2$) bei $I_{8/20\mu s} = 7 \text{ kA}$

Nach der Belastung mit $I_{8/20\mu s} = 7 \text{ kA}$ befand sich die Diode im Kurzschluss. Bei allen getesteten Dioden zeigte sich ein „fail-short“ Verhalten. Die thermische Simulation aus **Abb. 6.4** und Vergleiche von Dioden mit unterschiedlicher Anzahl an Bondverbindungen zeigen eine deutliche Abhängigkeit der Stoßstromtragfähigkeit von der Kontaktierung. Je großflächiger und symmetrischer die Bondverbindungen auf dem Chip angebracht sind, desto höher ist deren Stoßstromtragfähigkeit. Die für den Überspannungsschutz vorteilhafteste Kontaktierung ist eine großflächige Clip-Lötung, d.h. die Kontaktierung der Anodenseite mit einer großen Cu-Platte anstelle einer Kontaktierung mit einzelnen Bonddrähten. Große Kühlflächen auf der Kathodenseite, wie bei Dioden in Schaltanwendungen, bringen aufgrund der adiabatischen Vorgänge im Überspannungsschutz keine Vorteile.

6.1.7 Erkenntnisse und Schlussfolgerungen

Die nachfolgende Aufzählung der Eigenschaften von Leistungsdioden gibt einen Überblick der in Überspannungsschutzanwendungen zu beachtenden Randbedingungen:

1. Bei Anwendungen mit niedrigen Nennspannungen sind schnell schaltende Dioden zu bevorzugen, damit niedrige Schutzpegel gewährleistet werden können und nicht durch mögliche hohe Einschaltspannungsspitzen negativ beeinflusst werden.
2. Schnelle Dioden mit einem „soft recovery“-Verhalten sind im Überspannungsschutz auch aufgrund der zu erwartenden hohen Kommutierungsteilheiten bei induzierten Überspannungsereignissen vorteilhaft.
3. Der bei Netzdioden im Datenblatt angegebene Wert für die spezifische Energie Pt bei sinusförmigen netzfrequenten Impulsen ist für transiente Impulsbelastungen der Formen 8/20 μs und 10/350 μs kein geeigneter Richtwert für die maximale Ableitfähigkeit. Die erreichten spezifischen Energien lagen bei transienten Stoßstrombelastung der Formen 8/20 μs und 10/350 μs deutlich unter den im Datenblatt angegebenen. Dies liegt an der lokalen Wärmeentwicklung um die Bonddrahtfußpunkte und den daraus resultierenden Defekten. Je kürzer die Impulsdauer, desto schlechter ist die Übereinstimmung mit dem im Datenblatt angegebenen Wert.
4. Schottky-Dioden sind wegen ihres ohmschen Durchlassverhaltens bei hohen Strömen für Überspannungsschutzanwendungen nicht geeignet.
5. Die Temperaturentwicklung an der Dioden-Oberfläche während des Ableitvorgangs wird maßgeblich von der Aufbau- und Verbindungstechnik beeinflusst. Für Stoßstromanwendungen sind Clip-Lötungen oder eine hohe Anzahl an Loop-Bondverbindungen vorteilhaft. Sie erhöhen die thermische Kapazität und bewirken eine homogene Stromverteilung in der Diode, was erhöhte Stoßstromtragfähigkeiten zur Folge hat.
6. Mit steigender Sperrspannung muss bei Dioden eine Reduktion der Stoßstromtragfähigkeit aufgrund eines reduzierten Sperrvermögens der Diode nach Impulsbelastungen berücksichtigt werden. Dies gilt vor allem bei Blitzstoßstromimpulsen, da hier ein größerer Energieeintrag in den Chip erfolgt.
7. Alterungseffekte bei multiplen Stoßstrombelastungen sind durch die geringe Anzahl an Überspannungsereignissen im Überspannungsschutz nur bei Belastungen nahe der Zerstörungsgrenze ersichtlich. Diese ergeben sich maßgeblich durch die zunehmende Schädigung der Aufbau- und Verbindungstechnik.
8. Dioden zeigen keine für den Überspannungsschutz relevante Erhöhung ($> 500 \text{ A}$) der Stoßstromtragfähigkeit bei einmaliger Maximalbelastung ohne Vorbelastung.
9. Dioden zeigen das Ausfallverhalten „fail-short“, sie gehen bei Defekt in einen kurzschlussartigen Zustand über.

Unter Berücksichtigung dieser Randbedingungen ist ein zerstörungsfreier Einsatz von Dioden im Überspannungsschutz möglich.

6.2 Bewertung von Thyristoren für Überspannungsschutzanwendungen

Thyristoren sind wie pin-Dioden bipolare Bauelemente und werden typischerweise in Netzanwendungen eingesetzt. **Abb. 6.12** zeigt den Aufbau eines Thyristors. Dieser besteht aus zwei Bipolartransistoren npn und pnp, die über ihren Gate- und Kollektor-Anschluss miteinander verbunden sind. Über einen Gate-Stromimpuls ist ein aktives Einschalten des Thyristors möglich. Damit besitzen Thyristoren im Vergleich zu Dioden einen Ansteuerfreiheitsgrad mehr.

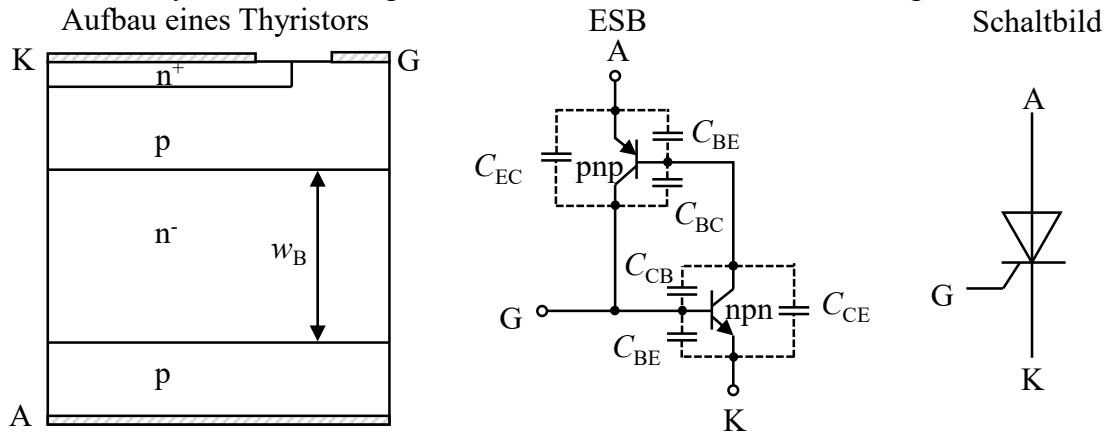


Abb. 6.12: Aufbau, ESB und Schaltbild eines Thyristors nach [57]

Ein aktives Ausschalten des Bauelementes ist nicht möglich. Zum Löschen des Thyristors ist ein Stromnulldurchgang bzw. ein Unterschreiten seines Haltestromes nötig. Dies ist ähnlich wie bei FS oder GDTs ohne Löschhilfe. Der Einsatz von Thyristoren ist damit vorab auf AC-Netze mit geringen Folgeströmen oder DC-Netze mit Selbstabschaltung begrenzt. Für die nachfolgende Qualifizierung von Thyristoren in Überspannungsschutzanwendungen bei Stoßstrombelastungen der Formen 8/20 μ s und 10/350 μ s wurde der Messaufbau in **Abb. 6.13** verwendet.

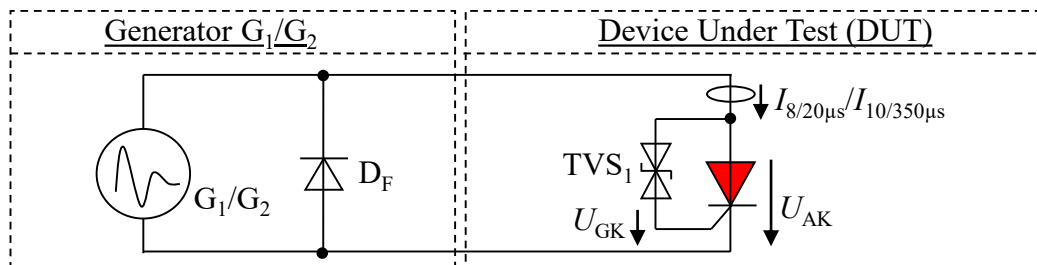


Abb. 6.13: Messaufbau zur Untersuchung von Thyristoren bei Stoßstrombelastungen

Gezündet wird der Thyristor hierbei über die Diode TVS_1 bei einer definierten Durchbruchspannung. Die Auslegung der TVS-Diode ist so gewählt, dass kein Überkopfzünden des Thyristors durch das Überschreiten der maximalen Sperrspannung erfolgt. Eine Ansteuerung über eine Treiberstufe mit einer definierten Impulsform brachte hinsichtlich des Schutzpegels und der Stoßstromtragfähigkeit keine Vorteile. Daher ist die einfache Ansteuerung über eine TVS-Diode zu bevorzugen.

6.2.1 Zündarten und Einschaltverhalten bei Stoßstrombelastungen

Thyristoren können durch fünf verschiedene Arten gezündet werden, d.h. vom sperrenden in den leitenden Zustand übergehen. Hierzu zählt das Zünden aufgrund eines Gate-Stromes ($I_G = 4 \dots 5 \cdot I_{GT}$ für $t_{ONmin} = 10 \mu s$ nach [56]), aufgrund eines Lichtimpulses, aufgrund thermisch generierter Ladungsträger im Thyristor, aufgrund des Überkopfzündens beim Überschreiten einer maximal zulässigen Spannung und das Zünden aufgrund eines kapazitiven Verschiebestromes bei hohen Spannungssteilheiten du/dt (im Bereich von 300 V/ μs – 1 kV/ μs).

Ist die Zündung aufgrund eines dieser Mechanismen initiiert, wird die Chipfläche ausgehend vom Gate des Thyristors mit einer Ausbreitungsgeschwindigkeit von $50 - 100 \mu\text{m}/\mu\text{s}$ aktiviert. Bei Thyristoren mit geringen Ladungsträgerlebensdauern und Emitter-Kurzschlüssen ist eine Reduktion der Ausbreitungsgeschwindigkeit auf bis zu $10 \mu\text{m}/\mu\text{s}$ möglich. Dies wird nach [69] durch die Zündausbreitungszeit t_{gs} (typ. $50 - 100 \mu\text{s}$) charakterisiert. Um die anfangs noch kleine wirksame Chipfläche energetisch nicht zu überlasten, darf bei Thyristoren die kritische Stromsteilheit di/dt_{cr} (typ. $100 - 500 \text{ A}/\mu\text{s}$) nicht überschritten werden. Überträgt man diese Dynamiken auf die im Überspannungsschutz vorkommenden Stoßströme, sind tragbare Amplituden von $I_{8/20\mu\text{s}} = 0,8 - 4 \text{ kA}$ und $I_{10/350\mu\text{s}} = 1 - 5 \text{ kA}$ zu erwarten.

Die Zündausbreitung begrenzt die Stoßstromtragfähigkeit und ist daher nachteilig. Um dennoch maximale Ableitstoßströme zu erreichen, ist die Anordnung des Gates von besonderer Bedeutung. **Abb. 6.14** zeigt die Wirkung der Gate-Position bei Thyristoren mit Corner-Gate und Center-Gate bei sonst gleichen Thyristoreigenschaften zu einem definierten Zeitpunkt nach der Zündinitialisierung.



Abb. 6.14: Vergleich der wirksamen Chipfläche von Corner- und Center-Gate-Geometrien (Begrenzung der stromaktiven Fläche gestrichelt)

Es ist ersichtlich, dass bei identischen Ausbreitungsgeschwindigkeiten die Center-Gate-Anordnungen im selben Zeitpunkt nach der Zündung eine größere wirksame Chipfläche besitzt. Die aktive Fläche in Abhängigkeit von der Zeit ergibt sich wie folgt:

$$A_{corner}(t) \approx (a + v \cdot t)^2 - a^2 = (a + s)^2 - a^2 \quad (6.2.1)$$

$$A_{center} = \left(\left(\frac{a}{2} + v \cdot t \right)^2 - \left(\frac{a}{2} \right)^2 \right) \cdot \pi = \left(\left(\frac{a}{2} + s \right)^2 - \left(\frac{a}{2} \right)^2 \right) \cdot \pi \quad (6.2.2)$$

Dies gilt solange, bis die gesamte Chipfläche aktiv ist, was mit Gl. (6.2.3) beschrieben wird:

$$A_{comax} = h^2 - a^2 \quad ; \quad A_{ce_{max}} = h^2 - \left(\frac{a}{2} \right)^2 \cdot \pi \quad (6.2.3)$$

Die dafür benötigte Zündausbreitungszeit kann in erster Näherung mit Gl. (6.2.4) berechnet werden:

$$t_{corner} = \frac{\sqrt{A_{comax} + a^2} - a}{v} = \frac{h - a}{v} \quad ; \quad t_{center} = \frac{\sqrt{\frac{A_{ce_{max}}}{\pi} + \left(\frac{a}{2} \right)^2} - \frac{a}{2}}{v} = \frac{\frac{h}{\sqrt{\pi}} - \frac{a}{2}}{v} \quad (6.2.4)$$

Beispielhaft ist in **Tab. 6.2** eine Geometrie vorgegeben, um die Wirkung eines Corner- und Center-Gates bei Stoßstrombelastungen zu verdeutlichen.

Tab. 6.2: Simulationsparameter zum Vergleich der Wirkung eines Corner- und Center-Gates

a [mm]	h [mm]	A_{comax} [mm ²]	$A_{ce_{max}}$ [mm ²]
1,5	10	98	98

In **Abb. 6.15** wurde nun die zu erwartende wirksame Chipfläche für die in **Abb. 6.14** gezeigten Geometrien bei einem induzierten und einem direkten Stoßstromereignis simuliert.

Um den Einfluss der Ausbreitungsgeschwindigkeit hervorzuheben, wurde mit zwei Extremen simuliert ($v = 10 \text{ m/s}$ und $v = 100 \text{ m/s}$). Das exakte Simulationsmodell ist in **Anhang 6** beschrieben.

Abb. 6.15 zeigt die Ergebnisse der Simulation für induzierte Stoßströme und Blitzstoßströme.

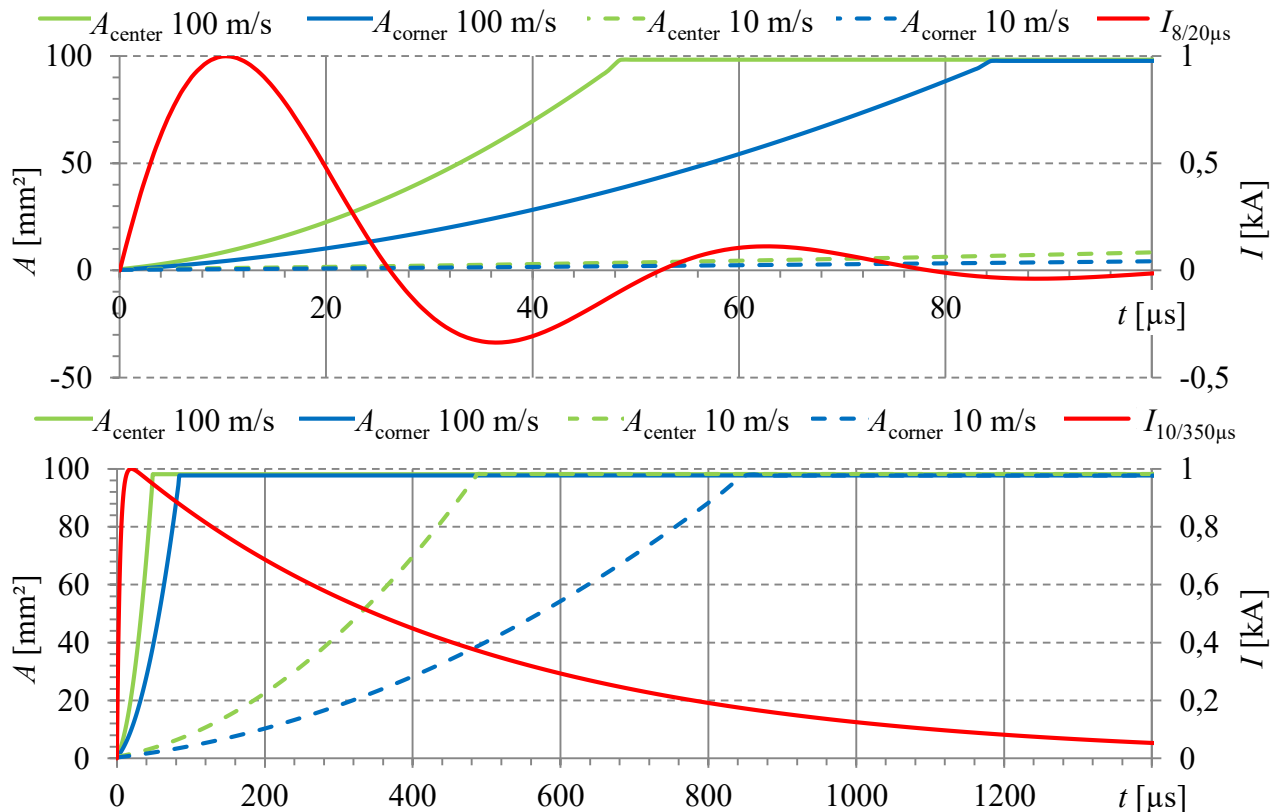


Abb. 6.15: Wirksame Chipflächen von Thyristoren mit Center- und Corner-Gate bei unterschiedlichen Zündausbreitungsgeschwindigkeiten (8/20 μs oben, 10/350 μs unten)

Bei induzierten Stoßströmen steht nur ein geringer Teil der maximalen Chipfläche für den Ableitvorgang zur Verfügung. Bei Ausbreitungsgeschwindigkeiten von 100 m/s werden bei einer Corner-Gate-Anordnung ca. 18 % und bei einer Center-Gate-Anordnung ca. 38 % der Chipfläche während des ersten positiven Stoßstromanteils erreicht. Mit Ausbreitungsgeschwindigkeiten von 10 m/s ist bei beiden Gate-Geometrien eine geringe Chipfläche von ca. 1 – 3 % aktiv.

Bei Belastungen mit Blitzstoßströmen stellt sich die Situation etwas besser dar. Für Ausbreitungsgeschwindigkeiten von 100 m/s wird während der ersten $100 \mu\text{s}$ des Impulses bereits die gesamte Chipfläche aktiviert. Im Strommaximum ist jedoch noch keine der beiden Gate-Geometrien voll leitfähig. Ein großer Unterschied zwischen der Corner- und Center-Gate-Anordnung zeigt sich bei den geringen Ausbreitungsgeschwindigkeiten von 10 m/s . Hier erreicht das Corner-Gate die maximale Chipfläche ca. $200 \mu\text{s}$ später als das Center-Gate. Für Anwendungen im Überspannungsschutz sind deshalb allgemein Thyristoren mit Center-Gate zu bevorzugen. Besonders wichtig ist diese Anordnung bei geringen Ausbreitungsgeschwindigkeiten. Thyristoren mit großer Chipfläche bringen im Überspannungsschutz keine Vorteile, da die Impulsströme bereits abgeklungen sind, bevor der Thyristor komplett aktiviert ist.

6.2.2 Durchlassverhalten bei Stoßstrombelastungen

Ist der Einraststrom I_L des Thyristors überschritten, steuern sich die Bipolartransistoren aus **Abb. 6.13** gegenseitig auf, ohne die Notwendigkeit eines externen Gate-Signals ($\alpha_{\text{pnp}} + \alpha_{\text{npn}} \geq 1$).

Das Durchlassverhalten ist nach [70, p. 97] in dieser Betriebsart nahezu analog zu dem von Dioden, wie in **Kap. 6.1** beschrieben. Die Durchlassspannung sinkt im Nennstrombereich aufgrund der thermischen Generation von Ladungsträgern mit der Temperatur (ca. 2 mV/K). Bei hohen Stoßströmen müssen die Spannungsabfälle über den Bahnwiderständen und dem Driftgebiet berücksichtigt werden.

6.2.3 Löscherhalten und Sperrverhalten nach einer Stoßstrombelastung

Damit der Thyristor vom leitenden in den sperrenden Zustand übergehen kann, muss der Strom in Durchlassrichtung den Haltestrom I_H unterschreiten. Nach dem Ausräumen der gespeicherten Ladungsträger im Thyristor kann dieser dann Sperrspannung aufnehmen ohne erneut einzuschalten. Diese Freiwerdezeit t_q ist nach [70] abhängig von:

$$I_F \uparrow \rightarrow t_q \uparrow ; -\frac{di}{dt} \uparrow \rightarrow t_q \downarrow ; T_j \uparrow \rightarrow t_q \uparrow ; \frac{du}{dt} \uparrow \rightarrow t_q \uparrow ; U_{RR} \uparrow \rightarrow t_q \downarrow$$

Sie beträgt ohne Sperrspannung nach [57] maximal:

$$t_q \approx 10 \cdot \tau_{HL} \quad (6.2.5)$$

Typische Freiwerdezeiten sind 100 – 500 μ s bei langsam schaltenden Thyristoren und 10 – 100 μ s bei schnell schaltenden Thyristoren. Wie bei Dioden sinkt die Sperrfähigkeit nach einer Impulsbelastung mit der Höhe der Sperrspannung und der Stoßstrombelastung aufgrund der thermischen Mitkopplung. Dies ist in den Datenblättern durch die von Dioden bereits bekannte Grenzstromkennlinie angegeben.

6.2.4 Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung

Damit mögliche Ausfallerscheinungen bei zunehmender Stoßstromamplitude aufgezeigt werden können, wurde wie in **Kap. 6** beschrieben eine gesteigerte Stoßstrombelastung bei Thyristoren durchgeführt. **Abb. 6.16** links zeigt das Verhalten eines Thyristors ($U_{DRM} = 1,2$ kV, $I_{T(RMS)} = 31$ A, $di/dt_{cr} = 150$ A/ μ s, $A_{Chip} = 16$ mm²) bei gesteigerter Stoßstrombelastung der Form 8/20 μ s wie in [5] gezeigt. Der verwendete Messaufbau entspricht dem aus **Abb. 6.13**. Für die Messung wurde eine TVS-Diode mit einer Durchbruchspannung von 200 V gewählt.

Wie bei den Dioden-Versuchen ist eine Spannungserhöhung während des Ableitvorgangs zu erkennen. Dies liegt in der Abnahme der Ladungsträgerbeweglichkeit aufgrund von Temperaturerhöhungen begründet. Je höher die Stoßstrombelastung ist, desto früher tritt die Spannungsüberhöhung auf, da eine schnellere Erwärmung des Thyristors erfolgt. Es ergeben sich Spannungsabfälle $U_{AK} > 100$ V während des Ableitvorganges, was für Anwendungen bei niedrigen Nennspannungen keinen ausreichenden Schutzpegel zulässt. Weiterhin ist ersichtlich, dass der Gesamtspannungsabfall U_{AK} während der Stoßstrombelastung sinkt. Dies liegt an der beschriebenen Zunahme der aktiven Chipfläche mit fortlaufender Zeit, wie die vorangegangenen Simulationen zeigen.

Auch bei Thyristoren kommt es zu Einschaltspannungsspitzen U_{FRM} . Diese ergeben sich aus der Zeit bis die Basis w_B des Thyristors mit Ladungsträgern geflutet ist und können ebenfalls mit Gl. (6.1.1) beschrieben werden. Bei Anwendungen von Thyristoren im Bereich niedriger Nennspannungen ($U_n < 100$ V) ist dieses Verhalten, wie bei Dioden, nachteilig für den erreichbaren Schutzpegel, kann jedoch durch eine zusätzliche parallele TVS-Diode beherrscht werden.

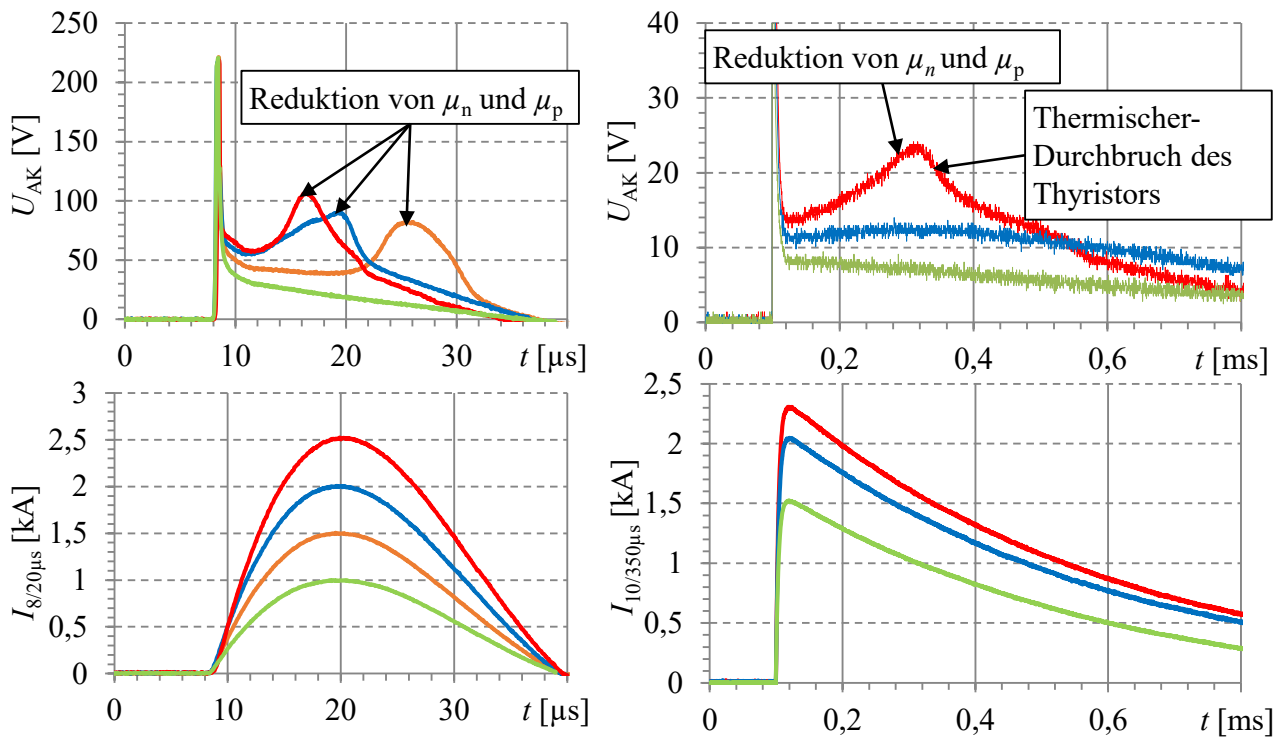


Abb. 6.16: Gesteigerte induzierte Stoßstrombelastung eines Thyristors (links) ($U_{DRM} = 1,2$ kV, $I_{T(RMS)} = 31$ A, $di/dt_{cr} = 150$ A/μs, $A_{Chip} = 16$ mm²) und Blitzstoßstrombelastung eines Thyristors (rechts) ($U_{DRM} = 1,2$ kV, $I_{T(RMS)} = 55$ A, $di/dt = 100$ A/μs)

Mit dem Thyristor aus **Abb. 6.16** links konnten induzierte Stoßstrombelastungen bis $I_{8/20\mu s} = 2,5$ kA zerstörungsfrei abgeleitet werden. Nach einer weiteren Stoßstromsteigerung um 500 A befand sich der Thyristor im Kurzschluss, was das typische Ausfallverhalten aller getesteten Thyristoren darstellt. Die Belastung $I_{8/20\mu s} = 2,5$ kA entspricht einer Stromsteilheit von 313 A/μs und liegt damit deutlich über der maximal zulässigen Stromsteilheit von $di/dt_{cr} = 150$ A/μs.

Abb. 6.16 rechts zeigt die gesteigerte Belastung eines Thyristors ($U_{DRM} = 1,2$ kV, $I_{T(RMS)} = 55$ A, $di/dt = 100$ A/μs) mit Blitzstoßströmen der Form 10/350 μs. Bei fortlaufender Impulszeit ergeben sich, wie bei Belastungen mit induzierten Stoßströmen, Spannungsüberhöhungen aufgrund der Reduktion der Ladungsträgerbeweglichkeit. Diese treten im Vergleich zur Belastung mit 8/20 μs Impulsen deutlich langsamer, d.h. mit kleinerem du/dt , auf. Im Vergleich zu induzierten Stoßstrombelastungen können diese Spannungserhöhungen nur bei geringeren Amplituden zerstörungsfrei überstanden werden, da der Energieumsatz im Thyristor wegen der längeren Impulsdauer deutlich größer ist. Der Defekt des Thyristors trat bei $I_{10/350\mu s} = 2,25$ kA auf. Induzierte Stoßströme konnten mit diesem Thyristor bis $I_{8/20\mu s} = 5,6$ kA zerstörungsfrei beherrscht werden. Bei beiden Belastungen wurde die zulässige Stromsteilheit weit überschritten ($di/dt_{8/20\mu s} = 700$ A/μs und $di/dt_{10/350\mu s} = 225$ A/μs). Die Zerstörung bei induzierter Stoßstrombelastung ist vorrangig durch die hohen Stromdichten und die daraus resultierenden lokalen Temperaturerhöhungen erklärbar. Bei Blitzstoßstrombelastungen findet eine großflächigere Erwärmung statt, was zu einer Zerstörung bei geringeren Amplituden führt.

Bei multipler Belastung zeigten sich, wie bei Dioden, erst nahe der maximal möglichen Stoßstrombelastung Ausfälle der Thyristoren. Dies ist in **Abb. 6.17** dargestellt.

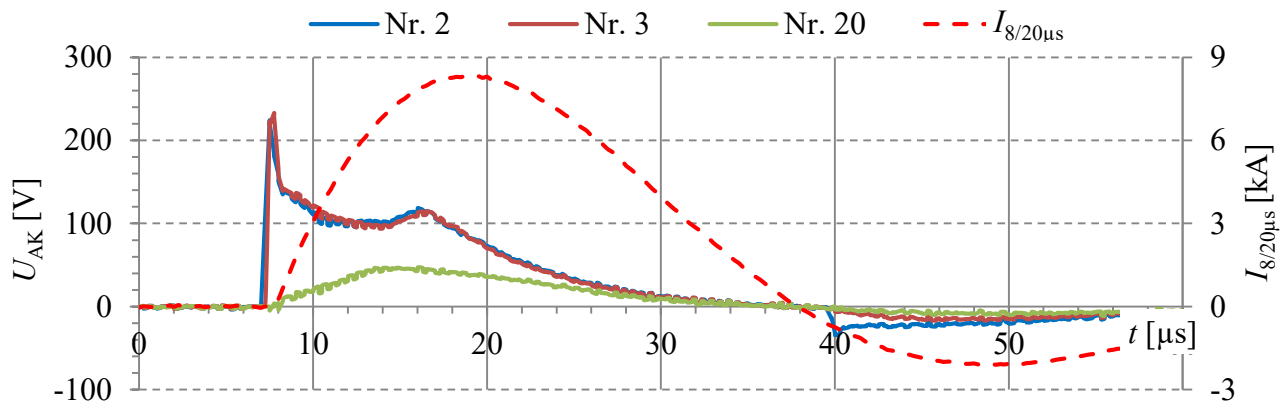


Abb. 6.17: Verhalten eines Thyristors ($U_{\text{DRM}} = 1,2 \text{ kV}$, $I_{\text{T(RMS)}} = 250 \text{ A}$, $di/dt_{\text{cr}} = 100 \text{ A}/\mu\text{s}$) bei gesteigerter Stoßstrombelastung

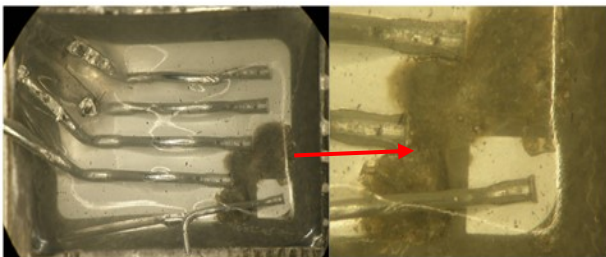
In blau ist der Spannungsverlauf U_{AK} des noch intakten Thyristors ($U_{\text{DRM}} = 1,2 \text{ kV}$, $I_{\text{T(RMS)}} = 250 \text{ A}$, $di/dt_{\text{cr}} = 100 \text{ A}/\mu\text{s}$) bei Impulsbelastung Nr. 2 zu erkennen. Aufgrund der Reduktion der Ladungsträgerbeweglichkeit ist ein Spannungshub bei $t = 16 \mu\text{s}$ ersichtlich. Dies ist ein Indiz dafür, dass sich der Thyristor nahe seiner maximalen Stoßstromtragfähigkeit befindet. Bei Impulsbelastung Nr. 3 mit $8,2 \text{ kA}$ verliert der Thyristor seine Rückwärtssperrfähigkeit. Ein Vergleich der Kommutierungsvorgänge verdeutlicht dies. Während sich bei Belastung Nr. 2 bei $t = 40 \mu\text{s}$ eine Einschaltspannungsspitze über der Diode von ca. 30 V aufbaut, ist bei Impulsbelastung Nr. 3 keine Spannung mehr zu erkennen. Dies lässt darauf schließen, dass der Strom über den Thyristor fließt. Bei den Impulsbelastungen Nr. 4 – 20 befindet sich der Thyristor im niederohmigen Zustand. Der induktive Spannungsabfall über den Bonddrähten wurde in **Abb. 6.17** mit 10 nH aus den Messkurven heraus gerechnet. Die Defekte von Thyristoren bei multiplen Belastungen sind auf die zunehmende Schädigung des Gate-Bereiches zurückzuführen. Sie traten immer in der Nähe der, aus den gesteigerten Stoßstromversuchen bekannten, maximalen Belastbarkeit auf.

Bei einer einmaligen um 500 A höheren Stoßstrombelastung eines Thyristors ohne Vorbelastung konnte keine für den ÜSS relevante Erhöhung ($> 500 \text{ A}$) der Stoßstromtragfähigkeit beobachtet werden. Thyristoren weisen damit eine scharfe Defektgrenze unabhängig von deren Vorbelastung auf. Die maximale Stoßstromtragfähigkeit ist gleichzeitig auch die Nennstoßstromtragfähigkeit. Bei allen getesteten Thyristoren lag nach einer Überlastung ein Kurzschluss im Bauelement vor.

6.2.5 Defektbilder von Thyristoren nach der Stoßstrombelastung

Eine Analyse der Defektbilder von Thyristoren bestätigt die getroffene Annahme der Gate-Überlastung. **Abb. 6.18** zeigt typische Defekte von Thyristoren nach einer Stoßstrombelastung.

$U_{\text{DRM}} = 1,6 \text{ kV}$, $A_{\text{Chip}} = 130 \text{ mm}^2$, $di/dt = 150 \text{ A}/\mu\text{s}$,
 $I_{\text{T(RMS)}} = 75 \text{ A}$, Defekt bei $I_{8/20\mu\text{s}} = 2,5 \text{ kA}$



$U_{\text{DRM}} = 1,6 \text{ kV}$, $A_{\text{Chip}} = 25 \text{ mm}^2$, $di/dt = 100 \text{ A}/\mu\text{s}$,
 $I_{\text{T(RMS)}} = 55 \text{ A}$, Defekt bei $I_{8/20\mu\text{s}} = 5,5 \text{ kA}$

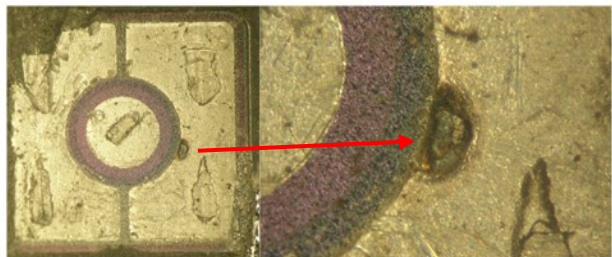


Abb. 6.18: Typische Defektbilder von Thyristoren nach Stoßstrombelastungen

Im Gegensatz zu Dioden zeigen sich keine Aufschmelzungen um die Fußpunkte der Bonddrähte.

Vielmehr ergeben sich großflächige Abbrände oder lokale Aufschmelzungen um den Gate-Bereich der Thyristoren. Dies war bei Blitzstoßstromimpulsen und induzierten Stoßstromimpulsen zu beobachten. Die Defekte im Gate-Bereich bestätigen die Simulation aus **Anhang 6** und **Abb. 6.15**. Anders als bei Dioden wird die maximale Stoßstromtragfähigkeit nicht von der Aufbau- und Verbindungstechnik bestimmt, sondern von den Bauteileigenschaften des Thyristors. Hier ist speziell die Zündausbreitungsgeschwindigkeit dominierend.

6.2.6 Erkenntnisse und Schlussfolgerungen

Die nachfolgende Aufzählung der Eigenschaften von Thyristoren gibt einen Überblick der in Überspannungsschutzanwendungen zu beachtenden Randbedingungen:

1. Bei Anwendungen mit niedrigen Nennspannungen ($< 50 \text{ V}$) sind Thyristoren aufgrund der Einschaltspannungsspitze und der langsamen Zündausbreitungsgeschwindigkeit nicht einsetzbar, da die dort herrschenden Schutzpegelanforderungen nicht erfüllt werden können.
2. Die für Thyristoren erlaubten kritischen Stromsteilheiten wurden bei Stoßstrombelastungen ($8/20 \mu\text{s}$ und $10/350 \mu\text{s}$) bis zu einem Faktor zwei ohne Zerstörung des Thyristors überschritten. Für das Nennableitvermögen von Thyristoren als Ableitelement ist jedoch das aus der Datenblattangabe di/dt_{cr} hervorgehende Ableitvermögen anzugeben. Die Maximalbelastung liegt um den Faktor 1,5 – 2 höher, kann aber nicht als zerstörungsfreier Nennableitstrom verwendet werden.
3. Im Überspannungsschutz sind Thyristoren mit Center-Gate-Ausführung denen mit Corner-Gate-Geometrien vorzuziehen. Center-Gates weisen bei sonst gleichen Bauteileigenschaften geringere Stromdichten auf.
4. Der im Datenblatt angegebene Wert für die spezifische Energie Pt ist nicht aussagekräftig für das Ableitvermögen von transienten Stoßströmen der Formen $8/20 \mu\text{s}$ und $10/350 \mu\text{s}$. Die bei transienten Stoßströmen erreichten spezifischen Energien liegen aufgrund der reduzierten aktiven Chipfläche weit unter den im Datenblatt angegebenen Werten. Die Abweichungen sind im Vergleich zu Dioden nochmals deutlich größer.
5. Der Defekt von Thyristoren wird maßgeblich von der Ausbreitungsgeschwindigkeit bestimmt. Die Standard-Aufbau- und Verbindungstechnik mit Loopbonds ist bei transienten Stoßströmen für Thyristoren ausreichend.
6. Aufgrund der Löscheigenschaften von Thyristoren können diese nur in Netzen mit geringen Folgeströmen oder schnellen Schutzeinrichtungen eingesetzt werden ($I_{\text{f}} < I_{\text{H}}$).
7. Alterungseffekte durch multiple Stoßstrombelastungen sind bei der geringen Anzahl an zu erwartenden Impulsen im Überspannungsschutz nur bei Belastungen nahe der Zerstörungsgrenze zu erwarten und zeigen sich in der zunehmenden Schädigung des Gate-Bereiches.
8. Thyristoren weisen keine für den ÜSS relevante Erhöhung ($> 500 \text{ A}$) der Stoßstromtragfähigkeit bei einmaliger Maximalbelastung ohne Vorbelastung auf.
9. Thyristoren zeigen das Ausfallverhalten „fail short“ (Kurzschluss).

Unter Berücksichtigung dieser Randbedingungen ist ein zerstörungsfreier Einsatz von Thyristoren im Überspannungsschutz möglich.

6.3 Bewertung von MOSFETs für Überspannungsschutzanwendungen

Der MOSFET ist wie die Schottky-Diode ein unipolares Bauelement, welcher bei Strömen ab ca. 10 – 20 A höhere Durchlassverluste als bipolare Bauelemente aufweist, da nur eine Ladungsträgersorte zum Stromtransport beiträgt. Anders als bei Dioden oder Thyristoren besitzt der MOSFET keine Diffusionsspannung, weshalb er vor allem bei mittleren Stromstärken und hohen Schaltfrequenzen (nach [56] typ. 100 – 250 kHz bei hartem Schalten und 250 – 500 kHz bei weichem Schalten) im Spannungsbereich bis 600 V eingesetzt wird. Die maximalen Stromsteilheiten werden beim MOSFET nicht durch das Bauelement begrenzt, wie das z.B. bei Thyristoren der Fall ist. Typische Schaltzeiten in Datenblättern sind mit $t_{ri} = 20 - 80$ ns angegeben, woraus Stromsteilheiten von $di/dt = 0,2 - 2$ kA/ μ s folgen. Übertragen auf die Impulsdynamik von Stoßströmen im Überspannungsschutz entspricht dies einer Belastung von $I_{8/20\mu s} = 16$ kA und $I_{10/350\mu s} = 20$ kA.

Das Prinzip des MOSFETs beruht auf einer Steuerung mittels des Feldeffekts. Dadurch ist ein weiterer Freiheitsgrad in der Ansteuerung im Vergleich zum Thyristor gegeben, d.h. der MOSFET kann ein- und ausgeschaltet werden. Er ist als selbstleitender und selbstsperrender Transistor jeweils als n-Kanal- oder p-Kanal-Typ erhältlich. Aufgrund der geringeren Ladungsträgerbeweglichkeit im p-Halbleiter ist der n-Kanal-MOSFET dominierend. In leistungsstarken Anwendungen hat sich der selbstsperrende n-Kanal-Typ durchgesetzt, welcher in **Abb. 6.19** dargestellt ist.

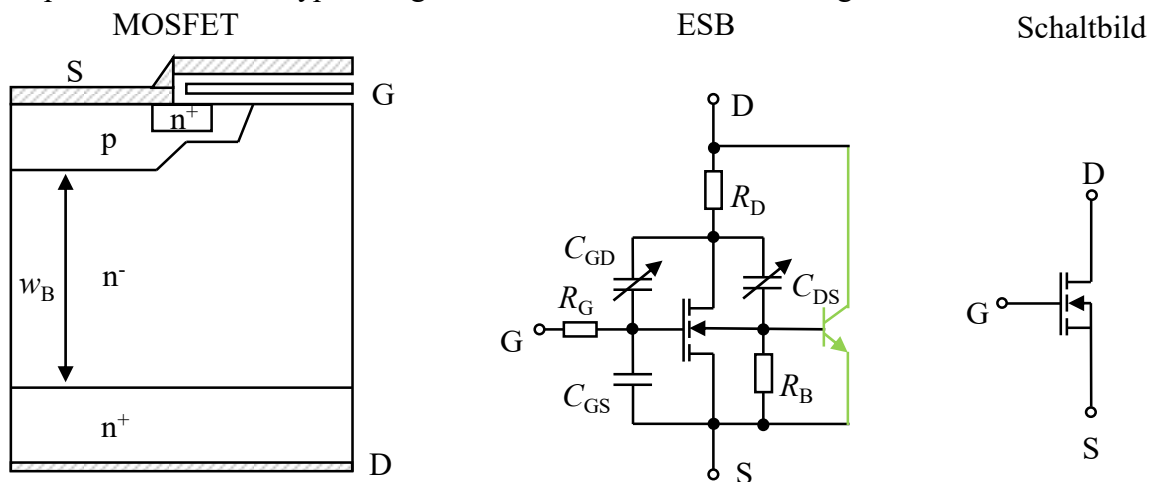


Abb. 6.19: Aufbau, ESB mit parasitären Elementen und Schaltbild eines n-MOSFETs [62]

Der MOSFET besitzt durch seinen internen Aufbau eine Inversdiode und einen parasitären npn-Transistor. Das Einschalten des npn-Transistors führt zur Zerstörung des MOSFETs und muss verhindert werden. Die interne Inversdiode kann in Schaltanwendungen genutzt werden. Die Eigenschaften der Inversdiode sind für hohen dynamischen Anforderungen oft nicht ausreichend, da sich das Design des MOSFETs und der Diode widersprechen:

1. Schlechte Abschalteigenschaften, wegen $\tau_{HL} \uparrow \rightarrow Q_s \uparrow \rightarrow I_{rr} \uparrow$
2. Das Ausschaltverhalten weist eine steile Abrisscharakteristik von I_{rr} auf (engl. snappig) und damit die Gefahr von Abschaltüberspannungen
3. Niedrige du/dt -Festigkeit d.h. es existiert eine erhöhte Gefahr des dynamischen Avalanches

Vorteilhaft beim Betrieb der Inversdiode ist, dass die Diffusionsspannung in Flussrichtung durch das Einschalten des MOSFETs unwirksam wird. Dies ist der Fall, da das Einschalten eine Parallelschaltung des Kanalwiderstandes zur Inversdiode bewirkt. Solange der Spannungsabfall über dem Kanalwiderstand kleiner ist als die Diffusionsspannung der Inversdiode, ist diese Diode daher unwirksam.

Mit einer Gate-Spannung von $U_{GS} = 0 \text{ V}$ im ausgeschalteten Zustand ist das Einschalten des MOSFETs bei hohen Spannungsteilheiten du/dt über die in **Abb. 6.19** gezeigte Kapazität C_{GD} zwischen Drain und Gate möglich. Dies kann mit niedrigen Gate-Widerständen R_{Goff} verhindert werden.

Die Qualifizierung von MOSFETs und nachfolgend ebenso von IGBTs und MCTs erfolgt in dem gezeigten Messaufbau aus **Abb. 6.20** mit (rechts) und ohne (links) Sperrspannungsbelastung. Zentrales Element des Versuchsaufbaus ist hierbei der dargestellte Treiber, welcher im folgenden Kapitel beschrieben wird.

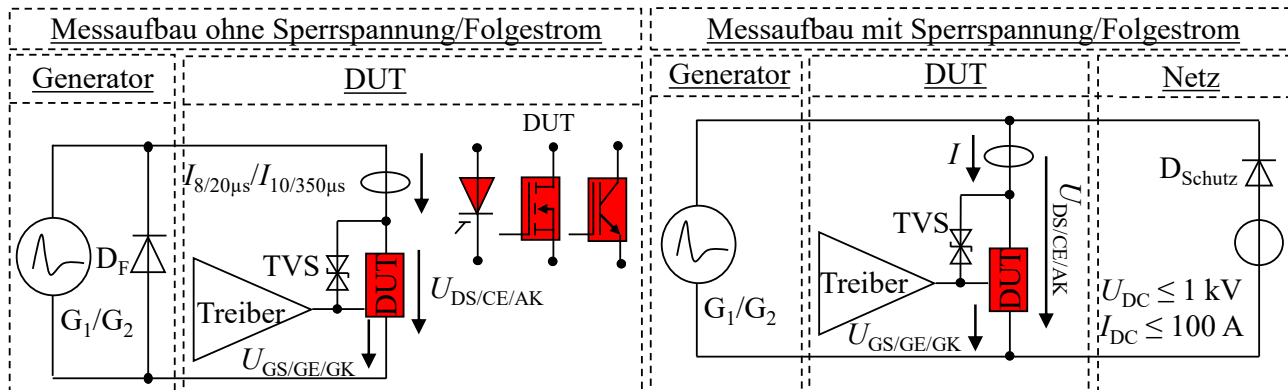


Abb. 6.20: Messaufbau zur Qualifizierung von MOSFET, IGBT und MCT ohne (links) und mit (rechts) Sperrspannungsbelastung

6.3.1 Ansteuerung und Einschaltverhalten bei Stoßstrombelastung

Um den MOSFET einzuschalten, muss zwischen Gate und Source eine Spannung größer der Schwellspannung (engl. threshold) angelegt werden ($U_{GS} > U_{th}$). Ist dies der Fall, bildet sich unterhalb des Gate-Oxides ein leitender Inversionskanal im p-Gebiet des MOSFETs und dieser schaltet ein. Zur Ansteuerung werden Treiberschaltungen verwendet. Für die Qualifizierung von Feldeffekt-gesteuerten Bauelementen im Überspannungsschutz, wie MOSFET, IGBT und MCT, wurde hierzu die in **Abb. 6.21** gezeigte Treiberschaltung entworfen.

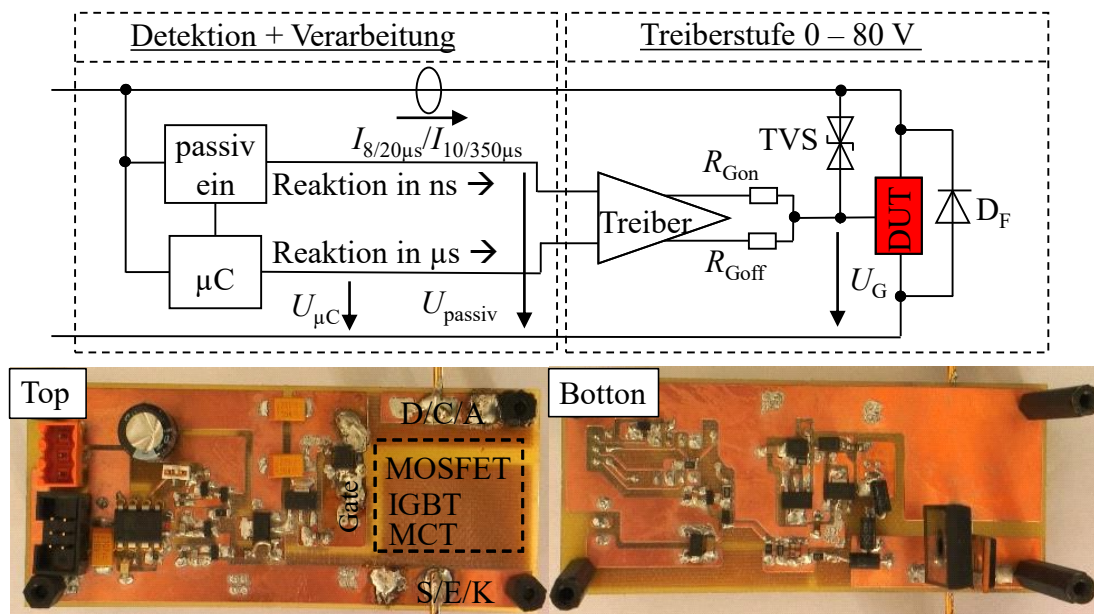


Abb. 6.21: Treiberdesign für die Qualifizierung von MOSFET, IGBT und MCT

Das Treiberdesign ist in ähnlicher Weise bereits in den gezeigten Anwendungen aus [6] und [7] vorgeschlagen und eingesetzt. Der für den Überspannungsschutz entwickelte Treiber bietet folgende Funktionalitäten, auf die nachfolgend näher eingegangen wird:

1. Einstellbare Gate-Spannung $U_G = -30$ bis $+80$ V
2. Erkennung von transienten Überspannungen
3. Variation der Einschaltzeiten
4. Passive Ansteuerung im ns-Bereich
5. Aktive Ansteuerung im μ s-Bereich

Damit ein schnelles Einschalten der Bauelemente möglich ist, muss die Ansteuerung im ns-Bereich auf Überspannungen reagieren können. Dies wird über eine passive Rückkopplung des Überspannungsereignisses auf die Steuerelektronik realisiert.

Abb. 6.22 zeigt zur Einordnung den Ableitvorgang eines MOSFETs ($U_{DS} = 300$ V, $I_D = 150$ A) bei einer Überspannung (oben) und die Reaktionszeit des Treibers auf diese (unten). Die passive Detektion U_{passiv} , in orange dargestellt, reagiert nach $t_{passiv} = 80$ ns auf die Überspannung. Die Übernahme der Ansteuerkontrolle durch den Mikrocontroller (μ C) erfolgt nach einer Zeit von $t_{\mu C} = 2,9$ μ s, was in **Abb. 6.22** unten in grau gezeigt ist. Diese Zeit ist stark abhängig von der Software, z.B. von den verwendeten Interrupts oder den Sleep-modi des μ C. Daher ist eine definierte Reaktionszeit über die passive Detektion wichtig. Die Gate-Spannung des Treibers war in diesem Fall auf 50 V eingestellt und ist in grün abgebildet.

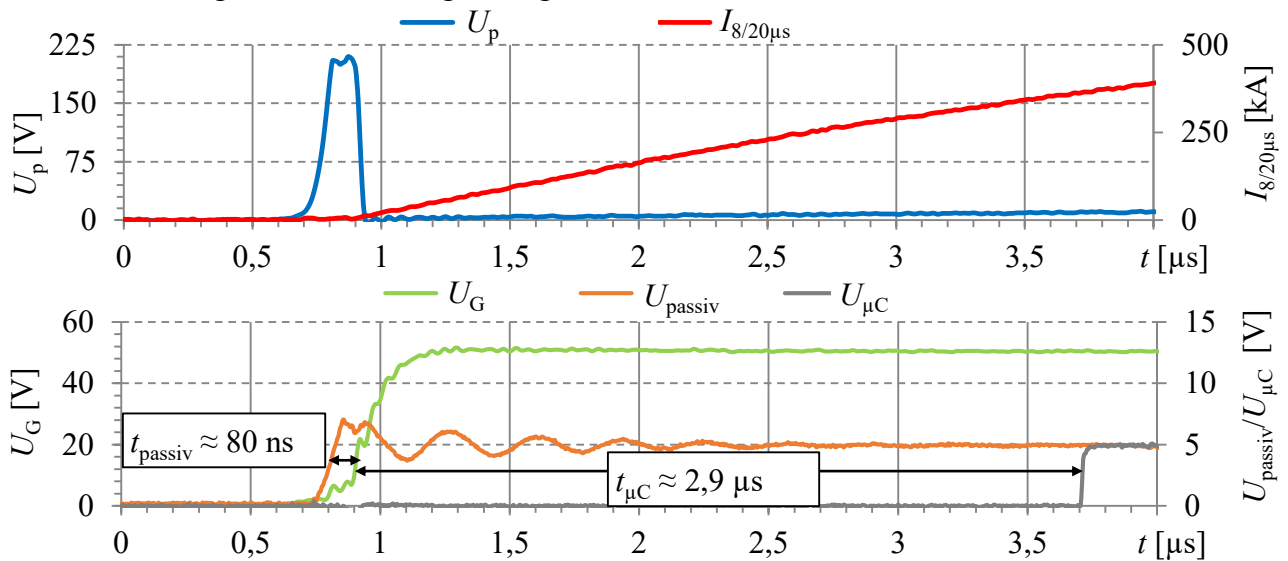


Abb. 6.22: Ableitvorgang (oben) Reaktionszeit des Treibers auf eine Überspannung (unten)

Auch mit einer Reaktionszeit der passiven Ansteuerung von $t_{passiv} = 80$ ns ist es nicht möglich, bei niedrigen Nennspannungen Schutzpegel zu erreichen, die den Anforderungen aus **Tab. 3.2** und **Tab. 4.2** genügen. In die Reaktionszeit gehen außerdem die internen Verzugszeiten (turn-on delays) der MOS-gesteuerten Bauelemente ein. Der erreichbare Schutzpegel ergibt sich daher aus der Steilheit der Überspannung, der Reaktionszeit des Treibers und der Einschaltverzögerung t_{don} des jeweiligen MOS-Bauelements nach Gl. (6.3.1).

$$U_p = \frac{du}{dt} \cdot t_{passiv} = \frac{du}{dt} \cdot (t_r + t_{don}) \quad \text{z. B.} \quad U_p = \frac{10 \text{ kV}}{1,2 \mu\text{s}} \cdot 80 \text{ ns} \approx 670 \text{ V} \quad (6.3.1)$$

Aus diesem Grund ist es notwendig, auch bei schnell schaltenden Leistungshalbleiterbauelementen eine TVS-Diode zwischen Gate und Drain/Kollektor zur aktiven Klemmung (engl. active clamping) der Spannung einzusetzen (**Abb. 6.22** oben TVS-Diode $U_{BR} = 200 \text{ V}$). Diese TVS-Diode bestimmt somit den erreichbaren Schutzpegel. Alternativ zum Linearbetrieb über das active clamping kann der Halbleiter selbst als Schutzpegel bestimmendes Element verwendet werden und im Lawinendurchbruch (engl. avalanche) betrieben werden. Hierzu müssen die verwendeten Bauelemente für diesen Betrieb ausgelegt sein. Neuere Untersuchungen an Superjunction-MOSFETs nach [71] geben hierbei ein tieferes Verständnis dieser Betriebsart. Eine schnelle Reaktionszeit des Treibers ist jedoch weiterhin aus zwei Gründen essentiell:

1. Während des active clamping oder des Lawinendurchbruchs befinden sich die Transistoren im Linearbetrieb, was eine hohe Verlustleistung im Bauelement zur Folge hat.
2. Mit zunehmendem Stoßstrom steigt die Spannung über der TVS-Diode stark an, wie beispielsweise aus [72] hervorgeht. Dies erhöht den Schutzpegel.

Die Begrenzung von Überspannungen mittels active clamping ist in [56], [73] und [74] vorgeschlagen. Alternativ zu TVS-Dioden können auch die in [75] und [76] gezeigten und in [56] zusammengefassten Varianten (z.B. mittels Bipolartransistor oder MOSFET als zusätzliche Stromverstärkung) zum active clamping benutzt werden.

6.3.2 Durchlasseigenschaften bei Stoßstrombelastung

Der Durchlassbereich von MOSFETs gliedert sich in zwei Abschnitte. Der erste Bereich in der Ausgangskennlinie ist der ohmsche Bereich, welcher vorliegt, wenn gilt:

$$U_{DS} < (U_{GS} - U_{th}) \text{ und } U_{GS} > U_{th}$$

Im ohmschen Bereich kann der Drain-Strom näherungsweise wie folgt angegeben werden:

$$I_D = K_n \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - \frac{(U_{DS})^2}{2} \right] \text{ mit } K_n = \frac{\mu_n \cdot \epsilon_0 \cdot \epsilon_r \cdot W}{d_{ox} \cdot L} \quad (6.3.2)$$

Der Durchlasswiderstand des n-Kanals berechnet sich aus Gl. (6.3.2), wenn gilt:

$$U_{GS} \gg U_{DS} \rightarrow R_{ch} = \frac{U_{DS}}{I_D} = \frac{1}{K_n \cdot (U_{GS} - U_{th})} \quad (6.3.3)$$

Der Durchlasswiderstand des n-Kanals hat bei MOSFETs mit niedriger Sperrspannung ($U_{DS} < 100 \text{ V}$) den prozentual größten Anteil am Gesamtwiderstand R_{DSon} . Bei Bauelementen, wie in **Tab. 6.1** angegeben, dominiert der Widerstand der Epitaxi-Schicht, welcher analog zu dem für Schottky-Dioden genannten Widerstand aus Gl. (6.1.6) ist. Das Durchlassverhalten im ohmschen Bereich ist stark temperaturabhängig. Hier sind zwei Effekte zu beachten:

1. Die Schwellspannung U_{th} sinkt linear mit ca. $2 - 5 \text{ mV/K}$, was zu einem Anstieg des Drain-Stromes mit der Temperatur führt.
2. Die Ladungsträgerbeweglichkeit im n-Kanal sinkt mit der Temperatur, was zu einer Reduktion des Verstärkungsfaktors K_n führt. Der Zusammenhang kann nach [61] mit $K_n \sim T^{-3/2}$ beschrieben werden und ist damit der entscheidende Temperatureffekt.

Dies führt zu einem starken Anstieg des Kanalwiderstandes mit der Temperatur. Im Temperaturbereich von 25°C bis 125°C ist nach [56] mit einer Verdopplung des R_{DSon} zu rechnen.

Bei gleicher Gate-Spannung sind MOSFETs daher sehr gut parallel zu schalten. Weiterhin nimmt der Durchlasswiderstand mit der Basisweite stark zu, was eine große Abhängigkeit zur Sperrspannung herstellt. Höhersperrende MOSFETs weisen aus diesem Grund schlechtere Durchlasseigenschaften auf. Der Durchlasswiderstand und die damit verbundenen Verluste bei Stoßstrombelastungen begrenzen auch die maximal beherrschbare Amplitude bei Impulsströmen. Dies ist in Datenblättern mit dem Wert I_{DM} angegeben.

Der zweite Bereich der Ausgangskennlinie ist der Sättigungsbereich. Hier findet eine Abschnürung des Kanals statt, wenn gilt $U_{DS} \geq (U_{GS} - U_{th})$ und $U_{GS} > U_{th}$. Im Sättigungsbereich ist eine starke Zunahme der Drain-Source-Spannung bei nahezu gleichbleibendem Drain-Strom zu beobachten. Die quadratische Abhängigkeit des Sättigungsstromes in Gl. (6.3.4) geht nach [70] bei Leistungsbauelementen in einen linearen Zusammenhang über. Die Gl. (6.3.4) beschreibt hierbei den Übergang vom Linear- in den Sättigungsbereich.

$$I_{Dsat} = \frac{K_n}{2} \cdot (U_{GS} - U_{th})^2 \rightarrow I_{Dsat} = \frac{K_n}{2} \cdot (U_{GS} - U_{th}) \quad (6.3.4)$$

Aufgrund dieses Verhaltens werden MOSFETs als kurzschlussfest bezeichnet. Diese Aussage gilt bei Kurzschlüssen in Schaltanwendungen, wenn die Bauelemente nicht länger als 6 – 10 μs im Sättigungsbereich gehalten werden. Dies ist durch die Treiberschaltung sicherzustellen, welche den Kurzschlussfall erkennen und innerhalb der geforderten Zeit abschalten muss. Bei Stoßstromereignissen im Überspannungsschutz führt das ohmsche Durchlassverhalten zu hohen Verlusten. Der Stromfluss bei Überspannungsereignissen muss als ideale Stromquelle angesehen werden und ist daher in das Bauelement eingepreist. Erreicht das Bauelement während eines Überspannungsereignisses den Sättigungsbereich, folgt nach Gl. (6.3.4) eine schlagartige Zunahme der Durchlassspannung. Dies führt zu noch größeren Verlustleistungen und dadurch zur thermischen Zerstörung. Ein Abschalten des MOSFETs gegen die Überspannung ist nicht möglich, da dies zwangsweise zur Überschreitung der Sperrspannung führt.

Eine Möglichkeit, die Ableitfähigkeit von MOSFETs über die normale Sättigungsstromstärke zu steigern, ist die Erhöhung der Gate-Spannung wie in [60] und [77] vorgeschlagen. Dies ist jedoch nur begrenzt möglich, da es zu einem Durchbruch des Gate-Oxides kommen kann. Dieser Defekt wird nachfolgend noch näher behandelt.

6.3.3 Ausschaltverhalten und Sperrverhalten nach einer Stoßstrombelastung

Sinkt die Gate-Spannung auf Werte kleiner der Schwellspannung, sperrt der MOSFET. Da es sich um ein unipolares Bauelement handelt, ist im MOSFET keine Speicherladung enthalten, die beim Ausschalten ausgeräumt werden muss, d.h. es gibt keine Tailphase, wie z.B. bei IGBTs. Im dann folgenden Sperrbetrieb übernimmt die bipolare Inversdiode die Drain-Source-Spannung. Das Sperrverhalten ist daher analog zu pin-Dioden. Bei vorhergehender Erwärmung durch Stoßströme kann es ebenfalls zu einer thermischen Mitkopplung, wie in **Kap. 6.1** beschrieben, kommen.

6.3.4 Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung

Um den Einfluss von Stoßströmen und die dabei auftretenden Effekte zu analysieren, wurde mit MOSFETs eine gesteigerte Stoßstrombelastung, analog zu den Versuchen bei Thyristoren und Dioden, durchgeführt. **Abb. 6.23** zeigt beispielhaft das Verhalten eines MOSFETs ($U_{DS} = 500 \text{ V}$, $I_D = 98 \text{ A}$, $A_{Chip} = 176 \text{ mm}^2$) bei gesteigerter Belastung.

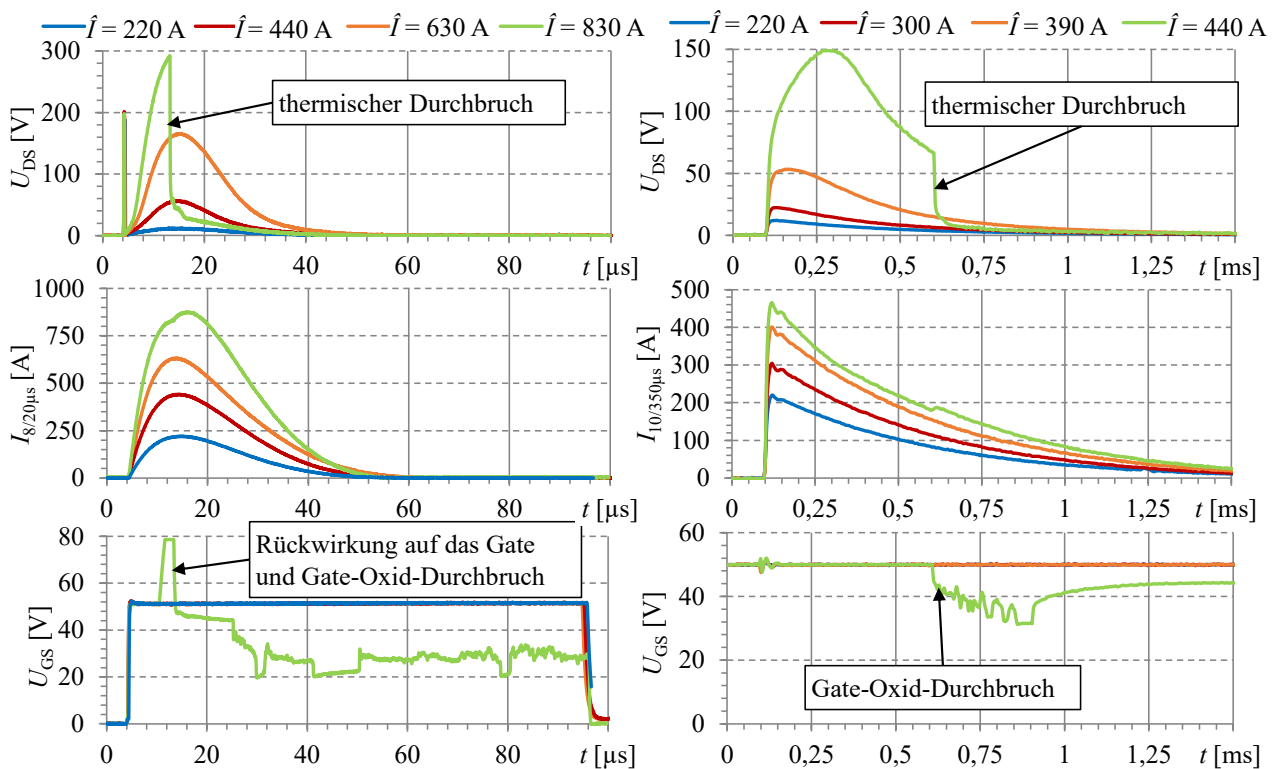


Abb. 6.23: Gesteigerte Stoßstrombelastung eines MOSFETs ($U_{DS} = 500 \text{ V}$, $I_D = 98 \text{ A}$, $A_{\text{Chip}} = 176 \text{ mm}^2$) bei 8/20 μs (links) und 10/350 μs (rechts)

Die gesteigerten Stoßstromversuche wurden jeweils in zwei unterschiedlichen Varianten mit dem Treiber aus **Abb. 6.21** getestet:

1. Variante 1 mit ausgeschaltetem MOSFET zu Beginn der Stoßstromereignisse, wie in **Abb. 6.23** links bei den 8/20 μs -Versuchen dargestellt.
2. Variante 2 mit bereits eingeschaltetem MOSFET zu Beginn des Stoßstromereignisses, wie in **Abb. 6.23** rechts bei den 10/350 μs -Versuchen dargestellt.

Dadurch soll der Einfluss der Treiberreaktionszeit und die active clamping-Phase zu Beginn der Impulse sowie der damit verbundene Energieumsatz im Chip untersucht werden. Die umgesetzte Energie während des Einschaltens kann wie folgt berechnet werden:

$$W_{ON} = \int_{t_1}^{t_{on}} u_{cl}(t) \cdot i(t) \cdot dt \approx t_{cl} \cdot U_{cl} \cdot \frac{1}{2} \cdot i_{stoß}(t_{cl}) \quad (6.3.5)$$

Zur Einordnung wurden in **Tab. 6.3** mit den bekannten Zusammenhängen der Stoßströme aus Gl. (3.1.3) und Gl. (3.1.7) realistische Werte für den Energieumsatz beim Einschalten errechnet.

Tab. 6.3: Einfluss der clamping-Zeit beim Einschalten auf den Energieumsatz in Halbleitern

$t_{cl} [\text{ns}]$	$U_{cl} [\text{V}]$	$I_{8/20\mu\text{s}} [\text{kA}]$	$W_{ON \ 8/20\mu\text{s}} [\text{mJ}]$	$I_{10/350\mu\text{s}} [\text{kA}]$	$W_{ON \ 10/350\mu\text{s}} [\text{mJ}]$
100	200	2	0,39	2	0,53
500	200	2	9,55	2	12,5
1000	200	2	37,3	2	47,3

Aus **Tab. 6.3** folgt, dass solange die clamping-Zeiten im Bereich $t < 500 \text{ ns}$ bleiben, was bei den angegebenen Reaktionszeiten von 80 ns immer der Fall war, kann der Einfluss des Energieumsatzes ($W_{ON} < 50 \text{ mJ}$) im Linearbetrieb zu Beginn der Impulsbelastung vernachlässigt werden.

Während der Stoßstrombelastung wurden, bedingt durch die Verluste im R_{DSon} , Energien von bis zu 5 J in den getesteten MOSFETs umgesetzt. Es konnte keine Reduktion des Ableitvermögens im Vergleich zu den Versuchen mit permanent eingeschaltetem Treiber festgestellt werden. Erst bei clamping-Zeiten $t_{cl} > 500$ ns stieg der Energieumsatz und damit die Temperatur des MOSFETs soweit, dass eine Reduktion der Ableitfähigkeit folgt. Der Ableitvorgang in **Abb. 6.23** lässt das ohmsche Durchlassverhalten des MOSFETs deutlich erkennen. Die verwendete Treiberspannung lag bei den in **Abb. 6.23** gezeigten gesteigerten Stoßstromversuchen bei 50 V. Ab einer Drain-Source-Spannung von 50 V befindet sich der MOSFET daher im Sättigungsbereich, d.h. der n-Kanal des MOSFETs beginnt abzuschnüren. Der Vergleich zwischen Blitzstoßströmen und induzierten Stoßstromereignissen zeigt auch den starken Einfluss der Temperatur, welche bei bipolaren Bauelementen aufgrund des deutlich geringeren Energieumsatzes während des Stoßstromes erst bei den gezeigten Grenzelastungen von Dioden und Thyristoren ersichtlich war. Vergleicht man beispielsweise den Ableitvorgang bei $I_{8/20\mu s} = 440$ A mit $I_{10/350\mu s} = 390$ A ist zu erkennen, dass bei Blitzstoßströmen die Drain-Source-Spannung im Gegensatz zu induzierten Stoßströmen keinem ohmschen Spannungsabfall mehr folgt. Dies wird noch deutlicher, bei einem Vergleich der Ausgangskennlinien. **Abb. 6.24** zeigt den Vergleich zwischen den Stoßstrombelastungen $I_{8/20\mu s} = 220$ A und $I_{10/350\mu s} = 220$ A (links) sowie $I_{8/20\mu s} = 375$ A und $I_{10/350\mu s} = 370$ A (rechts). Durch den höheren Energieeintrag des Blitzstoßstromimpulses ergibt sich auch eine größere thermische Hysterese zwischen steigender und fallender Flanke. Induktive Effekte des TO-Gehäuses, welche ebenfalls in die Hysterese eingehen, sind bei den in **Abb. 6.24** gezeigten Stoßstromamplituden zu vernachlässigen.

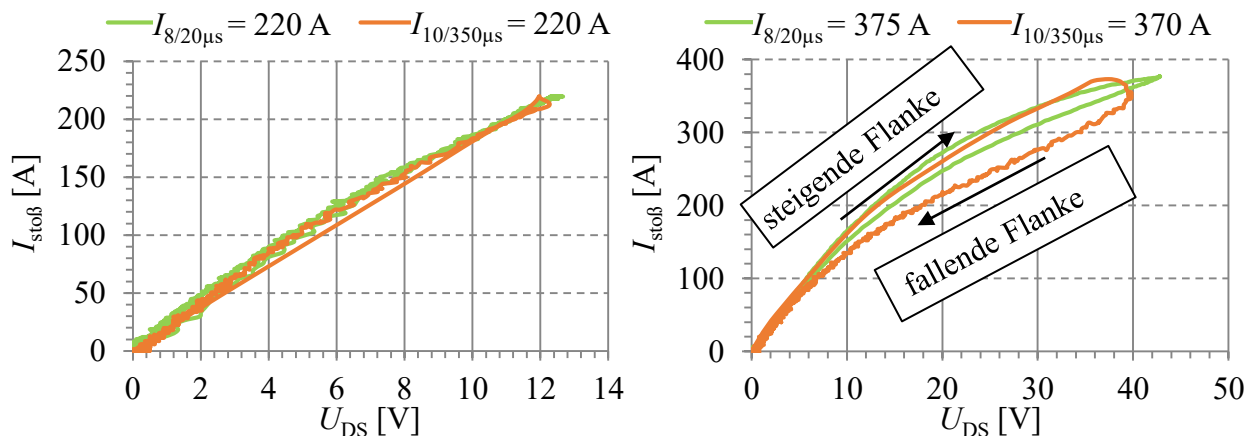


Abb. 6.24: Ausgangskennlinie bei $I_{8/20\mu s} = 220$ A (links) und $I_{10/350\mu s} = 370$ A (rechts)

Der Ausfall des MOSFETs erfolgt bei Stoßstrombelastungen durch die hohe Temperatur, welche sich infolge des ohmschen Durchlassverhaltens im Kanal einstellt. Es zeigten sich zwei Defekte:

1. Aufgrund der thermischen Belastung und der erhöhten Gate-Spannung von bis zu 80 V findet ein Gate-Oxid-Durchbruch statt. Die elektrische Durchschlagfestigkeit von Feststoffen wie SiO_2 sinkt nach [78] mit der Temperatur, was durch die thermische Aktivierung des Isolierstoffes erklärbar ist. Dies bestätigen auch die Untersuchungen von [79, p. 33] zum Ausfallverhalten von Gate-Oxiden auf SiO_2 -Basis. Hier zeigten sich Ausfälle bei 300°C mit Ausfallzeiten im s-Bereich bei definierter Feldstärkebelastung. Die bei Stoßstrombelastungen zu erwartende Temperaturerhöhung im Bereich der Bonddrähte beträgt $\vartheta > 660^\circ\text{C}$, abgeleitet aus den Aufschmelzungen des Aluminiums um die Bonddrähte. Extrapoliert man die Ergebnisse aus [79] zur Untersuchung von Gate-Oxid-Durchbrüchen in Abhängigkeit der Temperatur bis $\vartheta = 250^\circ\text{C}$ auf $\vartheta = 660^\circ\text{C}$ ergeben sich Ausfallzeiten im μs -Bereich.

Dies stimmt mit den beobachteten Defekten des Gate-Oxides bei Stoßstrombelastungen gut überein. Bei einem Gate-Oxid-Durchbruch kann der MOSFET nicht mehr über den Feldeffekt gesteuert werden. Der Widerstand zwischen Gate und Source geht dann in den niederohmigen Bereich. Die Drain-Source-Strecke ist weiterhin hochohmig.

2. Die Drain-Source-Strecke wird überlastet und es erfolgt ein thermischer Durchbruch. Die Drain-Source-Strecke ist danach niederohmig (Ausfallverhalten „fail-short“).

Beide Ausfallursachen wurden bei Stoßstrombelastungen von MOSFETs und IGBTs beobachtet. Dioden und Thyristoren zeigten bei multiplen Belastungen (20 x 500 A, 20 x 1 kA, usw.) Ausfälle, wie die Schädigung des Gate-Bereiches oder ein zunehmendes Versagen der Aufbau- und Verbindungstechnik. Dies konnte bei MOSFETs nicht beobachtet werden. Es zeigt sich eine sehr scharfe Defektgrenze. Überschreitet die Stoßstromamplitude einen maximalen Wert von $I_{8/20\mu s} = 1 - 2 \text{ kA}$, ist ein sofortiger Defekt des Bauelements die Folge. Schädigungseffekte, die erst bei Mehrfachbelastungen auftreten, konnten wegen der niedrigen Stoßstromtragfähigkeiten und der großen Schrittweite der Stromsteigerung (500 A) bei MOSFETs nicht gezeigt werden. Bei einer um 500 A höheren Belastung als der bekannten maximalen Belastung aus den gesteigerten Stoßstromversuchen konnte keine für den Überspannungsschutz relevante Erhöhung, d.h. eine Steigerung der Ableitfähigkeit $> 500 \text{ A}$, der Stoßstromtragfähigkeit beobachtet werden.

6.3.5 Defektbilder von MOSFETs nach Stoßstrombelastungen

Die ohmschen Durchlasseigenschaften und die damit verbundenen hohen Verlustleistungen des MOSFETs bei Stoßstrombelastungen begrenzen die Stoßstromtragfähigkeit des Bauelementes. In **Abb. 6.25** ist der Defekt des MOSFETs ($U_{DS} = 600 \text{ V}$, $I_D = 110 \text{ A}$, $A_{\text{Chip}} = 208 \text{ mm}^2$) nach einer Stoßstrombelastung von $I_{8/20\mu s} = 950 \text{ A}$ dargestellt. Dieser zeigt sich hier in Form einer Aufschmelzung unterhalb des Fußpunktes der Bondverbindung aufgrund der zu hohen Stromdichte.

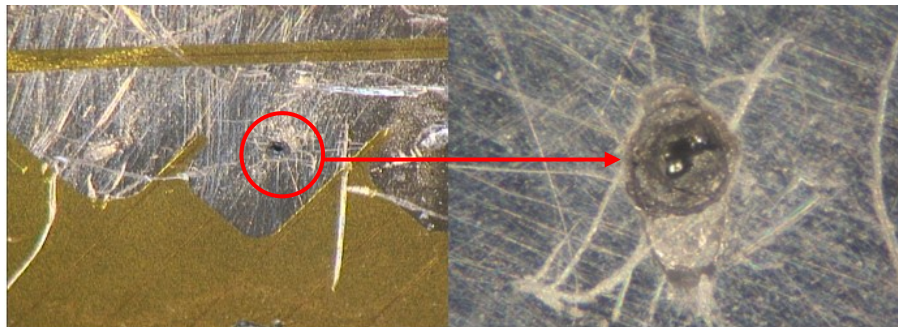


Abb. 6.25: Defektbild eines MOSFETs nach einer Stoßstrombelastung von $I_{8/20\mu s} = 950 \text{ A}$

Mit gleicher Aufbau- und Verbindungstechnik im TO-Gehäuse konnte bei Dioden das 5 – 8-fache an Stoßstrom getragen werden. Dies spricht dafür, dass bei MOSFETs die Bauteileigenschaften und hier speziell die ohmschen Durchlassverluste den begrenzenden Faktor darstellen.

6.3.6 Erkenntnisse und Schlussfolgerungen

Die nachfolgende Aufzählung der Eigenschaften von MOSFETs gibt einen Überblick der in Überspannungsschutzanwendungen zu beachtenden Randbedingungen:

1. Der MOSFET kann sehr schnell eingeschaltet werden und zeigt keine Einschaltüberspannungen, wie dies von Dioden bekannt ist. Dies wirkt sich positiv auf den Schutzpegel aus. Daher ist er bei alleiniger Betrachtung der Schaltdynamik für den Überspannungsschutz gut geeignet.
2. Das ohmsche Durchlassverhalten hat eine hohe Durchlassspannung zur Folge, woraus ungenügende Schutzpegel resultieren. Daher sind MOSFETs für Anwendungen mit hohen Stoßstromamplituden als alleiniges Ableitelement für Nennspannungen mit $U_n < 50\text{ V}$ nicht geeignet.
3. Weiterhin begrenzt das ohmsche Durchlassverhalten von MOSFETs, aufgrund der hohen Verlustleistung, die Ableitfähigkeit im Vergleich zu bipolaren Bauelementen. MOSFETs können daher nur sehr geringe Stoßströme tragen.
4. Aufgrund der Zunahme des R_{DSon} mit der Basisweite w_B verschlechtert sich das Durchlassverhalten mit steigender Sperrspannung des Bauelements.
5. Als Ableit- oder Grobschutzelement sind MOSFETs nicht für den Überspannungsschutz geeignet. Aufgrund ihrer guten Schalteigenschaften können sie im Überspannungsschutz als Feinschutz oder Längsentkopplung zum Einsatz kommen.
6. Alterungseffekte durch multiple Stoßstrombelastungen konnten aufgrund der geringen Stoßstromtragfähigkeit von MOSFETs nicht beobachtet werden.
7. MOSFETs zeigen keine für den ÜSS relevante Erhöhung der Stoßstromtragfähigkeit bei einmaliger Maximalbelastung ohne Vorbelastung.
8. Das Ausfallverhalten von MOSFETs wird durch einen Kurzschluss charakterisiert („fail-short“).

Unter Berücksichtigung dieser Randbedingungen ist ein Einsatz von MOSFETs im Überspannungsschutz möglich.

6.4 Bewertung von IGBTs für Überspannungsschutzanwendungen

Der IGBT ist wie der MOSFET ein Feldeffekt gesteuertes Bauelement. Die Bauelemente unterscheiden sich in ihrem Aufbau, wie **Abb. 6.26** zeigt, durch ein zusätzliches p-Gebiet am Kollektor. Dieser Aufbau realisiert einen MOS-gesteuerten Bipolartransistor. Die daraus folgende Bipolarität des IGBT hat im Vergleich zum MOSFET ein verbessertes Durchlassverhalten bei hohen Strömen und hohe Sperrspannungen zur Folge. Dies macht seinen Einsatz bis in den Sperrspannungsbereich von 3 kV möglich. In diesem Bereich sind MOSFETs nicht mehr sinnvoll, da das Driftgebiet einen zu hohen ohmschen Widerstand darstellt.

Typische Schaltzeiten in Datenblättern sind mit $t_{ri} = 50 - 100$ ns angegeben, woraus aufgrund der erhöhten Nennströme im Vergleich zu MOSFETs dieselben Stromsteilheiten von $di/dt = 0,2 - 2$ kA/ μ s folgen. Übertragen auf die Impulsdynamik von Stoßströmen im Überspannungsschutz ergibt sich analog zum MOSFET eine Belastung von $I_{8/20\mu s} = 16$ kA und $I_{10/350\mu s} = 20$ kA.

Der IGBT ist grundsätzlich als PT- (Punch Through) und NPT-Typ (Non Punch Through) mit den in [63] beschriebenen Eigenschaften aufgebaut. In **Abb. 6.26** ist exemplarisch ein NPT-Typ gezeigt. Eine Zusammenfassung aktueller Entwicklungen, wie SPT-Typ (Soft Punch Through) oder Trench-Gate-IGBTs, ist in [80] gezeigt.

Aufgrund der höheren Stromtragfähigkeiten von IGBTs befindet sich ihr Einsatzgebiet in mittleren bis hohen Strombereichen. Die Schaltfrequenzen, bei denen IGBTs betrieben werden, sind im Vergleich zu denen des MOSFETs reduziert (typ. 3 – 30 kHz bei hartem Schalten und bis 150 kHz bei weichem Schalten).

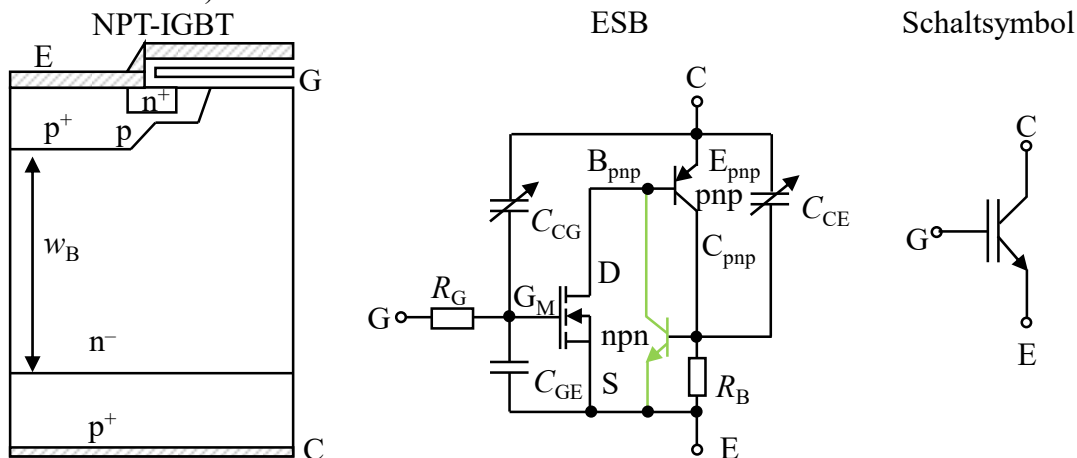


Abb. 6.26: Aufbau, ESB und Schaltsymbol eines IGBTs nach [70]

Für die Bewertung der Eigenschaften des IGBTs im Überspannungsschutz wurde der Messaufbau in **Abb. 6.20** verwendet. Die Ansteuerung entsprach der in **Abb. 6.21** gezeigten Treiberschaltung. Untersuchungen zum Stoßstromverhalten von IGBTs sind in [5], [60] und [81] gezeigt und sollen nachfolgend in die Bewertung der Eigenschaften für Überspannungsschutzanwendungen einfließen.

6.4.1 Ansteuerung und Einschaltverhalten bei Stoßstrombelastung

Das Einschaltverhalten und die Ansteuerung von IGBTs sind ähnlich zu denen von MOSFETs. Damit der IGBT vom sperrenden in den leitenden Zustand übergeht, muss eine Gate-Emitter-Spannung größer der Schwellspannung angelegt werden ($U_{GE} > U_{GE(th)}$). Wie bei der pin-Diode wird die niedrig dotierte Basis w_B beim IGBT mit Ladungsträgern geflutet, wodurch eine Leitfähigkeitsmodulation stattfindet.

Hierbei kann es, wie in [82, p. 105] gezeigt, zu sehr hohen dynamischen Vorwärtsspannungen U_{CEdyn} kommen (PT-IGBT $30 - 40 \cdot U_{CEsat}$, NPT-IGBT mit nur geringer dynamischer Vorwärtsspannung). Dieses Verhalten ist für den erreichbaren Schutzpegel in Überspannungsschutzanwendungen nachteilig zu sehen. Vor allem bei Anwendungen mit niedrigen Nennspannungen (< 50 V) sind die dynamischen Vorwärtsspannungen nicht akzeptabel. **Abb. 6.27** rechts zeigt die dynamische Vorwärtsspannung eines PT-IGBTs ($U_{CES} = 1,2$ kV, $I_{C25} = 75$ A, $A_{Chip} = 65$ mm²) und eines NPT-IGBTs ($U_{CES} = 1,2$ kV, $I_{C25} = 108$ A, $A_{Chip} = 40$ mm²) bei gesteigerter Stoßstrombelastung der Form $8/20$ μ s. Die dynamische Vorwärtsspannung ist induktivitätsbereinigt ($L_s = 10$ nH) dargestellt. Trotzdem sind dynamische Vorwärtsspannungsspitzen bei $di/dt = 490$ A/ μ s ($I_{8/20\mu s} = 2,1$ kA) von bis zu 210 V ersichtlich. Bei den getesteten NPT-IGBT-Typen konnte keine nennenswerte dynamische Einschaltspannungsspitze beobachtet werden, die über dem Durchlassspannungsabfall durch die Stoßstromamplitude lag, wie **Abb. 6.27** zeigt.

Während des Einschaltvorgangs auf einen Kurzschluss sind bei IGBTs zwei Defekte bekannt. Der erste in [60, p. 9] beschriebene Defekt kann auf den negativen Temperaturkoeffizienten (NTC) in der statischen Kennlinie des IGBTs zurückgeführt werden. Der zweite Defekt kann durch das Einrasten (engl. latch) der internen Thyristorstruktur wegen eines zu hohen Spannungsabfalls über dem in **Abb. 6.26** dargestellten Widerstand R_B erklärt werden. Dieser Defektmechanismus ist in [83] beschrieben. Solange sich die getesteten IGBTs aus **Tab. 6.1** im Sättigungsbereich befanden, konnten diese Defekte bei Stoßstrombelastungen der Formen $8/20$ μ s und $10/350$ μ s nicht beobachtet werden. Der Betrieb im Sättigungsbereich wurde durch die Wahl einer hohen Gate-Spannung im Bereich von $50 - 80$ V sichergestellt.

6.4.2 Durchlassverhalten bei Stoßstrombelastung

Das Durchlassverhalten von IGBTs ist aufgrund der Bipolarität bei hohen Strömen deutlich besser als bei MOSFETs. Der Kollektorstrom berechnet sich im Sättigungsbereich der Ausgangskennlinie, in dem $U_{GE} > U_{th}$ und $U_{CE} < (U_{GE} - U_{th})$ gilt, wie folgt:

$$I_{C_{IGBT}} = I_{C_{pnp}} + I_M = (1 + \beta_{pnp}) \cdot I_M = \frac{1}{1 - \alpha_{pnp}} \cdot I_M \quad (6.4.1)$$

Wobei der Strom I_M durch Gl. (6.3.2) beschrieben wird. Der Sättigungsstrom, der den Übergang in den aktiven Bereich der Ausgangskennlinie bei $U_{GE} > U_{th}$ und $U_{CE} = (U_{GE} - U_{th})$ des IGBTs beschreibt, berechnet sich aus Gl. (6.3.4) des MOSFETs wie folgt:

$$I_{C_{sat}} = \frac{1}{1 - \alpha_{pnp}} \cdot \frac{K_n}{2} \cdot (U_{GE} - U_{th})^2 \rightarrow I_{C_{stat}} = \frac{1}{1 - \alpha_{pnp}} \cdot \frac{K_n}{2} \cdot (U_{GE} - U_{th}) \quad (6.4.2)$$

Bei Leistungstransistoren mit hohen Nennströmen geht der quadratische Zusammenhang der Gate-Spannung mit dem Sättigungsstrom in einen linearen Zusammenhang über, wie in [70] beschrieben. Die Durchlassspannung des IGBTs errechnet sich nach [57] wie folgt:

$$U_{CE} = U_{n-Kanal} + U_{Drift} + U_{n-p^+} \quad (6.4.3)$$

Wobei die Driftspannung U_{Drift} die von Dioden bekannte aus Gl. (6.1.2) ist. Geht der Transistor in den aktiven Bereich (typisch für Linearanwendungen) seiner Kennlinie bei $U_{CE} > (U_{GE} - U_{th})$ über, steigt der Kollektorstrom mit zunehmender Kollektor-Emitter-Spannung nur noch langsam an. Der IGBT ist in diesem Bereich entsättigt. Der gleiche Abschnitt der Ausgangskennlinie ist bei MOSFETs als Sättigungsbereich beschrieben, wodurch eine Verwechslungsgefahr besteht.

Beide Bauelemente können aufgrund dieses Verhaltens als kurzschlussfest gelten. Typische Werte für den einmalig beherrschbaren Kurzschlussstrom von IGBTs sind in der SCSOA (Short Circuit Safe Operating Area) angegeben (nach [56] $I_{SC} = 6 - 16 \cdot I_n$). Wird dieser Strom innerhalb von $10 \mu\text{s}$ (bei Trench-Bauelement $6 \mu\text{s}$) abgeschaltet, findet keine Zerstörung statt. Bei Stoßströmen aufgrund von Überspannungen kann der Strom als eingepreßt gelten, d.h. bei einer Entsättigung des IGBTs wird der Strom nicht wie bei Lastkurzschlüssen in Netzanwendungen begrenzt. Der Strom wird unabhängig vom Verhalten des IGBTs weiter steigen, bis es zu dessen Zerstörung kommt. Um dem entgegen zu wirken, kann die Gate-Spannung wie in [60] und [77] vorgeschlagen erhöht werden, was die Sättigungsstromdichte erhöht.

Abb. 6.27 zeigt das Defektverhalten eines IGBTs (Typ: PT-IGBT, $U_{CES} = 1,2 \text{ kV}$, $I_C = 75 \text{ A}$, $A_{\text{Chip}} = 65 \text{ mm}^2$) bei unterschiedlichen Gate-Spannungen. Die Gate-Spannung kann zur Steigerung des Sättigungsstromes nicht beliebig gesteigert werden, da das Gate-Oxid mit typischen Dicken von $d_{\text{ox}} = 70 - 200 \text{ nm}$ sonst seine Durchbruchfeldstärke erreicht. Der Wendepunkt zwischen den beiden Defektmechanismen Entsättigung und Gate-Oxid-Durchbruch ist in **Abb. 6.27** ab ca. $U_{GE} = 54 \text{ V}$ ersichtlich. Der Gate-Oxid-Durchbruch erfolgt hierbei erst während der Stoßstrombelastung durch die thermische Belastung des Oxides.

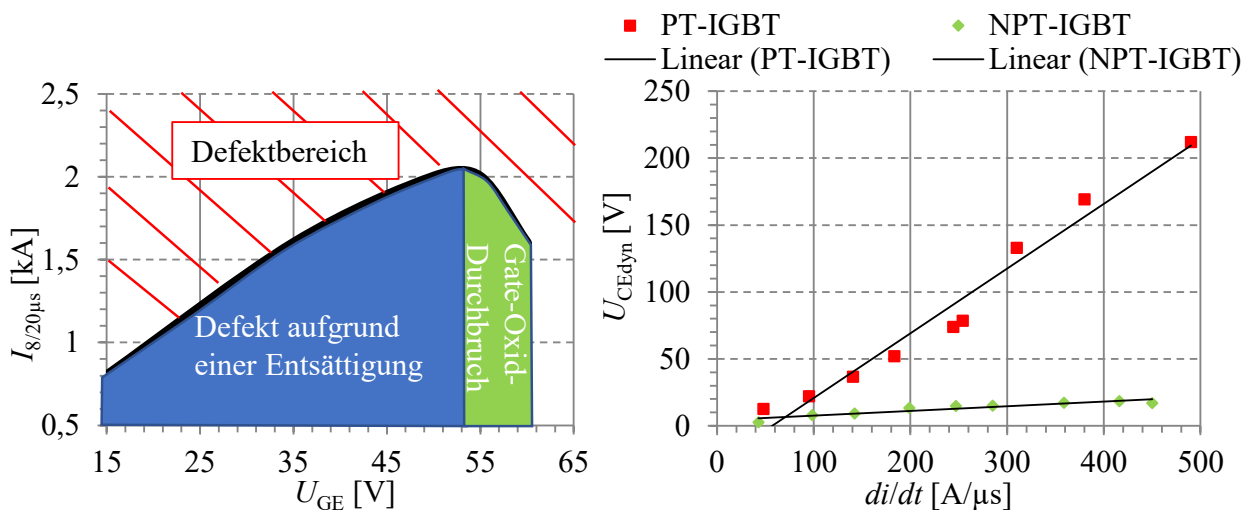


Abb. 6.27: Abhängigkeit der Stoßstromtragfähigkeit von der Gate-Spannung eines PT-IGBT ($U_{CES} = 1,2 \text{ kV}$, $I_{C25} = 75 \text{ A}$, $A_{\text{Chip}} = 65 \text{ mm}^2$) (links), $U_{CEdyn} = f(di/dt)$ beim Einschalten (rechts) des PT-IGBTs und eines NPT-IGBTs ($U_{CES} = 1,2 \text{ kV}$, $I_{C25} = 108 \text{ A}$, $A_{\text{Chip}} = 40 \text{ mm}^2$)

Während der Durchlassphase kann bei einer Überschreitung der maximal absorbierbaren Energie des IGBTs im Sättigungsbereich der Ausgangskennlinie ein thermischer Durchbruch erfolgen. Dies ist beispielsweise in **Abb. 6.29** (rechts) für eine Blitzstoßstrombelastung gezeigt.

6.4.3 Ausschaltverhalten und Sperrverhalten nach einer Stoßstrombelastung

Das Ausschaltverhalten von IGBTs unterscheidet sich von MOSFETs im Wesentlichen durch die Tail-Stromphase. Diese tritt bei IGBTs aufgrund der gespeicherten Ladungsträger auf. Beim Abschalten und nachfolgender Sperrspannungsaufnahme müssen die gespeicherten Ladungsträger ausgeräumt werden, was zu der Tail-Stromphase führt.

Defekte, die während des Ausschaltens auftreten können, sind in [57], [70] und [84] beschrieben. Beim Abschalten sperrt der n-Kanal deutlich schneller als der pnp-Bipolartransistor. Dies führt zu einer erhöhten Stromdichte im Bipolartransistor, wodurch es zum Einrasten der intrinsischen Thyristorstruktur kommen kann. Wie bei Dioden ist eine thermische Mitkopplung, die durch einen erhöhten Sperrstrom getrieben wird, möglich.

Dieser ergibt sich aufgrund der intrinsischen Ladungsträgererhöhung mit der Temperatur. Die Zerstörung tritt typischerweise 10 – 100 μs nach dem Abschaltvorgang auf.

Bei einem Einsatz des IGBTs in Überspannungsschutzanwendungen mit hohen Netzfolgeströmen und hohen Sperrspannungen muss eine Reduktion des Ableitvermögens des IGBTs aufgrund der thermischen Mitkopplung berücksichtigt werden. Da die im Überspannungsschutz zu erwartenden Stoßströme als adiabatische Vorgänge im Chip angesehen werden können, darf die Summe der Energie, die während eines Stoßstromereignisses im IGBT umgesetzt wird und der nachfolgende Energieumsatz aufgrund der Netzinduktivität im IGBT einen kritischen Wert W_{IGBTmax} nicht überschreiten. Diese kritische Energie ist stark von dem jeweiligen IGBT und dessen Wärmekapazität abhängig. Die getesteten Bauelemente aus **Tab. 6.1** zeigten hierbei Werte im Bereich von $W_{\text{IGBTmax}} = 2 - 10 \text{ J}$. Die Grenzen des vom IGBT abschaltbaren Folgestroms bei vorangegangener Stoßstrombelastung sind dazu in **Kap. 8.4** beschrieben.

6.4.4 Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung

Abb. 6.28 zeigt links das Verhalten eines IGBTs (Typ: Trench-PT-IGBT, $U_{\text{CES}} = 1,2 \text{ kV}$, $I_{\text{C}} = 75 \text{ A}$, $A_{\text{Chip}} = 81 \text{ mm}^2$) bei maximaler Stoßstrombelastung der Form 8/20 μs und rechts eines IGBTs (Typ: Field-Stop-Trench-IGBT, $U_{\text{CES}} = 650 \text{ V}$, $I_{\text{C}} = 100 \text{ A}$, $A_{\text{Chip}} = 18 \text{ mm}^2$) bei gesteigerter Stoßstrombelastung.

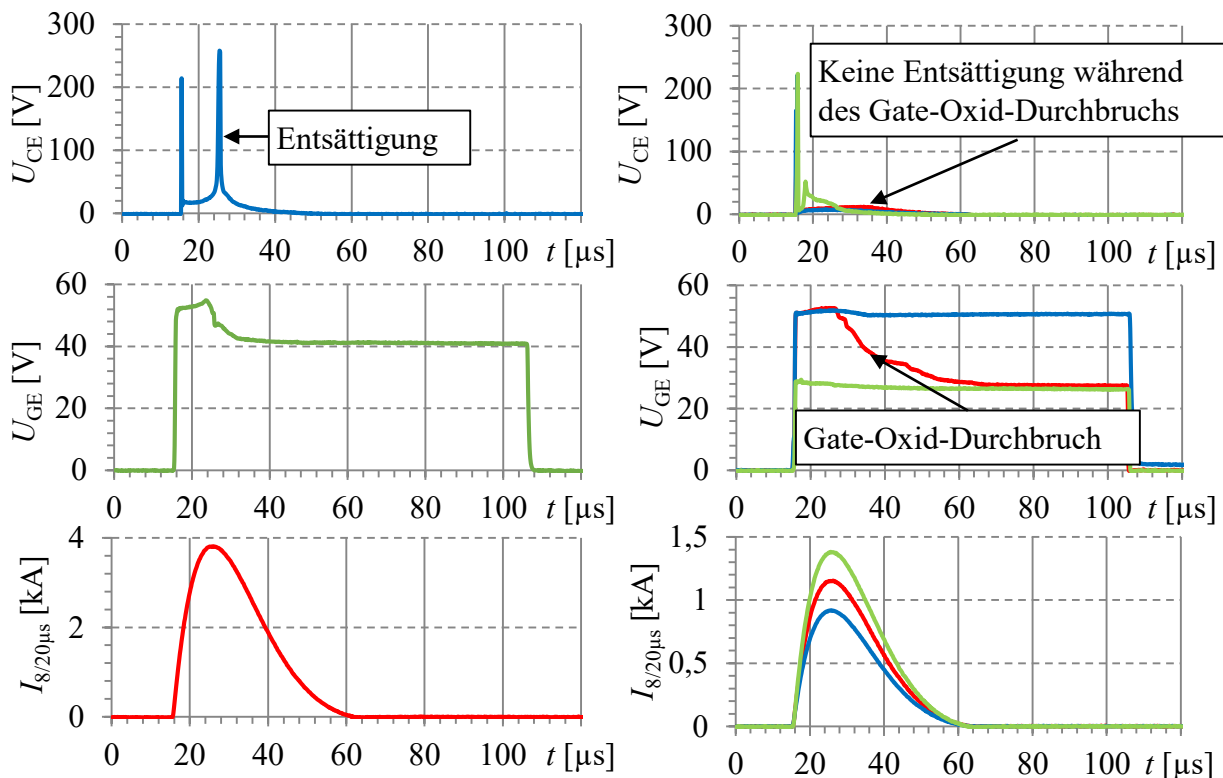


Abb. 6.28: Defektverhalten von IGBTs während eines Ableitvorgangs (links) (Typ: Trench-PT-IGBT, $U_{\text{CES}} = 1,2 \text{ kV}$, $I_{\text{C}} = 75 \text{ A}$, $A_{\text{Chip}} = 81 \text{ mm}^2$) und (rechts) (Typ: Field-Stop-Trench-IGBT, $U_{\text{CES}} = 650 \text{ V}$, $I_{\text{C}} = 100 \text{ A}$, $A_{\text{Chip}} = 18 \text{ mm}^2$)

Hier sind zwei Defekte dargestellt:

1. Auf der linken Seite ist eine Entsättigung des IGBTs aufgrund einer Überschreitung der Sättigungsstromstärke durch den Stoßstrom ersichtlich. Die dadurch im Chip umgesetzte hohe Verlustleistung führt zur thermischen Überlastung und hat einen Kurzschluss der Kollektor-Emitter-Strecke zur Folge.

- Die höchste Temperatur während des Stoßstromes ist im n-Kanal des IGBTs zu erwarten. Die Gate-Bereiche, welche direkt unter den Bonddrähten lokalisiert sind, werden hierbei doppelt belastet. Zum einen durch die Eigenerwärmung im n-Kanal, zum anderen wegen der erhöhten Stromdichte in diesem Bereich und der daraus folgenden Erwärmung um den Bonddrahtfußpunkt. Die starke thermische Belastung kann zu einem Gate-Oxid-Durchbruch führen, ohne dass eine Entsättigung des IGBTs auftritt, was im rechten Teil von **Abb. 6.28** zu sehen ist.

Im Gegensatz zum thermischen Durchbruch bei Entsättigung ist der IGBT nach dem Gate-Oxid-Durchbruch weiterhin hochohmig zwischen Kollektor und Emitter. Dies ist in **Abb. 6.28** rechts in Rot bei einer Stoßstrombelastung von $I_{8/20\mu s} = 1,2$ kA zu sehen. Bei einer Steigerung des Stoßstromes auf $I_{8/20\mu s} = 1,4$ kA (grün) erfolgt dann der thermische Durchbruch bei $t = 19,5$ μs . Aufgrund des niederohmigen Gate-Oxids durch die vorangegangene Belastung mit $I_{8/20\mu s} = 1,2$ kA kann der verwendete Treiber die benötigte Gate-Spannung von $U_{GE} = 50$ V nicht erreichen ($U_{GE} = 30$ V). Dies führt zu einer schnellen Entsättigung und damit zur thermischen Überlastung des IGBTs zu Beginn des Impulses. Die gesteigerte Belastung des in **Abb. 6.28** links gezeigten Trench-PT-IGBTs wurde für induzierter Stoßstrombelastung in die Ausgangskennlinie der **Abb. 6.29** überführt.

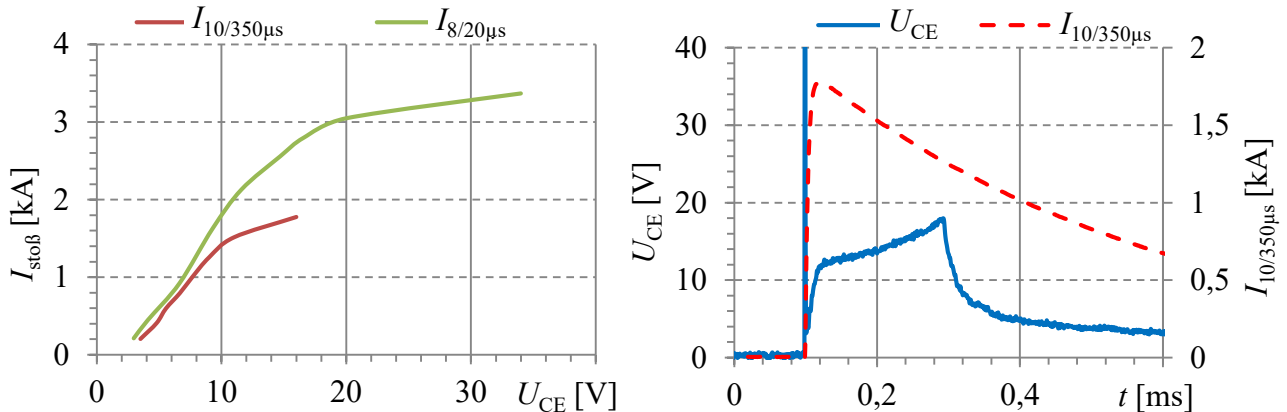


Abb. 6.29: Vergleich der Ausgangskennlinie eines Trench-PT-IGBT ($U_{CES} = 1,2$ kV, $I_C = 75$ A, $A_{Chip} = 81$ mm²) bei 8/20 μs und 10/350 μs bei $U_{GE} = 50$ V (links) und Defektverhalten bei Blitzstoßstrombelastung (rechts)

Die gezeigten Spannungswerte der Kollektor-Emitter-Spannung sind jeweils im Strommaximum bei $di/dt = 0$ abgetragen. Hierdurch sind induktive Effekte in der Ausgangskennlinie auszuschließen. Kommt es zu einer Entsättigung, was bei $I_{8/20\mu s} = 3,4$ kA der Fall war, oder zu einem Anstieg von U_{CE} durch thermische Effekte, wie bei $I_{10/350\mu s} = 1,8$ kA, sind jeweils die höchsten Spannungswerte in die Ausgangskennlinie eingeflossen. Beide Kennlinien wurden bei einer Gate-Spannung von $U_{GE} = 50$ V aufgenommen. Die deutliche Reduktion der Stoßstromtragfähigkeit bei Blitzstoßströmen im Vergleich zu induzierten Stoßströmen kann durch den erhöhten Energieeintrag in den IGBT begründet werden. In **Abb. 6.29** rechts ist der Ableitvorgang während der maximalen Blitzstoßstrombelastung ersichtlich. Bei bereits fallender Stromamplitude steigt die Kollektor-Emitter-Spannung weiter bis es bei $t = 0,3$ ms zum Durchbruch kommt. Der Spannungsanstieg bei fallender Stoßstromflanke kann mittels Reduktion der Ladungsträgerbeweglichkeit begründet werden.

Die Testbedingungen bei den multiplen Belastungen sind analog zu den vorangegangenen Halbleiteruntersuchungen, d.h. mit 20 Impulsen pro Amplitude und einer Pausenzeit von 20 s durchgeführt worden. Die Versuche mit IGBTs zeigten einen Alterungseffekt bei multipler Stoßstrombelastung.

Hier kam es zu einem schrittweisen Durchbruch des Gate-Oxides, was **Abb. 6.30** für den IGBT (Typ: Trench-PT-IGBT, $U_{CES} = 1,2 \text{ kV}$, $I_C = 75 \text{ A}$, $A_{\text{Chip}} = 81 \text{ mm}^2$) verdeutlicht. Die damit einhergehende Erhöhung der Durchlassspannung bei gleichbleibender Stoßstrombelastung von $I_{8/20\mu\text{s}} = 3 \text{ kA}$ führte zur Zerstörung des IGBTs. **Abb. 6.30** rechts in blau zeigt die Stoßstrombelastung Nr. 1 mit intaktem Gate-Oxid bei $U_{GE} = 50 \text{ V}$. Während der Stoßstrombelastung tritt bei $t = 31 \mu\text{s}$ eine erste Vorschädigung des Gate-Oxides auf. Von Belastung Nr. 2 (orange – $U_{GE} = 48 \text{ V}$) bis Nr. 6 (rot – $U_{GE} = 47 \text{ V}$) ist die schrittweise Verschlechterung des Gate-Oxides ersichtlich. Die verwendete Treiberstufe ist nicht in der Lage, genügend Strom zu liefern, um die Spannung am niederohmig werdende Gate-Oxide aufrecht zu erhalten. Dies führt zu einem Anstieg der Kollektor-Emitter-Spannung, was in der roten Kurve Nr. 6 ersichtlich ist.

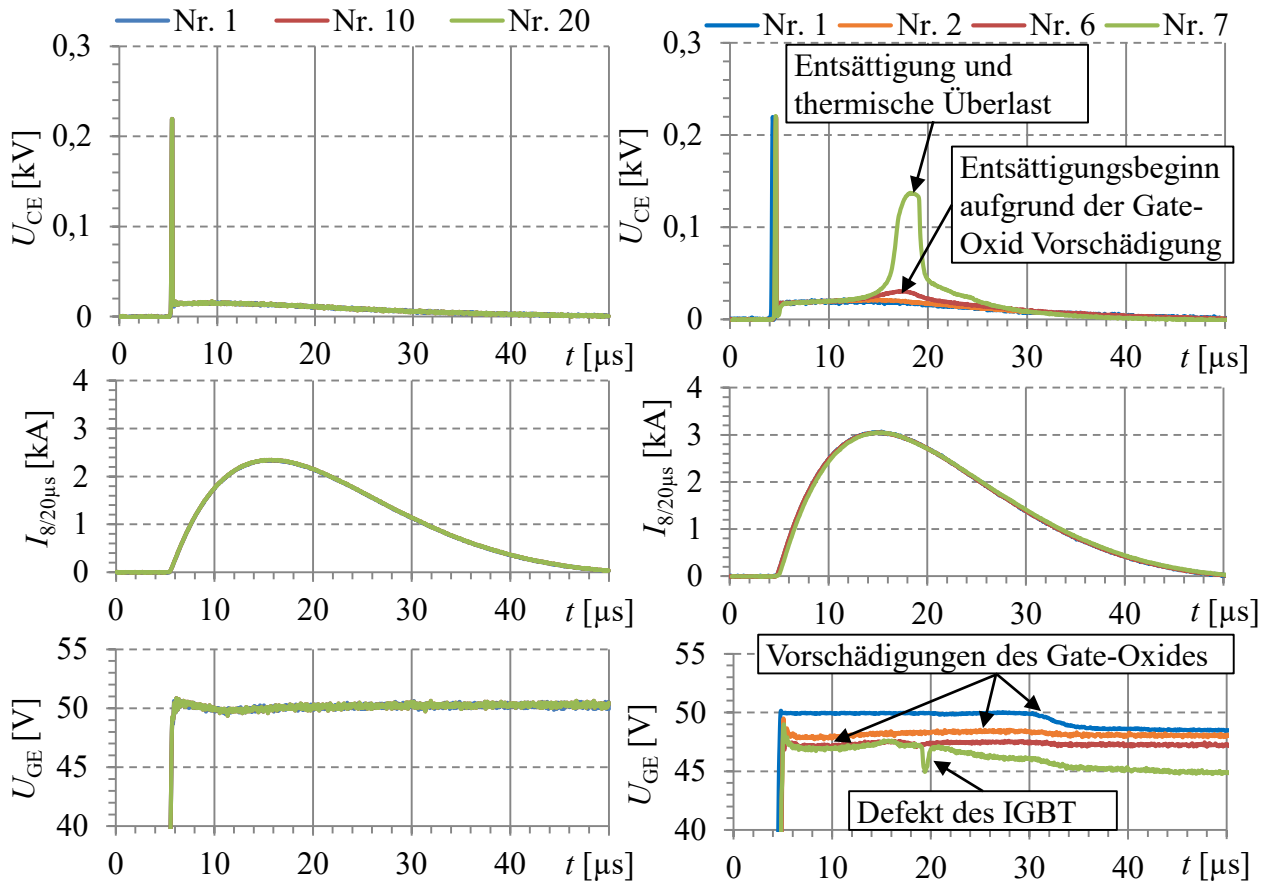


Abb. 6.30: Defektverlauf bei multiplen Belastungen (Typ: Trench-PT-IGBT, $U_{CES} = 1,2 \text{ kV}$, $I_C = 75 \text{ A}$, $A_{\text{Chip}} = 81 \text{ mm}^2$) mit $20 \times I_{8/20\mu\text{s}} = 2,5 \text{ kA}$ (links) und $20 \times I_{8/20\mu\text{s}} = 3 \text{ kA}$ (rechts)

Während der Stoßstrombelastung Nr. 7 (grün) bricht das Gate-Oxid bei $t = 19,5 \mu\text{s}$ komplett durch ($R_{GE} \approx 2,7 \Omega$). Dies hatte eine Entsättigung der Kollektor Emitter-Strecke des IGBT zur Folge. Das beschriebene Defekt-Verhalten trat nur nahe der maximalen Stoßstromtragfähigkeit auf, welche aus den gesteigerten Stoßstromversuchen bekannt ist. Dies verdeutlicht die Messreihe in **Abb. 6.30** links bei $20 \times I_{8/20\mu\text{s}} = 2,5 \text{ kA}$ desselben IGBTs bei der keine Gate-Beschädigung nachgewiesen werden konnte.

Um die Wirkung von Alterungseffekten auf die Stoßstromtragfähigkeit zu belegen, wurde eine maximale Stoßstrombelastung mit einem nicht vorbelasteten Bauelement durchgeführt. Die bekannte Defektgrenze aus den gesteigerten Stoßstromversuchen wurde um 500 A erhöht.

Auch bei IGBTs zeigte sich eine scharfe Defektgrenze, d.h. mit einer erhöhten einmaligen maximalen Impulsbelastbarkeit konnte keine für den Überspannungsschutz relevante Steigerung ($> 500 \text{ A}$) der Ableitfähigkeit zu den vorangegangenen gesteigerten oder multiplen Stoßstrombelastungen beobachtet werden. Bei allen getesteten IGBTs lag nach einer Überlastung ein Kurzschluss des Bauelementes vor.

6.4.5 Diskussion der Defekte bei Stoßstrombelastungen

Der große Einfluss der Aufbau- und Verbindungstechnik auf die Durchlasseigenschaften im Nennbetrieb von IGBTs wurde in Untersuchungen, wie [85] und [86] durch eine Cu-Clip-Lötung, gezeigt. Bei den multiplen Stoßstromversuchen von IGBTs aus **Kap. 6.4** konnten keine limitierenden Eigenschaften der Aufbau- und Verbindungstechnik festgestellt werden, wie das z.B. bei Dioden der Fall ist. Bei gesteigerten Blitzstoßstrombelastung war jedoch eine deutliche Reduktion der Ableitfähigkeit im Vergleich zu induzierten Stoßströmen zu erkennen, was auf die thermische Kapazität und damit maßgeblich auf die Aufbau- und Verbindungstechnik am Emitter zurückzuführen ist.

Um den Einfluss einer verbesserten Verbindungstechnik weiter zu untersuchen, wurde daher in **Abb. 6.31** ein Aufbau mit einer symmetrischen Stromzufuhr über Aluminium-Bänder (engl. heavy-ribbon) mit den Abmaßen $0,2 \text{ mm} \times 1,5 \text{ mm}$ gewählt. Die symmetrische Stromzuführung von links und rechts auf den Emitter des IGBTs führt zu einer homogenen Stromverteilung auf dem Chip während des Stoßstromereignisses.

Trench-PT-IGBT: $U_{CE} = 1,2 \text{ kV}$, $I_C = 75 \text{ A}$,
 $A_{\text{Chip}} = 81 \text{ mm}^2$, $I_{8/20\mu\text{s}} = 2,8 \text{ kA}$

SPT-IGBT: $U_{CE} = 1,2 \text{ kV}$, $I_C = 100 \text{ A}$,
 $A_{\text{Chip}} = 114 \text{ mm}^2$, $I_{8/20\mu\text{s}} = 3,2 \text{ kA}$

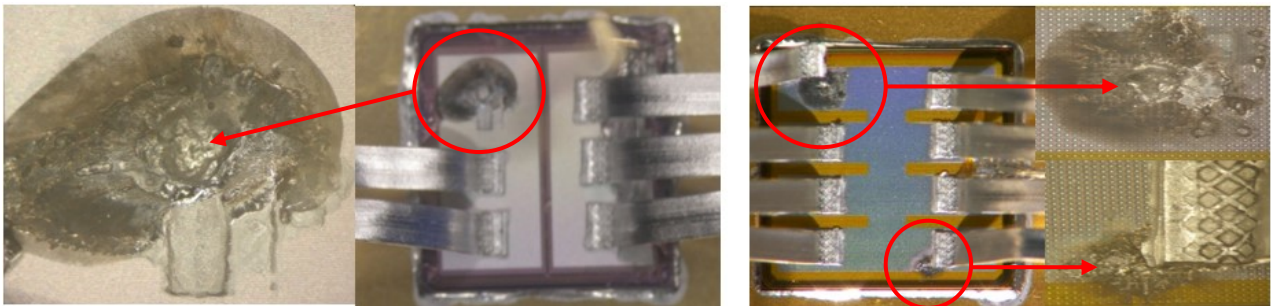


Abb. 6.31: Defektbilder von IGBTs nach einer Stoßstromüberlastung

Al-Bänder weisen größere Bondfußpunkte auf als Standardverbindungen in TO-Gehäusen. Bei großflächigen Bondverbindungen erhöhte sich die thermische Kapazität am Emitter. Gerade im Bereich des Gates führt dies zu einer geringeren thermischen Belastung des Chips. Der Vergleich der Stoßstromtragfähigkeit von IGBT-Chips im TO-Gehäuse und der verbesserten Aufbautechnik mit Al-Bändern zeigte jedoch keine Erhöhung der Ableitfähigkeit bei induzierten Stoßströmen. Dies liegt an der Dynamik von induzierten Stoßströmen, bei welcher von adiabatischen Vorgängen ausgegangen werden kann, wie **Kap. 6.1** zeigt. Bei Blitzstoßströmen ist bereits eine weitere Temperaturverteilung zu erwarten, wodurch die erhöhte thermische Kapazität am Emitter wirken kann. Dies bestätigte auch die mit dieser Aufbau- und Verbindungstechnik leicht höhere Blitzstoßstromtragfähigkeit im Vergleich zum TO-Gehäuse.

Weiterhin konnten bei gleichen Netzeigenschaften höhere Folgeströme, d.h. länger dauernde clamping-Phasen beim Abschalten, beherrscht werden. Bei einer großflächigen Cu-Clip-Lötung ist hier nochmals eine Steigerung zu erwarten.

Die Defekte zeigten sich, wie in **Abb. 6.31** dargestellt, unterhalb der Bonddrähte, aufgrund der dort höchsten Stromdichte und Temperatur. Auch der Durchbruch des Gate-Oxides wird vorzugsweise unter dem Bondfuß stattfinden, da hier die thermische Belastung des Gate-Oxides maximal ist. Aufschmelzungen traten speziell unter Bondverbindungen und bevorzugt nahe des Randbereiches auf. Dies kann durch die dort vorherrschenden erhöhten Stromdichten, wie in [87] beschrieben, erklärt werden.

6.4.6 Erkenntnisse und Schlussfolgerungen

Die nachfolgende Aufzählung der Eigenschaften von IGBTs gibt einen Überblick der in Überspannungsschutzanwendungen zu beachtenden Randbedingungen:

1. Die Einschaltgeschwindigkeit von IGBTs reicht nicht aus, um auf transiente Überspannungen zu reagieren, ohne dass die Sperrspannung des IGBTs überschritten wird. Mit active clamping sind jedoch in der jeweiligen Anwendung, d.h. für den gewünschten Nennspannungsbereich, sehr gute Schutzpegel erreichbar.
2. PT-IGBTs weisen hohe Einschaltspannungsspitzen auf, was deren Einsatz bei kleinen Netzspannungen ($U_n < 150 \text{ V}$) aus Sicht des Schutzpegels entgegensteht.
3. Im Sättigungsbereich weist der IGBT ein deutlich besseres Durchlassverhalten bei Stoßströmen auf als der MOSFET und kann im Gegensatz zum Thyristor in der Folgestromphase abgeschaltet werden.
4. Mit erhöhter Gate-Spannung können induzierte Stoßströme bis zum 30-fachen des Nennstromes beherrscht werden.
5. Beim Abschalten hoher Netzfolgeströme ist die Gefahr des Einrastens der internen Thyristorstruktur gegeben.
6. Die thermische Mitkopplung durch eine große, während des Ableitvorganges im IGBT umgesetzte, Verlustleistung reduziert die Sperrfähigkeit bei hohen Netzspannungen. Dies ist in der Auslegung für Überspannungsschutzanwendung durch eine Reduktion des Nennableitvermögens zu berücksichtigen.
7. Die Grenzen der Aufbau- und Verbindungstechnik des TO-Gehäuses werden bei induzierten Stoßstrombelastungen nicht erreicht. Der IGBT limitiert die Stoßstromtragfähigkeit durch seine Ausgangscharakteristik. Positiv wirken sich jedoch großflächige Bondverbindungen auf die thermische Kapazität und damit auf die Folgestromlöschfähigkeit und Blitzstoßstromtragfähigkeit aus.
8. Alterungseffekte durch multiple Stoßstrombelastungen zeigten sich in der Schädigung des Gate-Oxides. Dies trat jedoch, bei den für den ÜSS relevanten Impulsanzahlen, erst nahe der ermittelten Grenzelastbarkeit aus den gesteigerten Stoßstromversuchen auf.
9. IGBTs zeigen keine für den Überspannungsschutz relevante Erhöhung der Stoßstromtragfähigkeit bei einmaliger Maximalbelastung ohne Vorbelastung.
10. IGBTs zeigen das Ausfallverhalten „fail short“ (Kurzschluss).

Unter Berücksichtigung dieser Randbedingungen ist ein zerstörungsfreier Einsatz von IGBTs im Überspannungsschutz möglich.

6.5 Bewertung von MCTs für Überspannungsschutzanwendungen

Der MOS-Controlled-Thyristor (MCT) ist in **Abb. 6.32** als n-MCT dargestellt, kann jedoch auch in einer p-MCT Variante ausgeführt werden. Er vereint die Vorteile des MOSFETs und des Thyristors in einem Bauelement. Der MCT kann schnell leistungslos ein- und ausgeschaltet werden und weist bei hohen Strömen ein deutlich besseres Durchlassverhalten als MOSFETs auf. Durch seine Thyristorstruktur sind auch im Vergleich zum IGBT höhere Stromdichten möglich. Der MCT ist heute in dem für den Überspannungsschutz in der Niederspannung interessanten Bauteilbereichen nahezu vollständig vom IGBT verdrängt. Aufgrund seiner für den Überspannungsschutz positiven Eigenschaften soll er in dieser Arbeit trotzdem behandelt werden.

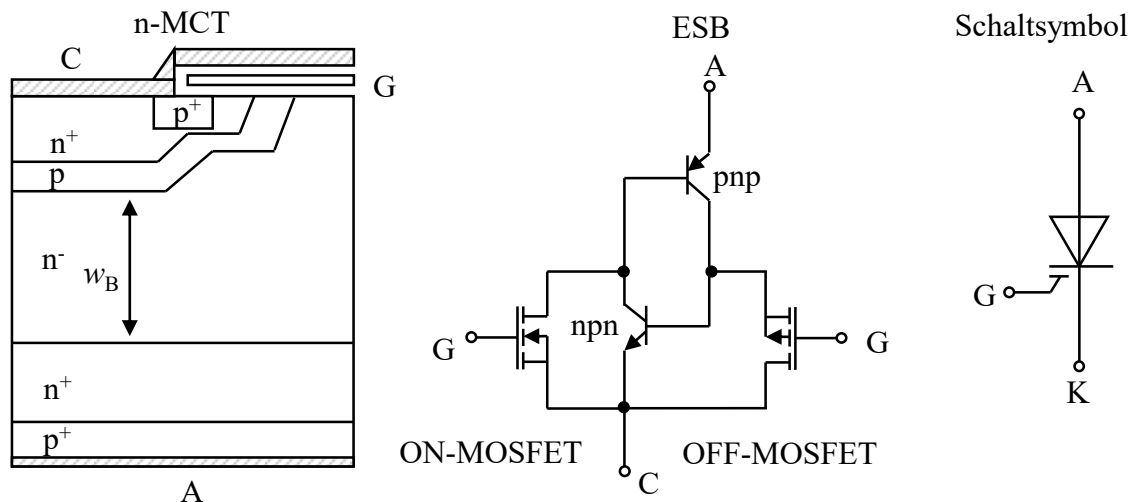


Abb. 6.32: Aufbau, ESB und Schaltsymbol eines n-MCTs nach [88]

6.5.1 Einschaltverhalten bei einer Stoßstrombelastung

Durch das schnelle Einschaltverhalten des MOSFETs wird die Thyristorstruktur vor allem zu Beginn einer Stoßstrombelastung in der Gate-Struktur deutlich entlastet. Weiterhin ist der Aufbau des MCTs aus vielen einzelnen parallel geschalteten Zellen realisiert, womit im Gegensatz zum reinen Thyristor keine großen Chipflächen aktiviert werden müssen. Nach [82] sind so Stromsteilheiten von bis zu 2 kA/μs beim Einschalten möglich. Dies entspricht einer Stoßstrombelastung von $I_{8/20\mu s} = 16$ kA und $I_{10/350\mu s} = 20$ kA. Um während des Einschaltvorgangs eine gute Stromverteilung über allen Zellen zu gewährleisten, ist eine Gate-Spannungsanstiegszeit von 100 – 200 ns erforderlich.

6.5.2 Durchlassverhalten während einer Stoßstrombelastung

Der MCT weist eine sehr hohe Stromtragfähigkeit auf, was durch die Thyristorstruktur des Bauelementes realisiert wird. Anders als IGBTs oder MOSFETs ist der MCT nicht kurzschlussfest, d.h. es findet keine Entsättigung und kein Abschnüren des Kanals statt, was für Überspannungsschutzanwendungen eine positive Eigenschaft darstellt.

6.5.3 Ausschalt- und Sperrverhalten nach einer Stoßstrombelastung

Der MCT kann nur solange ausgeschaltet werden, wie der Spannungsabfall über dem OFF-MOSFET aus **Abb. 6.32** kleiner als die Diffusionsspannung U_{BE} des npn-Transistors ist. Andernfalls bleiben die Thyristorstrukturen eingeschaltet. Daraus folgt, dass die Abschaltfähigkeit des Thyristors stark von der Gate-Spannung und der Temperatur des Bauelements abhängt.

Nach Gl. (6.3.3) sinkt die Ladungsträgerbeweglichkeit mit der Temperatur was zu einer Erhöhung des Kanalwiderstandes führt und eine Reduktion des Abschaltvermögens des MCTs nach sich zieht. Diesem Effekt kann durch eine Erhöhung der Gate-Spannung entgegengewirkt werden. Hierdurch vergrößert sich der Inversionskanal des OFF-MOSFETs, was zu einer Reduktion des Kanalwiderstandes führt und damit zu einer Erhöhung der beherrschbaren Ströme beim Abschalten. Im Abschaltverhalten liegt auch die Schwäche des MCTs, da nur geringe Folgeströme bis ca. 120 A beherrscht werden können. Dieser Wert ist stark von der verwendeten Gate-Steuerspannung abhängig.

6.5.4 Verhalten bei gesteigerter multipler und maximaler Stoßstrombelastung

Abb. 6.33 zeigt links das Defektverhalten eines n-MCTs ($U_{AK} = 1,5 \text{ kV}$, $I_{TSM} = 12 \text{ kA}$ für $10 \mu\text{s}$) bei gesteigerter Stoßstrombelastung mit $I_{8/20\mu\text{s}} = 5,7 \text{ kA}$ an Sperrspannung. Rechts ist das Verhalten des n-MCT bei einer Blitzstoßstrombelastung mit $I_{10/350\mu\text{s}} = 2,5 \text{ kA}$ dargestellt.

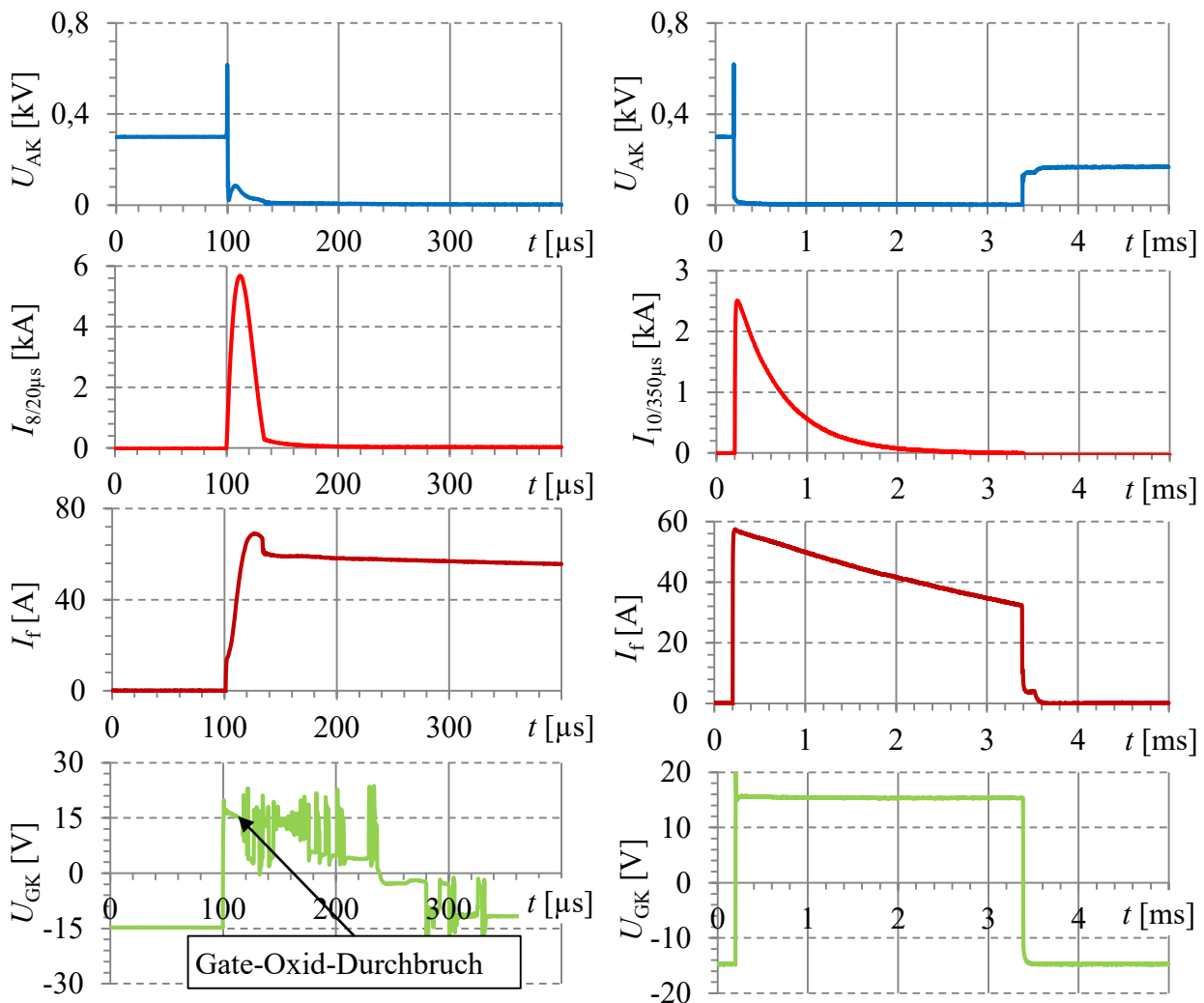


Abb. 6.33: Ableitvorgang eines n-MCTs bei $I_{8/20\mu\text{s}} = 5,7 \text{ kA}$ und $I_{10/350\mu\text{s}} = 2,5 \text{ kA}$

Beide Messungen wurden mit dem in **Abb. 6.20** gezeigten Messaufbau durchgeführt. Hierfür wurden in **Abb. 6.33** die aus **Tab. 6.4** angegebenen Parameter verwendet.

Tab. 6.4: Parameter für die Stoßstromuntersuchungen des n-MCTs in **Abb. 6.33**

$U_{DC} [\text{V}]$	$I_f [\text{A}]$	$R_{Grid} [\Omega]$	$L_{Grid} [\mu\text{H}]$	$C_{Grid} [\mu\text{F}]$	$I_{8/20\mu\text{s}} [\text{kA}]$	$I_{10/350\mu\text{s}} [\text{kA}]$
300	2	5	2	620	5,7	2,5

Der Folgestrom und der Stoßstrom in **Abb. 6.33** wurden wegen des großen Amplitudenunterschiedes jeweils getrennt aufgezeichnet. Bei der Belastung mit einem induzierten Stoßstrom von $I_{8/20\mu s} = 5,7 \text{ kA}$ bricht das Gate-Oxid des ON-MOSFETs aufgrund einer zu hohen thermischen Beanspruchung durch. Der n-MCT ist daraufhin nicht mehr steuerbar und kann den Folgestrom von 60 A nicht abschalten ($U_{AK} = 0 \text{ V}$). Der Defekt aufgrund des Gate-Oxid-Durchbruchs ist bereits aus den Untersuchungen des MOSFETs und des IGBTs bekannt. In dem hier gezeigten Ableitvorgang wurde allerdings nicht mit erhöhten Gate-Spannungen gearbeitet ($U_{GK} = \pm 15 \text{ V}$), wie dies bei den vorangegangenen Stoßstromuntersuchungen von IGBTs und MOSFETs der Fall war. Der Ableitvorgang bei einer direkten Blitzstoßstrombelastung mit $I_{10/350\mu s} = 2,5 \text{ kA}$ konnte hingegen bei gleichen Netzparametern ohne Zerstörung beherrscht werden. Der Netzfolgestrom von 60 A sinkt aufgrund des sich entladenden Netzbufferkondensators $C_{Grid} = 620 \mu\text{F}$ während des Ableitvorgangs auf 30 A. Dies ist der Grund, warum nach dem Ableitvorgang nur gegen eine Netzspannung von 180 V abgeschaltet werden muss.

Bei multiplen Stoßstrombelastungen zeigte sich wie bei IGBTs die zunehmende Schädigung des Gate-Oxides nahe der maximalen Belastung.

Die um 500 A gesteigerte Maximalbelastung zeigte ebenfalls keine für den Überspannungsschutz relevante Erhöhung der Stoßstromtragfähigkeit. Bei allen getesteten MCTs lag nach einer Überlastung ein Kurzschluss des Bauelementes vor. Die Ergebnisse unterscheiden sich daher in ihrer Qualität nicht von den Tests der anderen Halbleiterbauelemente.

6.5.5 Defektbilder des MCTs nach einer Stoßstrombelastung

Abb. 6.34 zeigt die Defekte eines n-MCTs nach einer Stoßstrombelastung von $I_{8/20\mu s} = 8 \text{ kA}$. Dargestellt sind Aufschmelzungen um die Bonddrahtfußpunkte, wie dies von Dioden und IGBTs bekannt ist. Bei Bonddrähten, die nahe am Bondpad des Gates lagen, zeigten sich die größten Aufschmelzungen. Dies liegt an der asymmetrischen Stromaufteilung während des Einschaltvorgangs. Chipbereiche, die weiter vom Gate-Bondpad entfernt liegen, werden wegen des internen Gate-Widerstandes, der mit der Entfernung vom Bondpad steigt, später eingeschaltet. Somit konzentriert sich der Stoßstrom zu Beginn in den Chipbereichen nahe des Gate-Bondpads.

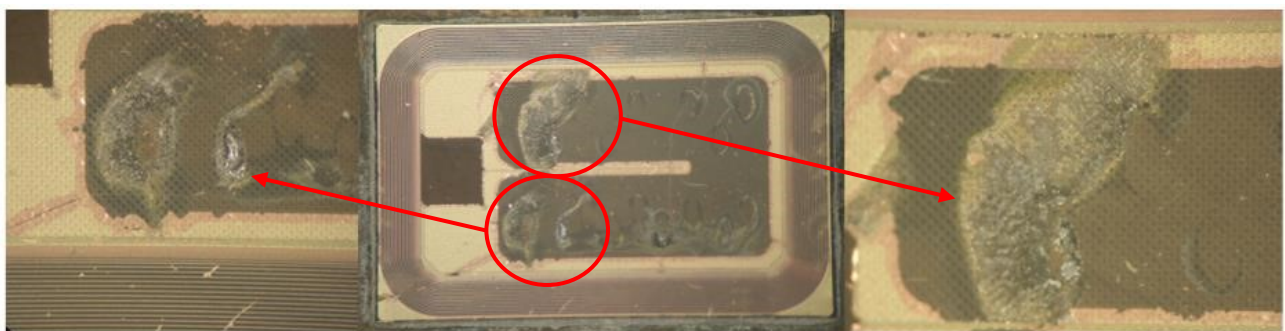


Abb. 6.34: Defektbilder eines n-MCT ($U_{RRM} = 1,5 \text{ kV}$, $I_{TSM} = 15,5 \text{ kA}$ für $1 \mu\text{s}$) nach einer Stoßstrombelastung $I_{8/20\mu s} = 8 \text{ kA}$

Neben den bekannten Aufschmelzungseffekten um den Bondfußpunkt sind ausgehend von den Bonddrähten Risse im Chip zu erkennen. Bei den starken thermischen Belastungen führt die damit einhergehende lokale Ausdehnung des Chips zu mechanischen Spannungen. Diesen kann der Chip nicht standhalten, was zu den gezeigten Rissen führt.

6.5.6 Erkenntnisse und Schlussfolgerungen

Die nachfolgende Aufzählung der Eigenschaften von MCTs gibt einen Überblick der in Überspannungsschutzanwendungen zu beachtenden Randbedingungen:

1. Beim Einsatz von MCTs im Überspannungsschutz ist analog zu MOSFETs und IGBTs ein zusätzliches active clamping notwendig, um geeignete Schutzpegel in den jeweiligen Nennspannungsbereichen zu erzielen
2. MCTs weisen aufgrund ihres guten Durchlassverhaltens eine hohe Stoßstromtragfähigkeit auf
3. Das Abschaltvermögen von MCTs sinkt mit steigender Temperatur und damit auch mit steigender Stoßstrombelastung
4. Der typische Defekt des MCTs während einer Stoßstrombelastung ist der Gate-Oxid-Durchbruch, nahe der maximalen Stoßstrombelastbarkeit
5. MCTs zeigen keine für den Überspannungsschutz relevante Erhöhung ($> 500 \text{ A}$) der Stoßstromtragfähigkeit bei einmaliger Maximalbelastung ohne Vorbelastung
6. MCTs zeigen das Ausfallverhalten „fail short“ (Kurzschluss)

Unter Berücksichtigung dieser Randbedingungen ist ein Einsatz von MCTs im Überspannungsschutz möglich.

6.6 Gesamtheitliche Bewertung der Halbleiteruntersuchungen

Für den Einsatz von Leistungshalbleitern im Überspannungsschutz ist das Ableitvermögen eine wichtige Eigenschaft, die den Einsatzbereich eines möglichen SPDs stark beeinflusst. **Tab. 6.5** zeigt daher eine Zusammenfassung der mit diskreten Bauelementen aus **Tab. 6.1**, d.h. Bauelemente als Einzel-Chip in gehäuseter Ausführung oder auf DCB-Substrat, erreichten Stoßstromtragfähigkeiten. Weiterhin sind neben der Stoßstromtragfähigkeit die wichtigsten Eigenschaften der einzelnen Bauelemente aufgelistet, welche den Einsatz im Überspannungsschutz bestimmen. Die in **Tab. 6.5** gezeigten Ableitvermögen sind im Vergleich zu Standardbauelementen wie GDTs, FS und MOVs relativ gering und liegen im Bereich von typischen Typ-3-Ableitern zum Schutz von elektronischen Eingangsbeschaltungen. Ein reiner Austausch der Standardkomponenten durch Leistungshalbleiter bei gleichbleibenden Schutzkonzepten ist daher technisch und wirtschaftlich nicht sinnvoll.

Damit Halbleiterbauelemente ihre Stärken, wie schnelles und gezieltes Schaltverhalten, niedrige Schutzpegel und Bewertung von transienten Ereignissen, in AC- und DC-Netzen ausspielen können, ist ein Überdenken der heute gängigen Schutzkonzepte notwendig. Im Nachfolgenden sollen daher Überspannungsschutzanwendungen präsentiert werden, die die Eigenschaften von Halbleitern gezielt ausnutzen und dadurch Schutzlösungen realisieren, die mit heutigen Standardbauelementen nicht realisierbar sind.

Tab. 6.5: Zusammenfassung und Bewertung der erreichten Parameter von den Leistungshalbleitern aus **Tab. 6.1**

Bauelement	Ableitvermögen		Wichtige Eigenschaften für den Überspannungsschutz
	$I_{8/20\mu s}$	$I_{10/350\mu s}$	
Diode $U \leq 1,2 \text{ kV}$ $I_n \leq 75 \text{ A}$	$< 16 \text{ kA}$	$< 8 \text{ kA}$	<ul style="list-style-type: none"> - Beeinflussung des Schutzpegels U_p durch U_{FRM} bei niedrigen Nennspannungen ($U_n < 50 \text{ V}$) - Gute Durchlasseigenschaften - Reduktion des Ableitvermögens mit der Sperrspannung - Alterung der Aufbau- und Verbindungstechnik bei multiplen Belastungen - Rein passives Bauelement
Thyristor $U \leq 1,7 \text{ kV}$ $I_n \leq 110 \text{ A}$	$< 6 \text{ kA}$	$< 4 \text{ kA}$	<ul style="list-style-type: none"> - Beeinflussung des Schutzpegels U_p bei niedrigen Nennspannungen durch U_{FRM} - Gute Durchlasseigenschaften - Limitierung der Stoßstromtragfähigkeit durch die Zündausbreitungsgeschwindigkeit - Reduktion des Ableitvermögens mit der Sperrspannung - Kann nicht aktiv ausgeschaltet werden
IGBT $U \leq 1,7 \text{ kV}$ $I_n \leq 550 \text{ A}$	$< 5 \text{ kA}$	$< 3 \text{ kA}$	<ul style="list-style-type: none"> - Schnell einschaltbar mit positiver Wirkung auf U_p - Beeinflussung des Schutzpegels U_p durch U_{CEdyn} - Gute Durchlasseigenschaften im Sättigungsbereich - Entsättigung bei zu hohen Strombelastungen - Gate-Oxid-Durchbruch bei Steigerung der Gate-Spannung zur Stoßstromerhöhung - Reduktion des Sperrvermögens nach hoher Stoßstrombelastung
MOSFET $U \leq 1,2 \text{ kV}$ $I_n \leq 230 \text{ A}$	$< 2 \text{ kA}$	$< 1 \text{ kA}$	<ul style="list-style-type: none"> - Sehr schnell einschaltbar (positive für U_p) - Beeinflussung des Schutzpegels U_p durch ohmsches Durchlassverhalten (R_{DSon}) - Hohe Verlustleistung durch R_{DSon} - Sättigung bei zu hohen Stoßstrombelastungen - Durchbruch des Gate-Oxides bei Steigerung der Gate-Spannung zur Stoßstromerhöhung - Reduktion des Ableitvermögens mit steigender Sperrspannung
MCT $U \leq 1,5 \text{ kV}$ $I_n \leq 400 \text{ A}$	$< 12 \text{ kA}$	$< 6 \text{ kA}$	<ul style="list-style-type: none"> - Schnell einschaltbar mit positiver Wirkung auf U_p - Hohe Stoßstromtragfähigkeit aufgrund guter Durchlasseigenschaften - Kein entsättigendes Verhalten - Gate-Oxid-Durchbruch bei Stoßstrombelastung - Reduzierte Abschaltfähigkeit nach Impulsbelastung durch deren Erwärmung

7. Schutzkonzepte auf Basis gesteuerter Längs- und Querimpedanzen

Basierend auf den vorangegangenen Untersuchungen der Halbleiterbauelemente soll an dieser Stelle ein Überblick möglicher Anwendungen von Halbleitern im Überspannungsschutz vorgestellt werden. Die Anwendung von Leistungshalbleitern als ausschließliches Ableitelement oder in Kombination mit konventionellen Überspannungsschutzbauelementen ist aufgrund der reduzierten Stoßstromtragfähigkeit gegenüber Standardbauelementen nur bedingt vorteilhaft. Ausführungsbeispiele sind in [77], [89], [90], [91] und [92] gegeben. Als Kombination mit Standardbauelementen, z.B. als Trigger- oder Löschhilfe für Funkenstrecken, ist die Anwendung von Halbleitern im Überspannungsschutz Stand der Technik. Mögliche Ausführungsbeispiele für eine Kombination mit Funkenstrecken oder Gasableitern sind in [10], [93], [94], [95] und [96] beschrieben.

Die genannten Ausführungsbeispiele beziehen sich auf die bekannten Schutzkonzepte, wie das in **Abb. 5.3** gezeigte, des Grob- und Feinschutzes oder auf die in [28] genannten Konzepte zum Schutz von Niederspannungsanlagen. Eine Erweiterung des Schutzkonzeptes beziehungsweise des Funktionsumfanges von SPDs ist nicht vorgeschlagen. Dies ist mit dem Konzept der gesteuerten Quer- und Längsimpedanzen, wie in **Abb. 7.1** dargestellt, möglich.

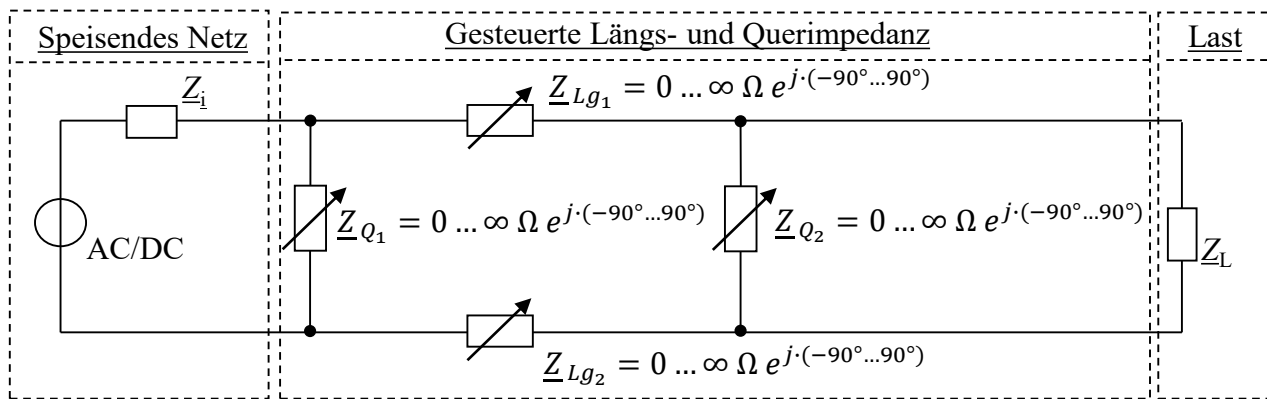


Abb. 7.1: Schutzkonzept auf Basis von gesteuerten Längs- und Querimpedanzen

Im idealisierten Konzept ist jede Längs- und Querimpedanz zwischen 0 und ∞ sowohl kapazitiv als auch induktiv mit unendlich schneller Dynamik regelbar. Die Anordnung der Impedanzen kann als Längsglied im Hinleiter oder Rückleiter sowie als Querglied quellenseitig oder lastseitig erfolgen. Mit diesem Konzept ist ein umfassender Schutz vor Überspannungen möglich. Es können beliebig hohe Stoßströme bei perfektem Schutzpegel abgeleitet werden. Temporäre Überspannungen sind durch eine induktive oder kapazitive Spannungsteilung verlustlos ausregelbar. Es treten keine Durchlassverluste im Schutzelement auf. Weiterhin können beliebig hohe Folgeströme in AC- und DC-Netzen beherrscht werden.

Die in **Abb. 7.1** gezeigten Impedanzen sind ideale Ersatzschaltungen, die so in der Realität nicht existieren. Mit Halbleitern können jedoch diskrete Zustände einfach realisiert werden. Hierzu zählen folgende Betriebsmodi:

- k_1 Hochohmiger Zustand ($|\underline{Z}|$ im Bereich von $M\Omega$) im ausgeschalteten Zustand des Leistungshalbleiters bis zur maximalen Sperrspannung
- k_2 Niederohmiger Zustand ($|\underline{Z}|$ im Bereich von $m\Omega$) im eingeschalteten Zustand des Leistungshalbleiters mit den bekannten Durchlasseigenschaften
- k_3 Linearbetrieb des Halbleiters mit $|\underline{Z}| = R_{cl} = U_{cl}/I_{cl}$ mit $U_{cl} \approx \text{konstant}$
- k_4 Zu- oder Abschalten einer definierten ohmsch-induktiven oder ohmsch-kapazitiven Impedanz von $\underline{Z} = |\underline{Z}| \cdot e^{\pm j \cdot \varphi}$

Dies führt zur Ausführung in **Abb. 7.2** mit der erwähnten Diskretisierung der Quer- und Längsimpedanzen.

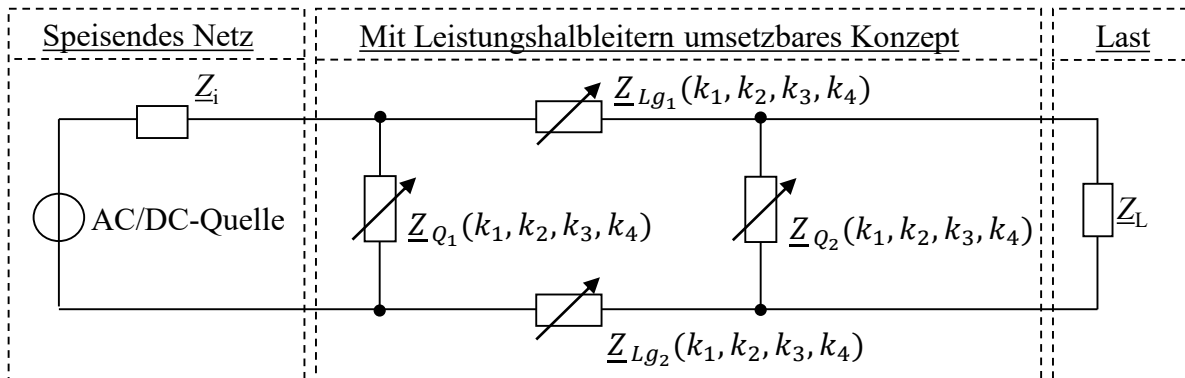


Abb. 7.2: Mit Halbleitern realisierbares Schutzkonzept der gesteuerten diskreten Längs- und Querimpedanzen

Durch die Beschränkung auf vier diskrete Zustände kann mit Hilfe der aus der Kombinatorik bekannten Produktregel die Anzahl an Zustandsmöglichkeiten, die mit Halbleitern in diesem Konzept erreichbar sind, errechnet werden:

$$N = n^k = n_{Q1} \cdot n_{Q2} \cdot n_{Lg1} \cdot n_{Lg2} = 4^4 = 256 \quad (7.1)$$

Vergleicht man dies mit den Möglichkeiten des Schutzkonzeptes (Grobschutz $\underline{Z}_{Grob.}(k_1, k_2)$, Entkopplung $\underline{Z}(k_4)$, Feinschutz $\underline{Z}_{Grob.}(k_1, k_3)$) aus **Abb. 5.3** oder mit Einzelableitern (Funkenstrecke $\underline{Z}_{Grob.}(k_1, k_2)$, MOV $\underline{Z}_{Grob.}(k_1, k_3)$), wird allein aus den Zustandsmöglichkeiten des Schutzkonzeptes deutlich, wie umfassend die Schutzlösung auf Halbleiterbasis mit gesteuerten Längs- und Querimpedanzen ist.

$$N_{SPD} = 2 \quad ; \quad N_{Gob.Ent.Fein.} = n_{Grob.} \cdot n_{Ent.} \cdot n_{Fein.} = 2 \cdot 1 \cdot 2 = 4$$

Im Nachfolgenden soll nun das abstrakte Konzept der gesteuerten Längs- und Querimpedanzen auf konkret entwickelte Schutzlösungen mittels Leistungshalbleitern angewandt werden. Hierzu wird der Stand der Technik präsentiert und im Weiteren auf die Vorteile einer auf Leistungshalbleitern basierenden Lösung eingegangen. Die technischen Vorteile, die sich durch Halbleiter ergeben, sollen hierbei bewertet und analysiert werden.

Aus den vorgestellten Schutzkonzepten wird jeweils eines für AC- und eines für DC-Anwendungen für die Realisierung ausgewählt. Hierbei sollen die Konzepte mit dem höchsten zusätzlichen Nutzen für den Überspannungsschutz zur Realisierung kommen.

7.1 Übersicht der mit Leistungshalbleitern möglichen Schutzkonzepte

Mit dem gezeigten allgemeinen Schutzkonzept auf Basis gesteuerter Längs- und Querimpedanzen ist eine Vielzahl von neuartigen Überspannungsschutzanwendungen realisierbar. Um eine bessere Einordnung der Konzepte zu ermöglichen, sei an dieser Stelle in **Abb. 7.3** eine Übersicht ausgewählter Konzepte dargestellt.

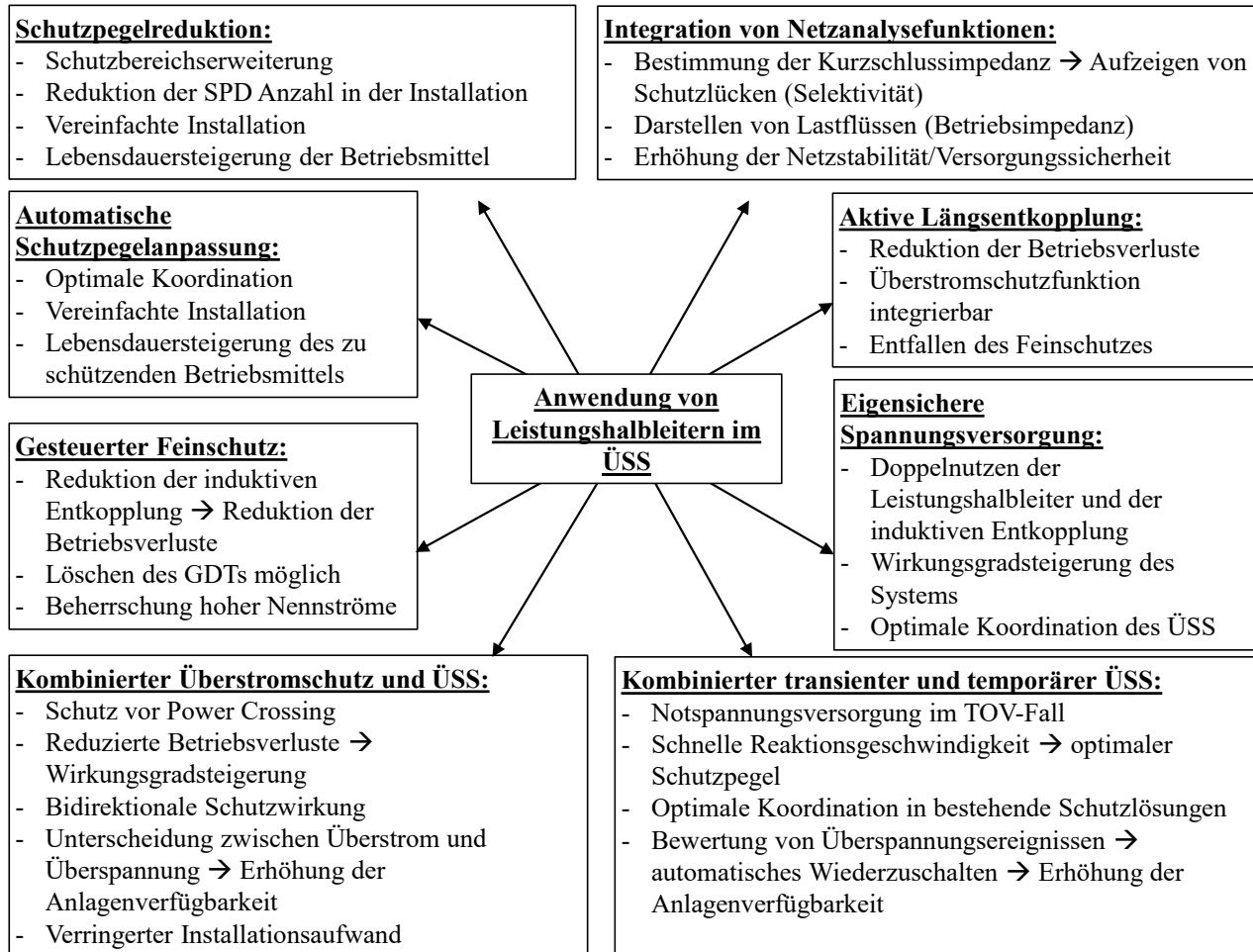


Abb. 7.3: Übersicht der Anwendungsmöglichkeiten von Leistungshalbleitern in Überspannungsschutzanwendungen (ÜSS)

Im Nachfolgenden wird nun auf die einzelnen Schutzkonzepte genauer eingegangen.

7.2 Schutzpegelreduktion durch Leistungshalbleiter im Querglied

Heutige SPDs, welche mit FS oder MOVs aufgebaut werden, haben die in **Kap. 5** genannten Nachteile, wie das steilheitsabhängige Einschalten oder hohe Durchlassspannungen während einer Stoßstrombelastung. Diese Nachteile können mit dem Einsatz von Leistungshalbleitern umgangen werden. **Abb. 7.4** zeigt hierzu zwei Lösungen aus [7] und [9], jeweils für das AC-Netz und das DC-Netz. Im DC-Netz ist ein einzelner Transistor IGBT₃ mit einer Freilaufdiode D_{F3} als SPD dargestellt. Hierbei übernimmt der Transistor positive und die Freilaufdiode negative Stoßströme. Über die TVS-Diode TVS₂ zwischen Kollektor und Gate kann der Schutzpegel eingestellt werden. Für die Ausführung im AC-Netz ist das Schaltungskonzept um einen antiseriellen Transistor und eine Freilaufdiode zu erweitern. Dies ermöglicht die Sperrspannungsaufnahme in beide Richtungen.

Das active clamping übernimmt bei beiden Varianten zu Beginn des Impulses die Ansteuerung der Transistoren bis der Mikrocontroller (μC) diese aktiv einschaltet.

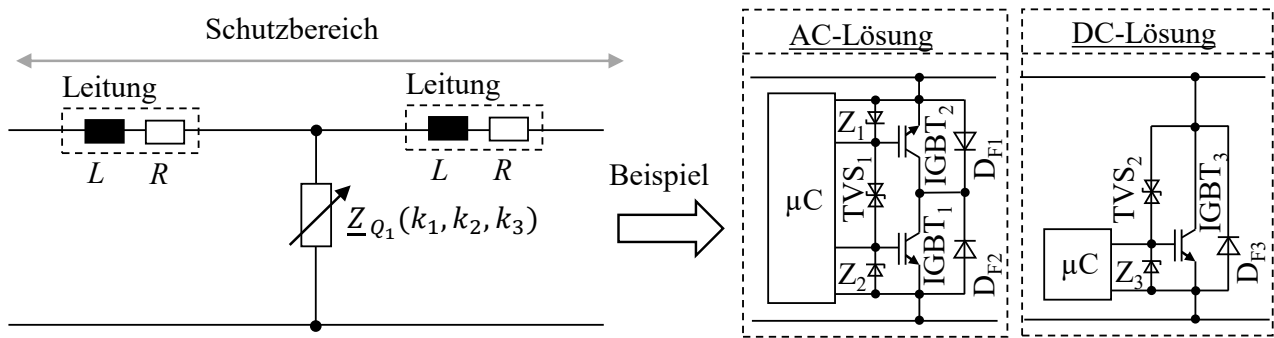


Abb. 7.4: Konzept zum Erreichen niedriger Schutzpegel auf Basis von [7] und [9]

7.2.1 Einfluss des Schutzpegels auf den Schutzbereich

Durch das gezeigte Schaltungskonzept sind über das active clamping sehr niedrige Schutzpegel ohne Längsentkopplungen zu erreichen, welche in dieser Form mit MOVs und FS nicht möglich sind. Dies erweitert den Schutzbereich, welcher in **Abb. 7.4** links angedeutet ist. Abhängig von der Spannungssteilheit du/dt und der Ausbreitungsgeschwindigkeit v einer eintreffenden Stoßspannung kann der Schutzbereich l_s eines SPDs nach [25] wie folgt berechnet werden:

$$l_s = \frac{U_{Lmax} - U_p}{2 \cdot \frac{du}{dt}} \cdot v \quad (7.2.1)$$

Wie groß der Einfluss des Schutzpegels ist, macht die Beispielrechnung in **Tab. 7.1** deutlich. Während bei einem herkömmlichen SPD mit einem Schutzpegel von $U_p = 1,5$ kV nur ein Schutzbereich von $l_s = 4,5$ m zu erzielen ist, kann mit einem Halbleiter-SPD mit $U_p = 0,65$ kV bereits ein Schutzbereich von $l_s = 12,2$ m realisiert werden.

Tab. 7.1: Beispielrechnung für die Auswirkung des Schutzpegels auf den Schutzbereich (Lichtgeschwindigkeit $c = 300$ m/ μs)

U_p [kV]	U_{Lmax} [kV]	du/dt [kV/ μs]	v [m/s]	l_s [m]
1,5	2	8,33	$c/2$	4,5
0,65	2	8,33	$c/2$	12,2

Auf die Auslegung von Schutzkonzepten in der Niederspannung hat dies einen großen Einfluss. Um eine Installation mit derselben Ausdehnung zu schützen, ist die Zahl der zu installierenden SPDs bei Halbleiterlösungen deutlich geringer als bei Standard-SPDs.

7.2.2 Anwendung des Konzeptes in DC-Netzen

Die in **Abb. 7.4** vorgestellte Schutzlösung für DC-Netze bietet Parameter mit denen moderne DC-Netze geschützt werden können. Zur Verdeutlichung der Schutzproblematik in DC-Netzen, welche sich beim Einsatz von Standardkomponenten ergibt, wurden mit dem Simulationsmodell aus **Abb. 4.5** drei Ableitvorgänge eines induzierten Überspannungsereignisses mit einem MOV basiertem SPD, einem FS basiertem SPD und Halbleiter basiertem SPD simuliert und in **Abb. 7.5** dargestellt. Hierbei ist links der Ableitvorgang einer Funkenstrecke (FS), mittig der eines Varistors und rechts der eines Halbleiter-SPDs (HL) bei gleicher Belastung zu erkennen. Die verwendeten Simulationsparameter sind in **Tab. 7.2** gegeben.

Tab. 7.2: Parameter für die Simulation und Gegenüberstellung von Ableitvorgängen in DC-Netzen nach [12]

Netzparameter					
U_{DC} [V]	C_{out} [μF]	P_n [kW]	I_n [A]	R_L [Ω]	I_{max} [A]
± 400	33	5	12,5	100	1,5· I_n
Leitungsparameter					
l [m]	A [mm²]	L' [nH/m]	C' [pF/m]	R' [mΩ/m]	
10	1,5	277	41,5	12,1	
SPD-Parameter					
MOV		FS		HL	
$I_{8/20\mu s}$ [kA]	U_{mA} [V]	$I_{8/20\mu s}$ [kA]	U_{ag} [V]	$I_{8/20\mu s}$ [kA]	U_{cl} [V]
10	600	10	600	10	500

Der Installationsort des Ableiters befand sich hierbei immer direkt parallel zu dem Stützkondensator C_{out} am Ausgang des DC/DC-Wandlers, wie in **Abb. 4.1** ersichtlich. Die Einkopplung des Stoßstromes erfolgte parallel zur Last und wurde mit einer Amplitude von $I_{8/20\mu s} = 10$ kA simuliert, was nach **Kap. 4** der maximal zu erwartenden induzierten Stoßstrombelastung in DC-Netzen entspricht.

Der Ableitvorgang des Varistors, in **Abb. 7.5** mittig, zeigt eine maximale Spannungsamplitude von $U_p = 1$ kV positiv und 680 V negativ. Dies hat eine hohe dynamische Belastung des Netzkondensators zur Folge, was mit dem in grün dargestellten Stromverlauf durch den Kondensator ersichtlich wird. Während der positiven Halbwelle wird der Kondensator mit ca. 4 kA belastet und während des negativen Stoßstromanteils mit ca. 2 kA. Diese hohen Amplituden können bereits zum Defekt des Kondensators führen. Weiterhin ist die hohe positive und negative Spannungsbelastung für die im DC/DC-Wandler verbauten Halbleiter eine enorme Beanspruchung. Bei der hier verwendeten Netzspannungsklasse von 380 V bietet sich der Einsatz von Halbleitern mit einer Sperrspannung von 650 V im Wandler an. Diese wären mit einem MOV und einem Schutzpegel von 1 kV nicht mehr zu schützen. Weiterhin würden bei einem Wandler mit einer Halbbrücke am Ausgang die darin verbauten Freilaufdioden stark durch die negative Stoßstrombelastung beansprucht. Die Beeinflussung des Ableitvorgangs durch Freilaufdioden oder das active clamping der Transistoren im DC/DC-Wandler wurde in den gezeigten Ableitvorgängen nicht berücksichtigt. Beim Einsatz einer Funkenstrecke stellt sich die Situation etwas günstiger dar. Zwar wird der Netzkondensator durch den Schutzpegel der Funkenstrecke von 1,1 kV während des positiven Stoßstromanteils stärker belastet als beim MOV, es findet jedoch keine negative Belastung statt.

Dies liegt im spannungsschaltenden Verhalten der Funkenstrecke begründet, wodurch während des Stoßstromimpulses und unmittelbar nach dem Ansprechen der FS nur eine sehr geringe Belastung des DC/DC-Wandlers und des Netzkondensators auftritt. Das spannungsschaltende Verhalten der FS bewirkt auch einen Entladestrom des Kondensators, welcher sich im Moment des Einschaltens auf den Stoßstrom addiert. Der Einsatz von Halbleitern im DC/DC-Wandler mit einer Sperrspannung von 650 V wäre auch mit Funkenstrecken wegen des hohen Schutzpegels nicht möglich. Dies könnte mit einem Halbleiter-SPD ermöglicht werden, was im simulierten Ableitvorgang in **Abb. 7.5** rechts gezeigt wird. Der Ableitvorgang ist dem einer Funkenstrecke sehr ähnlich. Aufgrund des rein pegelgesteuerten Ansprechverhaltens (active clamping) von HL-SPDs werden allerdings deutlich niedrigere Schutzpegel erreicht.

Der niedrige Wert von $U_p = 550$ V begrenzt die Spannungsbelastung der Halbleiter im DC/DC-Konverter und die Strombelastung des Kondensators I_{Cout} auf ein Minimum. Weiterhin vorhanden ist der Entladevorgang des Kondensators beim Einschalten des Halbleiter-SPDs.

Auch der negative Anteil des Stoßstromes stellt keine Belastung für die zu schützenden Komponenten dar, da die im HL-SPD verbaute Freilaufdiode diesen kurzschließt.

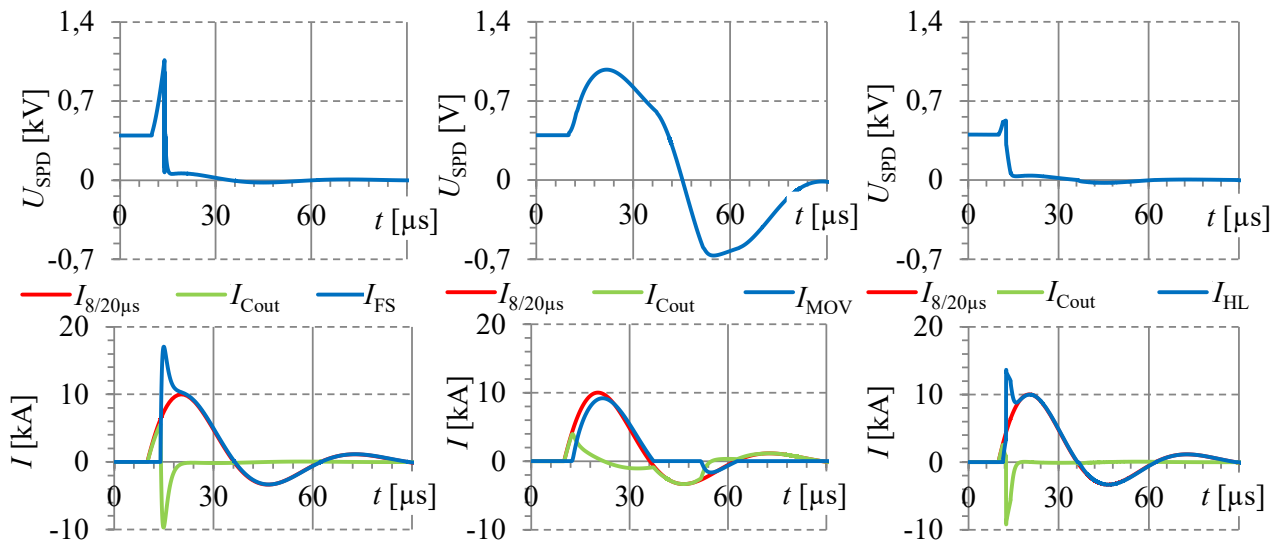


Abb. 7.5: Ableitvorgang einer FS (links), eines Varistors (mittig) und eines HL-SPDs (rechts) im DC-Netz

Während bei Funkenstrecken- und MOV-SPDs ein Einsatz von 1,2 kV-Bauelementen im Wandler nötig ist, könnte durch die Verwendung von einem HL-SPD der Einsatz von 650 V-Halbleitern im DC/DC-Wandler in Betracht gezogen werden. Dies senkt die Anschaffungskosten und außerdem die Betriebskosten aufgrund des besseren Durchlassverhaltens und der daraus resultierenden Wirkungsgradsteigerung des Wandlers.

7.2.3 Integration von Netzanalysefunktionen

Durch die Auswertung der Systemantwort von Schaltvorgängen der Halbleiter im Querglied ist eine Bestimmung der Lastimpedanz und der Kurzschlussimpedanz möglich, wie in [97] gezeigt. Weiterhin kann die Quelldynamik bestimmt werden, wie in [98] vorgeschlagen. Durch die weite Verteilung von HL-SPDs im zu schützenden Netz können durch die Ermittlung der Kurzschlussimpedanz Schutzlücken in der Selektivität des Überstromschutzes sichtbar gemacht werden. Dies ist gerade im Hinblick auf immer volatilere Netze mit teils reduzierter Kurzschlussleistung wichtig. Die Ermittlung der Lastimpedanzen mit Hilfe von HL-SPDs lässt Rückschlüsse auf Energieflüsse zu. Diese Information wird z.B. von Netzbetreibern benötigt, um einen stabilen Netzbetrieb zu gewährleisten. Eine genauere Kenntnis der Lastimpedanzen am Installationsort des SPDs könnte dazu beitragen, stabilere Netzverhältnisse zu schaffen.

Bewertung des Konzeptes

Durch das aktive Steuern des Quergliedes können die Funktionen, wie niedrige Schutzpegel und Impedanzmessungen, in SPDs implementiert werden. Gerade der niedrige Schutzpegel erschließt SPDs auf Halbleiterbasis Anwendungen in denen konventionelle Bauelemente keine technisch überzeugenden Lösungen bieten können.

Die gezeigten Schaltungskonzepte unterscheiden sich nicht stark von den in [91] und [92] genannten. Als neu zu bewerten ist die Implementierungsmöglichkeit von Netzanalysefunktionen in SPDs basierend auf den Überlegungen in [97]. Die an dieser Stelle gezeigten Konzepte sollen nicht als eigenständige Schutzlösung realisiert, sondern in die in **Kap. 8** und **Kap. 9** beschriebenen integriert werden.

7.3 Automatische Schutzpegelanpassung

Heutige SPDs werden immer für eine spezielle Netzform ausgelegt, d.h. für ein maximales Ableitvermögen, mit einem definierten Schutzpegel, für einen definierten maximalen Folgestrom I_f , usw. Dies hat eine große Variantenvielfalt an SPDs zur Folge, welche in der Praxis den optimalen Schutz für eine spezielle Anwendung bieten soll. Nachteilig ist, dass durch das anwendungsspezifische unflexible Design nicht auf sich ändernde Netzverhältnisse reagiert werden kann. Weiterhin muss in der Anwendung darauf vertraut werden, dass die verwendeten Schutzkomponenten zueinander koordiniert sind, d.h. die in Endgeräten verbauten Schutzkomponenten, wie Varistoren und TVS-Dioden, dürfen keine Ansprechspannung besitzen, die unter dem Schutzpegel der installierten SPDs und dem Spannungsabfall der Zuleitung liegt. Dies hätte zur Folge, dass vorgelagerte Ableiter unwirksam werden und der Stoßstrom über den schwach dimensionierten Endgeräteschutz fließt, welcher schnell überlastet ist. Das SPD ist dann nicht zum Endgeräteschutz energetisch koordiniert.

Eine energetische Koordination kann nach [26] z.B. durch genügend lange Leitungen zwischen den Typ 1-SPDs in der Hauptverteilung sowie den Typ 2-SPDs in der Unterverteilung (UV) und den Typ 3-SPDs vor dem Endgerät erreicht werden. Die Leitung wirkt hierbei wie eine ohmsch-induktive Längsentkopplung zwischen den Ableitertypen und dem zu schützenden Endgerät. Allerdings ist in realen Installationen das Einhalten dieser Leitungslängen zwischen den SPDs nicht garantiertbar. Gerade wenn Installationen im Nachhinein erweitert oder geändert werden, wird der Koordination der Überspannungsschutzelemente oft nur wenig Beachtung eingeräumt. Hier bieten Halbleiter-SPDs mit einer automatischen Schutzpegelanpassung die Chance Schutzlücken in der Koordination zu schließen. **Abb. 7.6** zeigt ein mögliches Konzept für die aktive, d.h. durch den μC vorgenommene, automatische Schutzpegelanpassung von SPDs im DC-Netz aus [8].

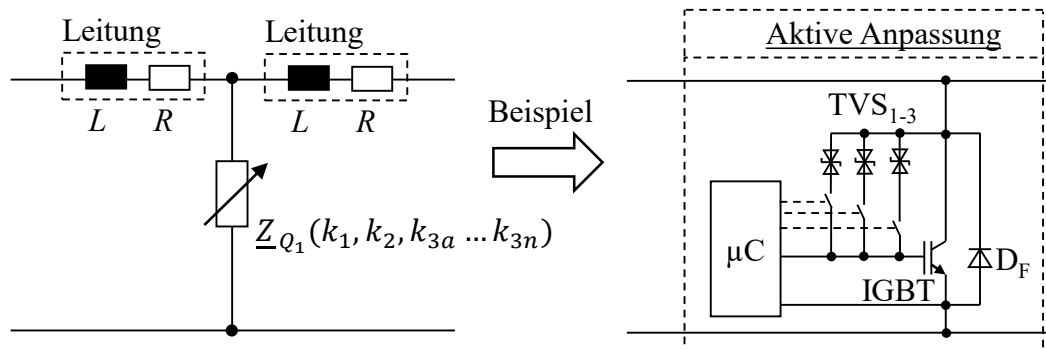


Abb. 7.6: Automatische Schutzpegelanpassung nach [8]

Durch die Auswahl der TVS-Diode zwischen Kollektor und Gate des IGBTs kann das Ansprechverhalten des SPDs geändert werden. Somit ist eine Pegeleinstellung des SPDs abhängig von der jeweiligen Netzspannung möglich. Die Wahl des Schutzpegels knapp über der Netzspannung garantiert eine optimale Koordination des SPDs in der gegebenen Installation sowie die Reduktion der Variantenvielfalt von SPDs im Allgemeinen. Da der erreichbare Schutzpegel mit Halbleiter-SPDs deutlich unter dem von Standardbauelementen wie z.B. von MOVs liegt, ist auch die Gefahr der Überlastung des Endgerätes nicht mehr gegeben. Dies gilt unabhängig von den verwendeten Leitungslängen in der Installation.

Bewertung des Schutzkonzeptes

Das Konzept der automatischen Schutzpegelanpassung bietet viele Vorteile in der Anwendung. Besonders die vereinfachte Installation und die Reduktion der Variantenvielfalt können hier überzeugen. Obwohl die automatische Schutzpegelanpassung starke Vorteile bietet, ist nur eine einzelne Erweiterung des Funktionsumfanges gegeben, da der Halbleiter ausschließlich im Querschaltbetrieb betrieben wird. Aus diesem Grund soll das vorgestellte Konzept in dieser Arbeit nicht weiterverfolgt werden.

7.4 Konzept des gesteuerten Feinschutzes

Heutige Überspannungsschutzkonzepte für Datenanwendungen oder Spannungsversorgungen mit niedrigen Nennspannungen bis 180 V DC arbeiten mit dem vorgestellten Konzept des Grob- und Feinschutzes mit einer Entkopplung, wie in **Abb. 5.3** gezeigt. Erste Erweiterungen des Schutzkonzeptes mit einem Leistungshalbleiter als Feinschutz sind in [99] gegeben, wobei hier ein Thyristor zum Einsatz kommt. Wird anstelle eines Thyristors ein MOSFET oder ein IGBT mit Freilaufdiode als Feinschutzelement eingesetzt, erweitert sich der Einsatzbereich des Schutzkonzeptes stark. **Abb. 7.7** zeigt die Funktionserweiterung durch einen gesteuerten Feinschutz, welcher aktiv ein- und ausgeschaltet werden kann. Im eingeschalteten Zustand besitzt der Transistor während eines Stoßstromereignisses eine deutlich geringere Verlustleistung als spannungsbegrenzende Bauelemente, wie beispielsweise TVS-Dioden. Dies wirkt sich positiv auf die Leistungsfähigkeit des gesamten Schutzkonzeptes aus, da beispielsweise die induktive Entkopplung reduziert werden kann. Weiterhin ist der Einsatz des gesteuerten Feinschutzes zum Löschen des Grobschutzes möglich.

Nach dem Ableitvorgang bleibt der Feinschutz so lange leitend, bis der gesamte Netzfolgestrom, der durch den Grobschutz fließt, über die induktive Längsentkopplung in den Feinschutz kommutiert ist. Dies führt zum Verlöschen des GDTs. Das Funktionsprinzip wird so bei Funkenstreckenableitern im PV-Bereich (Photovoltaik, PV) nach [100] bereits eingesetzt und ist analog zum gesteuerten Feinschutz zu betrachten. Das Löschen des Grobschutzelementes funktioniert solange, wie der Spannungsabfall über dem Feinschutzelement und der Entkopplung kleiner als die Bogenbrennspannung des Grobschutzes ist.

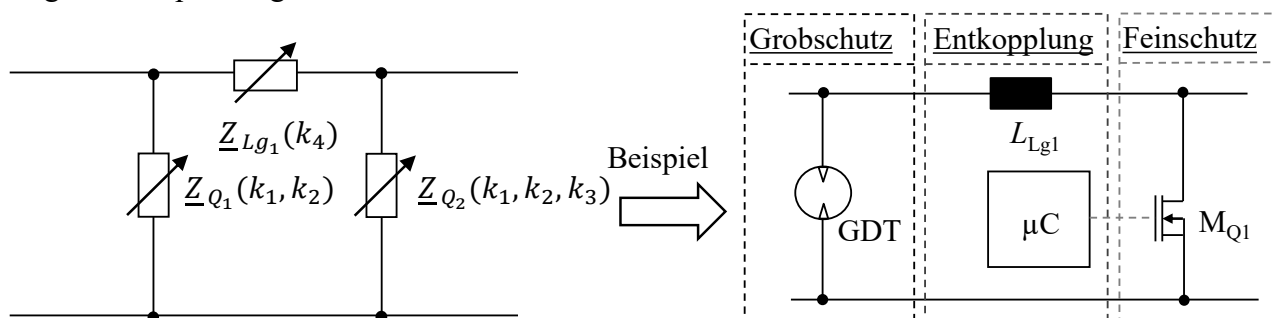


Abb. 7.7: Konzept des gesteuerten Feinschutzes

Die Möglichkeit, den GDT zu löschen und die erhöhte Leistungsfähigkeit des Feinschutzes, welcher zu einer Reduktion der Längsentkopplung eingesetzt werden kann, führt im Vergleich zum Aufbau mit rein passiven Komponenten zu einem Einsatz dieses Schutzkonzeptes bei höheren Nennströmen.

Bewertung des Schutzkonzeptes

Das gezeigte Schutzkonzept stellt eine Erweiterung des bekannten Schutzkonzeptes Grobschutz-Entkopplung-Feinschutz dar. Die Realisierung ist daher einfach möglich.

Die Erweiterung der Funktionalität ist jedoch nicht ausreichend, um einen umfassenden Schutz beispielsweise vor temporären Überspannungen zu bieten. Auch können bekannte Nachteile, wie das steilheitsabhängige Ansprechen des Grobschutzelementes, durch einen gesteuerten Feinschutz nicht beseitigt werden. Letzterer wird im vorgestellten Konzept aus **Kap. 9** in abgewandelter Form eingesetzt, wodurch die genannten Vorteile zur Geltung kommen können.

7.5 Aktive Längsentkopplung

Neben dem gesteuerten Feinschutz ist eine aktive Variante der Längsentkopplung, wie z.B. in [101], [102] oder [103] gezeigt, vorstellbar. Zusätzlich zum Überspannungsschutz ist somit auch ein Schutz vor Kurzschlüssen oder zu hohen Nennströmen möglich. **Abb. 7.8** zeigt die Realisierungsmöglichkeit einer aktiven Längsentkopplung.

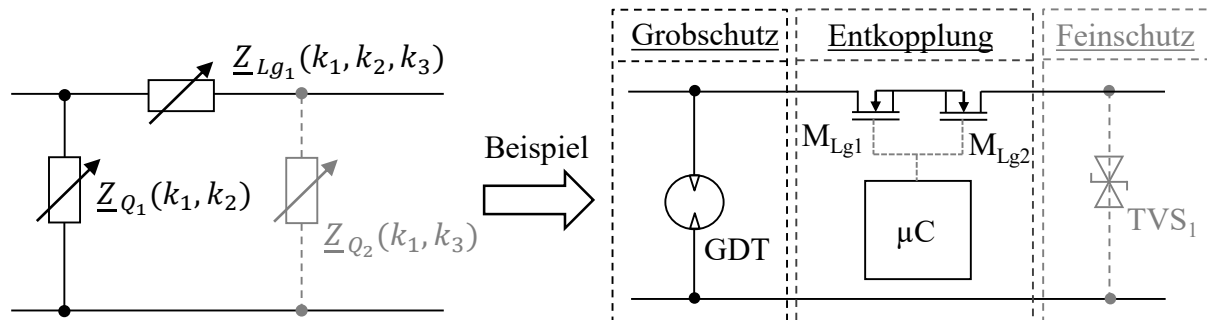


Abb. 7.8: Aktive Längsentkopplung auf Basis von Leistungshalbleitern [6]

Die Anforderungen, die sich hierbei an das aktive Längsglied (Leistungshalbleiter) ergeben, sind:

1. Geringe Durchlassverluste im eingeschalteten Zustand
2. Hohe Sperrspannungsaufnahme im ausgeschalteten Zustand
3. Schnelles Schaltverhalten
4. Geringe Sperrschiebkapazität

Gerade die Forderungen nach geringen Durchlassverlusten und dem Beherrschen hoher Sperrspannungen widersprechen sich bei Halbleiterbauelementen, wie z.B. dem MOSFET.

Durch eine ideale aktive Längsentkopplung wäre der Feinschutz überflüssig. Da die Schaltdynamik von Leistungshalbleitern begrenzt ist und sich auch bei unendlich schnell schaltendem Längselement über die Sperrschiebkapazitäten Überspannungen an der zu schützenden Lastseite aufbauen können, ist ein Feinschutz in der Praxis weiter notwendig.

Bewertung des Schutzkonzeptes

Aus den genannten Gründen bietet die aktive Längsentkopplung in dem bestehenden Schutzkonzept aus **Abb. 7.8** nur geringe Vorteile im Vergleich zu Standard-Schutzlösungen. Einzig die reduzierten Betriebsverluste sind hier zu nennen. Es bleibt die geringe Nennstromstärke aufgrund der Löscheigenschaften des GDTs sowie das dynamische Ansprechverhalten des Ableiters. In einem erweiterten Konzept, wie es in **Kap. 8** vorgestellt wird, kann die aktive Längsentkopplungen ihre Stärken voll ausspielen und kommt daher dort zur Realisierung. Dass das Konzept zukünftig zunehmend Verbreitung finden wird, zeigt sich an ersten kommerziell erhältlichen Bauelementen, wie z.B. der Transient Blocking Unit (TBU) aus [104].

7.6 Eigensichere Spannungsversorgungen

Erweitert man die gezeigten Schaltungskonzepte des gesteuerten Feinschutzes und der aktiven Längsentkopplung, ist der Aufbau von eigensicheren Spannungsversorgungen möglich, wie in [11] vorgestellt. **Abb. 7.9** zeigt die Erweiterung des gesteuerten Feinschutzes um eine Diode D_1 . Hierdurch wird das Schaltbild des Hochsetzstellers (HS) erreicht. Durch eine intelligente Steuerung des Halbleiters M_{Q1} könnte somit eine Funktionserweiterung des Überspannungsschutzes um eine Spannungsversorgung gelingen. Im Normalbetrieb arbeitet die Schaltung als Spannungsversorgung. Im Fall einer transienten Überspannung wird die Schaltung wie ein gesteuerter Feinschutz betrieben. Neben den wirtschaftlichen Vorteilen, die sich durch die Doppelnutzung der Halbleiter als Versorgungs- und Schutzelement ergeben, sind auch ökologisch positive Aspekte zu erwähnen. Die induktive Längsentkopplung wird im Normalbetrieb für die Funktion der Spannungsversorgung benötigt und ist kein zusätzliches störendes passives Längsglied welches Verluste verursacht. Die Verluste können somit reduziert werden, da Sie nur einmal entstehen und nicht wie bei dem getrennten Aufbau der Spannungsversorgung und des Überspannungsschutzes, doppelt, d.h. einmal in der Induktivität der getakteten Spannungsversorgung und zum anderen in der Induktivität der Längsentkopplung.

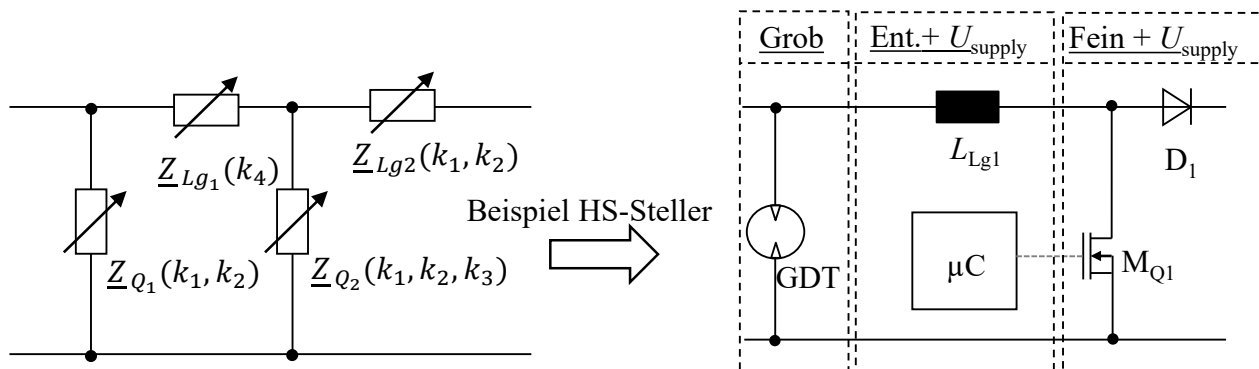


Abb. 7.9: Eigensichere Spannungsversorgung als HS-Steller [11]

Das Konzept aus **Abb. 7.9** ist in vereinfachter Form dargestellt. Für eine Realisierung sind noch weitere Komponenten, wie z.B. die Beschaltung mit Ein- und Ausgangskondensatoren, nötig.

Bewertung des Schutzkonzeptes

Das Konzept der eigensicheren Spannungsversorgung zeigt eine interessante Funktionserweiterung des gesteuerten Feinschutzes. Die Anforderungen, die sich an Leistungshalbleiter im Überspannungsschutz stellen, wie z.B. die hohe Stoßstromtragfähigkeit und daraus folgend große Bauelemente oder die hohe Sperrspannungsfestigkeit, decken sich nicht mit den Anforderungen aus Schaltanwendungen. Bei einer Realisierung wird daher nur eine Kompromisslösung erzielbar sein, die entweder zu Lasten der Leistungsfähigkeit der Spannungsversorgung oder des Überspannungsschutzes geht.

Weiterhin ist die Spannungsversorgung im eigentlichen Sinn keine Schutzeigenschaft, die zur Sicherheit der Installation oder von Lasten und Quellen benötigt wird. Daher passt diese Funktionserweiterung thematisch nicht in die vorliegende Arbeit und soll keine weitere Ausarbeitung erfahren.

7.7 Kombierter Überstrom- und Überspannungsschutz

Heutige Schutzkonzepte setzen auf einen getrennten Aufbau von Überstrom- und Überspannungsschutz, wie **Abb. 7.10** oben zeigt.

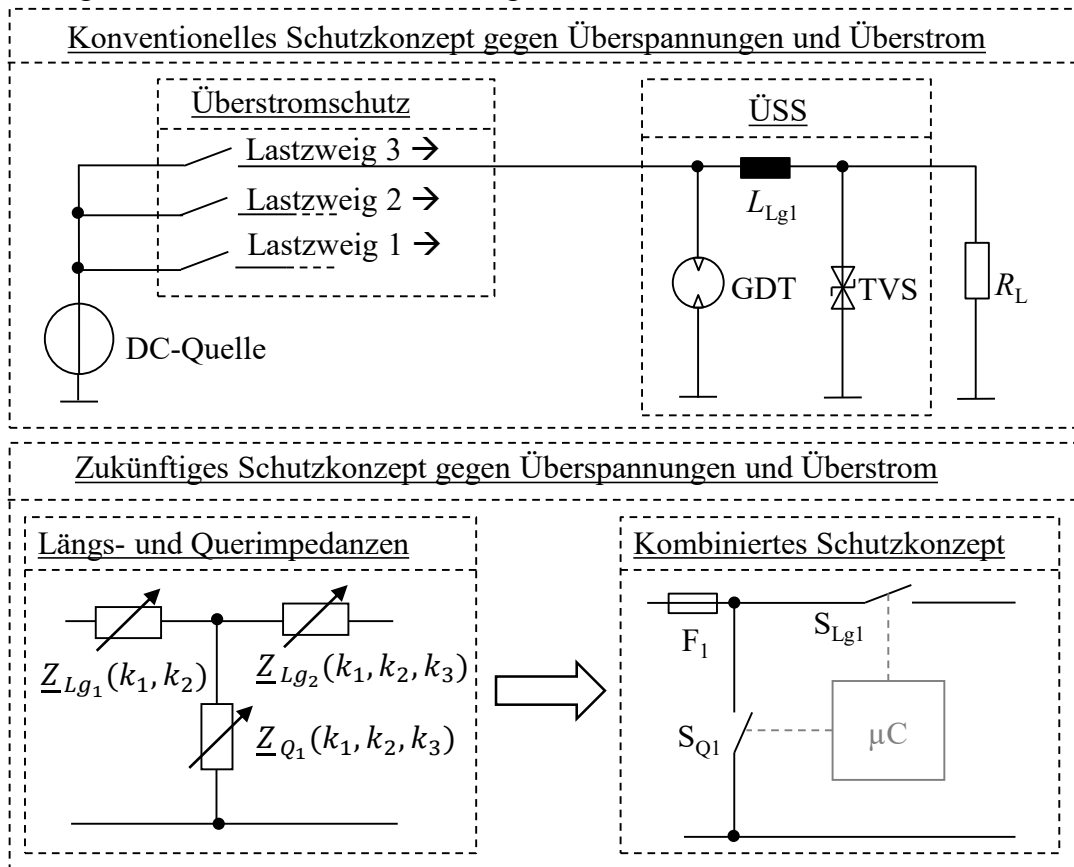


Abb. 7.10: Schutzkonzept gegen Überströme und Überspannungen konventionell (oben) und kombiniert (unten)

Bei der Realisierung des Überstromschutzes werden elektronische Sicherungen mit den in [105] und [106] genannten Eigenschaften eingesetzt. Für den Überspannungsschutz kommt das aus [28] bekannte Schutzkonzept des Grob- und Feinschutzes zum Einsatz. Der getrennte Aufbau der Schutzfunktionen bringt in der Anwendung viele Nachteile mit sich:

1. Induktive Längsentkopplung mit hoher Verlustleistung, was bereits bei niedrigen Nennströmen (z.B. $I_n > 7 \text{ A}$) zu großen Bauformen des SPDs führt
2. Reduzierter Nennstrom durch das Löschvermögen des GDTs
3. Ausfallzeiten durch Fehlauslösungen des Überstromschutzes bei Überspannungen und daraus resultierende reduzierte Anlagenverfügbarkeit
4. Geschützte und ungeschützte Bereiche (unidirektionaler Schutzbereich) des SPDs durch das Konzept des Grob- und Feinschutzes

Durch eine Kombination des Überspannungsschutzes mit dem Überstromschutz auf Basis von Leistungshalbleitern, wie in [6] vorgestellt und in **Abb. 7.10** unten ersichtlich, können diese Nachteile ausgeräumt werden. Weiterhin kann der Schutzgedanke erweitert werden, d.h. durch die aktive Steuerung des Längs- und Quergliedes ist ein Schutz vor temporären Überspannungen im DC-Netz möglich, was mit bisherigen Schutzlösungen nicht realisierbar war.

Ferner kann mit einem voll elektronischen Überspannungs- und Überstromschutz das Feinschutzelement entfallen, da durch Leistungshalbleiter im Querspfad sehr niedrige Schutzpegel erreicht werden können.

Im heutigen getrennten Aufbau von Überstrom- und Überspannungsschutz wird versucht, Ausfallzeiten durch den von Spannungsversorgungen bekannten „Hiccup“-Mode, wie z.B. in [107] beschrieben, zu reduzieren. Hierzu wird nach dem Ansprechen des Überstromschutzes auf die fehlerhafte Anlage zugeschaltet und auf selbstheilende Effekte gehofft. Dieses Vorgehen ist auch aus dem Betrieb von Hochspannungsanlagen bekannt. Die Gefahr einer Verschlimmerung des Fehlerbildes oder sogar die Verursachung von Bränden wird dabei absichtlich zur Erhöhung der Anlagenverfügbarkeit in Kauf genommen. Durch die eindeutige Kategorisierbarkeit von Fehlerzuständen in Versorgungsnetzen mit dem Konzept des gesteuerten Längs- und Quergliedes kann der „Hiccup“-Mode vermieden werden. Die Vorteile des voll elektronischen Schutzkonzeptes lassen sich wie folgt zusammenfassen:

1. Rein pegelgesteuerter Überspannungsschutz, d.h. Schutz gegen transiente Vorgänge unabhängig von ihrer Dynamik
2. Differenzierung von Fehlerfällen im Netz, woraus eine Reduzierung von Ausfallzeiten und eine Erhöhung der Anlagenverfügbarkeit folgt
3. Minimierung von Verlusten durch das Entfallen von Entkopplungselementen und daraus resultierend das Sinken von Betriebskosten
4. Schutz gegen temporäre Überspannungen
5. Schutzbereichserweiterung durch geringe Schutzpegel des Quergliedes
6. Es gibt keinen geschützten und ungeschützten SPD Ein- und Ausgang mehr (bidirektionale Schutzwirkung)

Eine genaue Beschreibung des Konzeptes sowie dessen Qualifizierung erfolgt im **Kap. 8**.

Bewertung des Schutzkonzeptes

Das vorgestellte Schutzkonzept des elektronisch gesteuerten Überstrom- und Überspannungsschutzes zeigt eine Erweiterung des Schutzgedankens gegen temporäre und transiente Fehlerszenarien ohne dabei die Hauptfunktion des Schützens zu verlassen. Durch den Einsatz von Leistungshalbleitern können die Vorteile aus den vorgestellten Konzepten in **Kap. 7.2** und in **Kap. 7.5** integriert werden. Die Vielzahl an Vorteilen, die das Konzept mit sich bringt, bieten einen hohen Mehrwert für Überspannungsschutzanwendungen. Aus diesem Grund soll das Konzept im Rahmen dieser Arbeit realisiert und qualifiziert werden. Dies erfolgt in **Kap. 8**.

7.8 Kombinierte transienter und temporärer Überspannungsschutz

Unter Überspannungsschutz wird vorwiegend der transiente Überspannungsschutz verstanden. Ebenso sind durch Fehlerfälle im Netz auch temporäre Überspannungen möglich, wie **Kap. 3.3** zeigt. Diese sind für Lasten und Quellen gleichermaßen gefährlich und führen zu umfangreichen Beschädigungen und Bränden, wie z.B. in [108] beschrieben. Heutige Schutzlösungen beruhen auf einem getrennten Aufbau von temporärem und transientem Überspannungsschutz, wie in **Abb. 7.11** oben dargestellt ist.

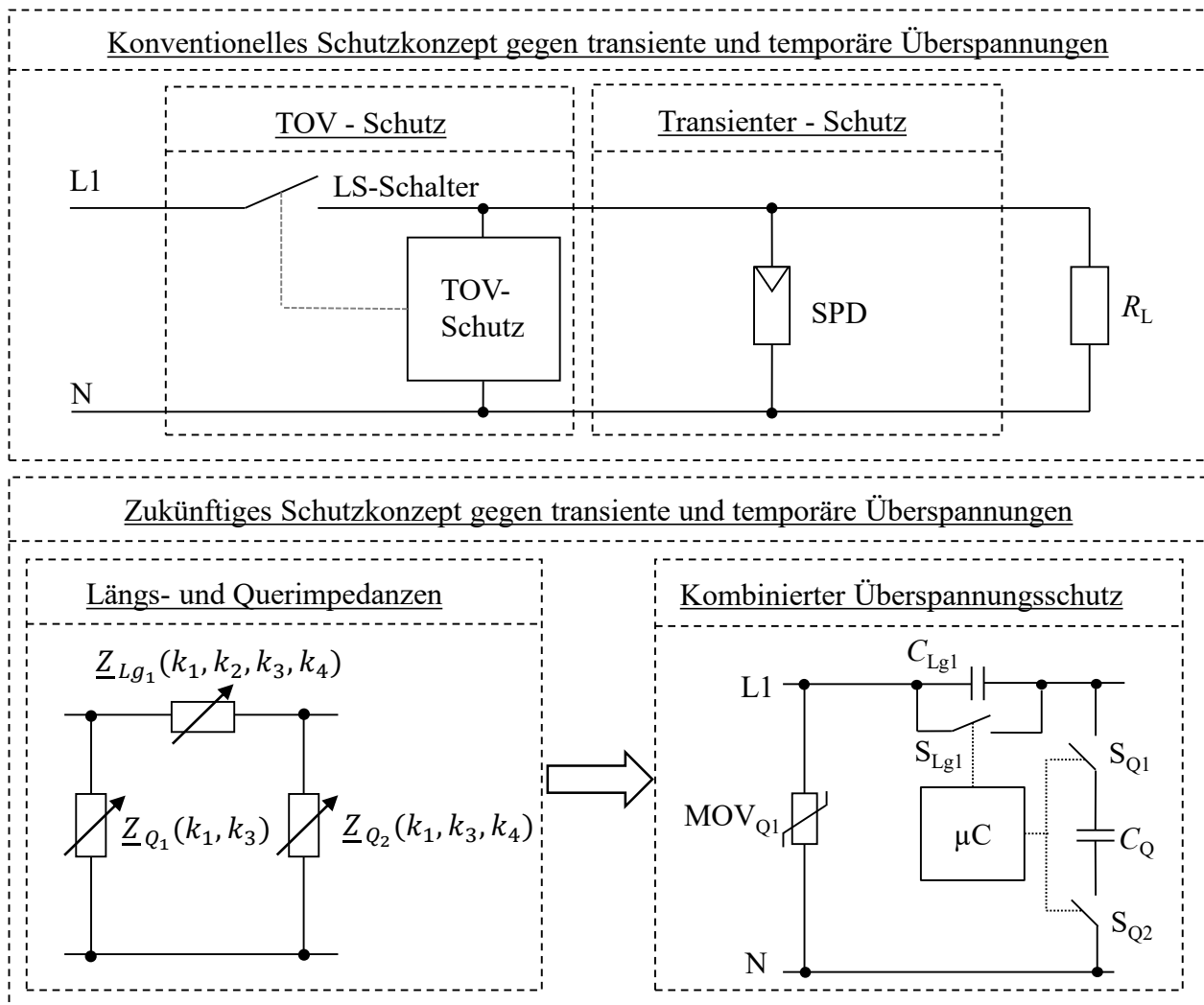


Abb. 7.11: Schutzkonzept gegen transiente und temporäre Überspannungen konventionell (oben) und kombiniert (unten)

Bisherige Schutzkonzepte gegen TOVs in AC-Netzen basieren auf einem Abschalten des Netzes bei TOV. Hierzu werden die verwendeten Schutzorgane, wie LS- oder FI-Schalter herangezogen, um nach definierten Einwirkzeiten von TOVs, welche in [32] genormt sind, abzuschalten. Die standardisierten Abschaltzeiten sind hierbei ein Kompromiss zwischen Anlagenverfügbarkeit und Lastschutz. Sie werden daher beiden Anforderungen nur bedingt gerecht. Beispielsweise zeigen Elektrolytkondensatoren in Schaltnetzteilen bei den in [32] vorgeschriebenen Abschaltzeiten bereits deutliche Beschädigungen oder Zerstörungen. Um die Schutzdynamik bei gleichbleibender Anlagenverfügbarkeit zu erhöhen, sind bereits Schutzkonzepte auf Halbleiterbasis bekannt. In [109] wird eine aktive Längsentkopplung auf IGBT-Basis vorgestellt, die sowohl gegen transiente wie temporäre Überspannungen schützt und nach Abklingen einer Überspannung wieder zugeschaltet werden kann. Eine erste Begrenzung von TOVs, ohne die Last vom Netz zu trennen, ist in [110] und [111] vorgestellt worden. Die Begrenzung von Überspannungen erfolgt hierbei durch den Linearbetrieb der Leistungshalbleiter, wie IGBTs oder MOSFETs.

Der Linearbetrieb kann bei Halbleitern nur für einen sehr begrenzten Leistungsbereich gefahren werden, da sonst eine thermische Überlastung der Bauelemente auftritt. Daher eignen sich diese Schutzlösungen nur für sehr geringe Eingangsspannungsüberhöhungen.

Eine TOV-Begrenzung durch die Kombination von Varistor, Kondensator und Thyristor wird in [91] vorgestellt. Hierbei nimmt der Varistor die gesamte Verlustleistung auf. Dies ist wie bei Leistungshalbleitern nur sehr begrenzt anwendbar.

Eine Möglichkeit, hohe Verlustleistungen zu vermeiden, bietet eine Phasenanschnittsteuerung auf Thyristorbasis, wie in [112] vorgestellt. Hier wird auch ein automatisiertes Wiedereinschalten nach Abklingen von Überspannungen gezeigt, womit die Systemverfügbarkeit im Vergleich zum Stand der Technik aus [32] erhöht wird. Durch die Phasenanschnittsteuerung können allerdings nur wenige Lasten betrieben werden. Beispielsweise würden kleinere Netzteile bis 75 W, die nach [113] und [114] ohne PFC-Stufe (Power Factor Correction) arbeiten, dauerhaft hohe Inrushströme ziehen. Damit erfolgt eine starke Belastung des Netzes mit Oberschwingungen. Weiterhin kann eine thyristorbasierte Lösung keinen Schutz gegen transiente Überspannungen bieten, da Thyristoren nicht aktiv ausgeschaltet werden können. Somit sind Phasenanschnittsteuerungen auf Thyristorbasis nicht als aktive Längsentkopplung geeignet.

Alle bisher gezeigten Schutzlösungen gegen TOV bieten keine oder keine überzeugende Notspannungsversorgung von Lasten während einer temporären Überspannung an. Weiterhin ist kein umfassender Schutz vor transienten und temporären Überspannungen zu erreichen, bei dem die Anlagenverfügbarkeit nicht negativ beeinflusst wird. Der Linearbetrieb von Halbleitern sowie die Phasenanschnittsteuerung sind durch die beschriebenen Nachteile nicht geeignet.

Durch den diskreten Zustand k_4 , d.h. dem Zuschalten einer definierten Impedanz im Längs- und Querpfad, können diese Nachteile ausgeräumt werden. **Abb. 7.11** unten zeigt ein Konzept eines kombinierten transienten und temporären Überspannungsschutzes auf Basis einer gesteuerten kapazitiven Längs- und Querimpedanz. Mit diesem Konzept können alle Vorteile von Halbleiterlösungen vereint werden:

1. Schutz gegen transiente wie temporäre Überspannungen
2. Verlustleistungsfreie Spannungsversorgung während temporärer Überspannungen durch einen kapazitiven oder induktiven Spannungsteiler, ohne gegen Forderungen aus [1] zu verstoßen
3. Automatisiertes Wiedereinschalten nach Abklingen von temporären und transienten Überspannungen
4. Erreichen hoher Schaltdynamiken bei temporären und transienten Überspannungen
5. Erreichen sehr niedriger lastseitiger Schutzpegel

Bewertung des Schutzkonzeptes

Das vorgestellte Schutzkonzept des kombinierten transienten und temporären Überspannungsschutzes auf Halbleiterbasis vereint viele Vorteile von aktuellen Standardlösungen und bekannten Halbleiter basierten Schutzlösungen. Durch das Ausregeln von TOVs auf Basis von Längs- und Querimpedanzen kann eine verlustleistungsarme Notspannungsversorgung während einer TOV erreicht werden. Dies ist mit bekannten Ausführungen bisher nicht möglich. Durch die Vereinigung der genannten Vorteile stellt das gezeigte Konzept eine bedeutende Erweiterung des bisherigen Überspannungsschutzgedankens dar. Deshalb soll es im **Kap. 9** näher ausgearbeitet werden und zur Realisierung kommen.

8. Kombierter Überspannungs- und Überstromschutz in DC-Netzen

Das Schutzkonzept des kombinierten Überstrom- und Überspannungsschutzes wurde in **Kap. 7.7** vorgestellt. **Abb. 8.1** links zeigt nun eine erste realisierte Variante mit der rechts in dargestellten detaillierten Schaltungsanordnung. Der quellenseitige Eingang ist in **Abb. 8.1** links und der lastseitige Ausgang rechts abgebildet. Für die Realisierung wurden die in **Tab. 8.1** angegebenen Leistungshalbleiter verwendet. Die Ansteuerung der Leistungshalbleiter wurde hierbei über einen Treiber mit galvanischer Isolation Tr_{galv} und einen High-Side Treiber Tr_{HS} realisiert.

Tab. 8.1: Verwendete Leistungshalbleiter für das kombinierte Schutzkonzept

Einbauort	Bauelement	Bauteileigenschaften
Längselement	MOSFET	$U_{\text{DS}} = 100 \text{ V}$, $U_{\text{GS(th)}} = 2 - 4 \text{ V}$, $I_{\text{D}} = 80 \text{ A}$, $R_{\text{DSon}} = 9 \text{ m}\Omega$, $t_{\text{d}} = 30 \text{ ns}$
Querelement	MCT	$U_{\text{RRM}} = 1500 \text{ V}$, $U_{\text{GK(th)}} = 5 \text{ V}$, $t_{\text{d}} = 50 \text{ ns}$, $t_{\text{ri}} = 100 \text{ ns}$, $I_{\text{TSM}} = 12 \text{ kA}$
Querelement	NPT-IGBT	$U_{\text{CE}} = 1,2 \text{ kV}$, $I_{\text{C}} = 50 \text{ A}$, $t_{\text{don}} = 20 \text{ ns}$, $t_{\text{ri}} = 34 \text{ ns}$
Querelement	Diode	$U_{\text{RRM}} = 1,2 \text{ kV}$, $U_{\text{F}} = 1,2 \text{ V}$, $I_{\text{n}} = 60 \text{ A}$, $t_{\text{tr}} = 90 \text{ ns}$

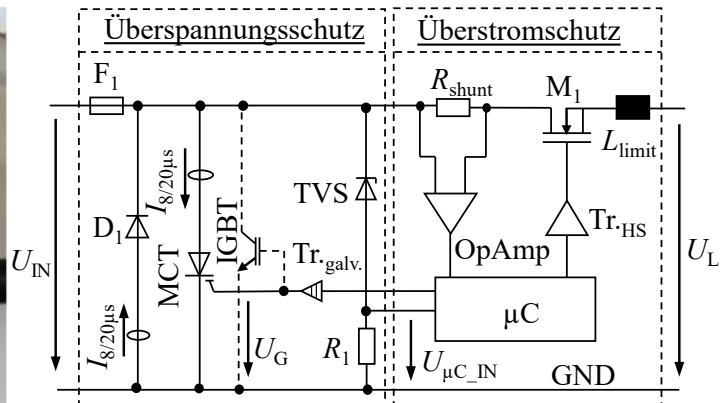


Abb. 8.1: Realisiertes Konzept des kombinierten Überstrom- und Überspannungsschutzes

An das Schutzkonzept wurden die in **Tab. 8.2** aufgelisteten Anforderungen gestellt. Diese bilden typische Schutzwerte aus der 24 V Versorgungsspannungsebene ab, wie in [28] und [105] angegeben.

Tab. 8.2: Schutzanforderungen an ein kombiniertes Überspannungs- und Überstromschutzkonzept

Anforderungen an den Überstromschutz		
Nennspannung	U_{n}	24 V
Eingangsspannungsbereich	U_{IN}	8 – 48 V
Nennstrom	I_{n}	10 A
Maximaler Kurzschlussstrom	I_{SC}	einstellbar
Kapazitive Lasten	C_{L}	0 – 15 mF
Anforderungen an den Überspannungsschutz		
Schutzpegel	U_{p}	50 V
Blitzstoßstromtragfähigkeit	$I_{10/350\mu\text{s}}$	4 kA
Tragfähigkeit induzierter Stoßströme	$I_{8/20\mu\text{s}}$	10 kA

Für die Qualifizierung des Schutzkonzeptes wurden folgende Prüfungen durchgeführt:

1. Bestimmung der Verluste im Normalbetrieb
2. Verhalten bei Überströmen
3. Verhalten bei transienten Überspannungen
4. Verhalten bei temporären Überspannungen

Durch die nachfolgende detaillierte Beschreibung der durchgeführten qualifizierenden Untersuchungen sollen die Vorteile des kombinierten Überstrom- und Überspannungsschutzes hervorgehoben, sowie der Nachweis über dessen Funktion erbracht werden.

8.1 Qualifizierung des Normalbetriebes

Unter Normalbetrieb wird der Einsatz der elektronischen Sicherung (Überstromschutz) mit Überspannungsschutz bei ungestörten Netzverhältnissen verstanden, d.h. es liegt kein Überstrom- oder Überspannungsereignis vor. In diesem Betrieb ergeben sich die Verluste im Längsglied durch die ohmschen Komponenten der Sicherung F_1 , dem R_{DSon} des MOSFETs und der Leiterbahnführung bis zur Anschlussstelle der Last des kombinierten Schutzkonzeptes.

$$P_{V_{neu}} = P_{V_{F1}} + P_{V_{R_{DSon}}} + P_{V_{Cu}} = I_L^2 \cdot (R_{DSon} + R_{F1} + R_{Cu}) \quad (8.1.1)$$

Im Vergleich dazu sind die Verluste bei einer konventionellen Lösung, um die der passiven Längsentkopplung zu erweitern, wie in Gl. (8.1.2) ersichtlich.

$$P_{V_{konv.}} = P_{V_{F1}} + P_{V_{R_{DSon}}} + P_{V_{Cu}} + P_{V_{Ent.}} = I_L^2 \cdot (R_{DSon} + R_{F1} + R_{Cu} + R_{Ent.}) \quad (8.1.2)$$

Um eine bessere Vorstellung des großen Einflusses der passiven Längsentkopplung auf die gesamte Verlustleistung zu bekommen, wird in **Abb. 8.2** eine Gegenüberstellung der beiden Konzepte gezeigt.

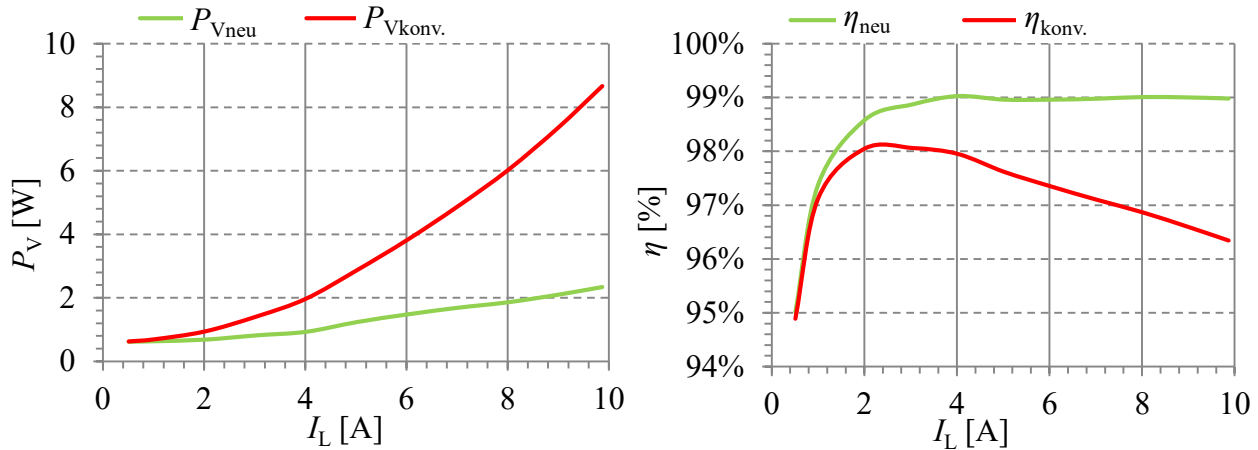


Abb. 8.2: Verlustleistung (links) und Wirkungsgrad (rechts) der konventionellen Schutzlösung und des kombinierten Schutzkonzeptes

Die real gemessenen Werte der Kurven in grün entsprechen dem realisierten Konzept aus **Abb. 8.1**. Die in Rot dargestellten Kurven entsprechen einer konventionellen Schutzlösung. Hierzu wurde der elektronischen Sicherung eine Schutzlösung mit Grobschutz, Feinschutz und induktiver Entkopplung aus [115] mit $L \approx 50 \mu\text{H}$ und $R \approx 60 \text{ m}\Omega$ in Serie geschaltet.

Der starke Einfluss der passiven Längsentkopplung zeigt sich erst bei Lastströmen ab $I_L > 2 \text{ A}$. Der quadratische Anstieg der Verlustleistung auf $P_{V_{konv. max}} = 9 \text{ W}$ spiegelt das ohmsche Verhalten der Längsentkopplung wieder. Mit der kombinierten Schutzlösung bleiben die maximalen Verluste auf $P_{V_{neu max}} = 2,2 \text{ W}$ begrenzt. Die Vorteile zeigen sich auch im Vergleich des Wirkungsgrades, in **Abb. 8.2** rechts dargestellt. Bei der konventionellen Schutzlösung ist ein nahezu linearer Abfall des Wirkungsgrades von 98 % auf 96 % mit dem Laststrom zu beobachten. Die kombinierte Schutzlösung hingegen bleibt über den gesamten Laststrombereich bei einem konstanten Wirkungsgrad von ca. 99 %.

8.2 Qualifikation der Schutzfunktion bei Überströmen

Zur Qualifikation der Überstromschutzfunktion kommt der Messaufbau aus **Abb. 8.3** zum Einsatz. Die Simulation unterschiedlicher Lastverhältnisse wurden mit einer variablen ohmschen Last und einer variablen Kapazität nachgebildet.

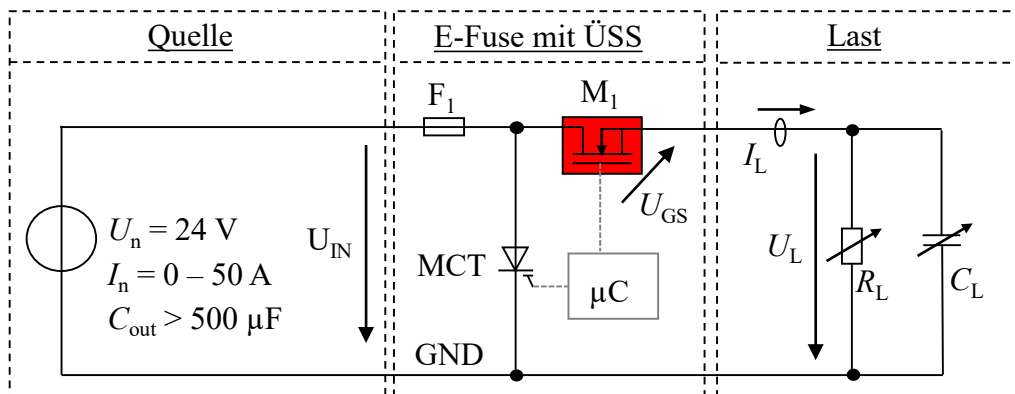


Abb. 8.3: Messaufbau zur Qualifizierung der Überstromschutzfunktion

Mit dem Messaufbau können die vier zu erwartenden Überstromsituationen getestet werden:

1. Zuschalten auf einen Kurzschluss
2. Auftreten eines Kurzschlusses im Nennbetrieb
3. Einschalten auf eine Überlastsituation
4. Auftreten einer Überlastsituation im Nennbetrieb

Die Messungen der Überstromsituation drei und vier soll an dieser Stelle exemplarisch für das Einschalten in **Abb. 8.4** links gezeigt werden.

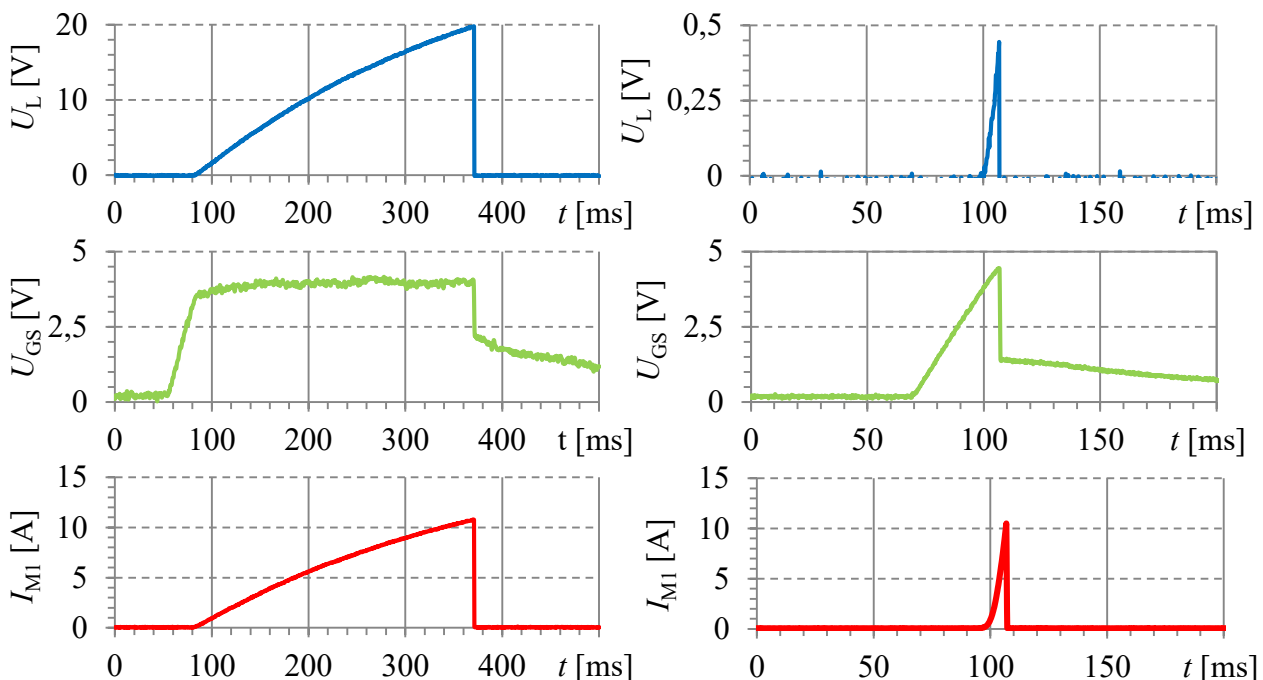


Abb. 8.4: Einschaltverhalten auf eine Überlast mit $C_L = 10 \text{ mF}$ und $R_L = 2 \Omega$ (links) und auf einen Kurzschluss (rechts)

Das Einschalten auf eine ohmsch-kapazitive Überlast von $R_L = 2 \Omega$ und $C_L = 10 \text{ mF}$ hat bei der Nennspannung von 24 V einen Laststrom von $I_L = 12 \text{ A}$ zur Folge. Dies führt zum Abschalten der Sicherung bei $t = 380 \text{ ms}$, wie in **Abb. 8.4** links gezeigt.

Das langsame Einschalten durch die elektronische Sicherung ist bei großen kapazitiven Lasten notwendig und kann über das RC-Glied $R_{G\text{vari}}$ und C_{GS} aus **Abb. 8.5** eingestellt werden. Durch die Wahl einer großen Zeitkonstante des RC-Gliedes ist ein langsamer Anstieg der Gate-Source-Spannung (grün) und damit der Ausgangsspannung (blau) zu erzielen, ohne dass die elektronische Sicherung durch einen transienten kapazitiven Verschiebestrom anspricht. **Abb. 8.4** rechts zeigt das Einschalten auf einen Kurzschluss bei gleichen RC-Einstellungen von $R_{G\text{vari}}$ und C_{GS} . Die Gate-Source-Spannung beginnt zum Zeitpunkt des Einschaltens $t = 70$ ms langsam zu steigen. Aufgrund des Kurzschlusses steigt der Strom beim Erreichen der MOSFET-Schwellschwellspannung $U_{GS(\text{th})} = 3,8$ V stark an und wird bei $I_L = 11$ A als Überstrom erkannt und abgeschaltet.

In beiden Überlastfällen ist die unterschiedliche Schaltgeschwindigkeit beim Einschalten über das RC-Glied und beim Ausschalten über die Diode D_{off} und den Widerstand $R_{G\text{off}}$ realisiert. Das Einschalten auf Überlastsituationen kann über die Gate-Beschaltung und dem damit verbundenen langsamen kontrollierten Zuschalten gesteuert werden.

Eine deutlich härtere Anforderung stellt das Auftreten von Kurzschlüssen im Nennbetrieb dar. Dies ist in **Abb. 8.5** rechts gezeigt.

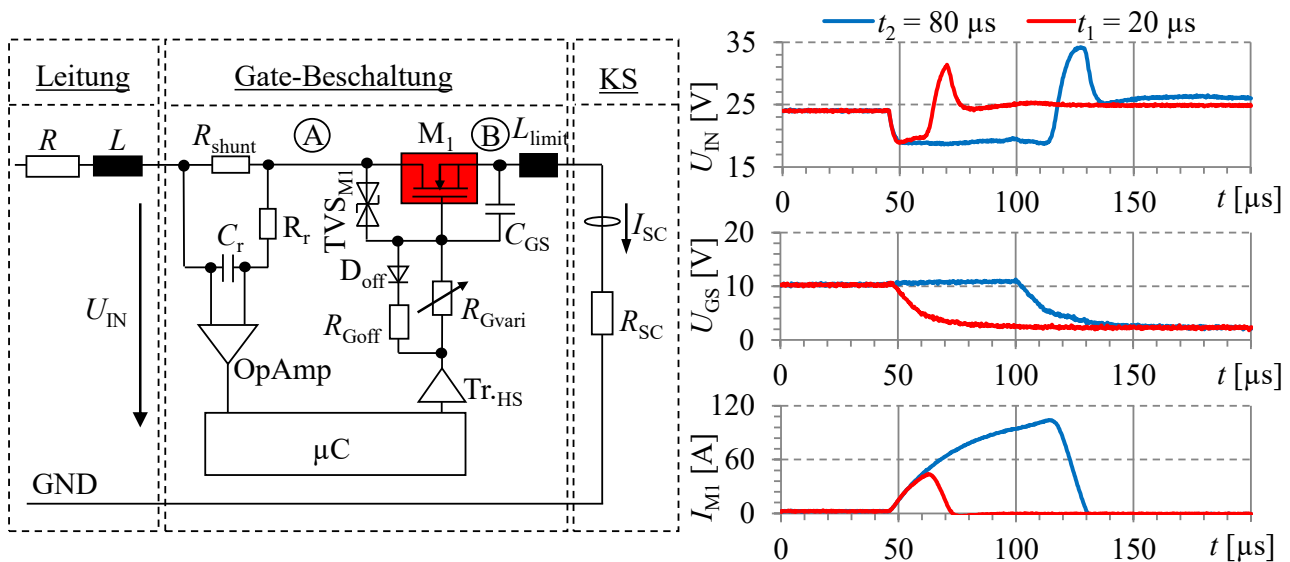


Abb. 8.5: Gate-Beschaltung während eines Kurzschlusses im Dauerbetrieb (links) und Messung des Kurzschlussverhaltens bei verschiedenen Verzögerungszeiten (rechts)

Die Gate-Beschaltung bzw. die Überstromdetektion spielt hier eine noch größere Rolle, weswegen sie links abgebildet ist. Über das RC-Glied R_r und C_r kann die Ansprechverzögerung $t_r = 1 - 200 \mu\text{s}$ des μC auf ein Überstromereignis, welches durch den Widerstand R_{shunt} detektiert wird, eingestellt werden. Dies definiert zusammen mit den ohmschen ($R_{\text{ges}} = R' \cdot l + R_{\text{shunt}} + R_{\text{DSon}} + R_{\text{SC}}$) und induktiven Komponenten ($L_{\text{ges}} = L' \cdot l + L_{\text{limit}}$) im Netz den maximal möglichen Kurzschlussstrom, wie aus Gl. (8.2.1) hervorgeht.

$$i_{\text{SC}}(t_r) = \frac{U_n}{R_{\text{ges}}} \cdot \left(1 - e^{-t_r \cdot \frac{R_{\text{ges}}}{L_{\text{ges}}}} \right) \quad (8.2.1)$$

Hierbei wird die Induktivität L_{limit} benötigt, um bei sehr kurzen Anschlussleitungen hohe Kurzschlussströme zu vermeiden. **Abb. 8.5** rechts zeigt einen Kurzschluss während des Normalbetriebes bei den in **Tab. 8.3** genannten Parametern.

Tab. 8.3: Parameter für die Kurzschlussversuche im Nennbetrieb

R' [mΩ/m]	L' [μH/m]	l [m]	L_{limit} [μH]	R_{DSon} [mΩ]	R_{SC} [mΩ]	R_{shunt} [mΩ]	t_1 [μs]	t_2 [μs]
25	1	6	0,5	9	50	3	20	80

Mit diesen ergeben sich die Kurzschlussströme mit $i_{\text{SC}}(t_1) = 48 \text{ A}$ und $i_{\text{SC}}(t_2) = 100 \text{ A}$. Der Vergleich der beiden Kurzschlussströme zeigt eindrucksvoll die Wirkung der Reaktionszeiten t_1 und t_2 auf die maximale Stromamplitude.

Beim Abschalten von langen Leitungslängen entstehen Überspannungen durch deren Induktivität, wie in **Abb. 8.5** ersichtlich ist. Diese können beim Überschreiten eines Schwellwertes von ca. 50 V zur Überspannungsdetektion führen, weswegen ein langsames Abschalten im μs-Bereich über R_{Goff} einzustellen ist. Ein langsames Schaltverhalten ist beim Auftreten von Überspannungen jedoch hinderlich, da der MOSFET M_1 dann nicht mehr als Längsentkopplung wirkt. Dies kann, wie in **Kap. 8.3** gezeigt, durch ein reaktionsschnelles Querglied ausgeglichen werden. Eine weitere Möglichkeit, Überspannungen zu reduzieren, ohne die Schaltgeschwindigkeit des Längsgliedes zu erhöhen, ist durch den Zustand k_3 , dem Linearbetrieb des Quergliedes, gegeben. Dieser kann durch das Blockieren der Ansteuerung über den μC erreicht werden. Bei großen Kurzschlussströmen wird die während des Abschaltens auftretende Überspannung dann durch den Quer-Halbleiter auf dessen clamping-Spannung ($U_{\text{cl}} = 50 \text{ V}$) limitiert, bis die in der Netzinduktivität gespeicherte Energie abgebaut ist. Die Induktivität L_{limit} verursacht bei Schaltvorgängen keine Überspannungen an der Last, sondern bewirkt beim Abschalten eine negative Spannung an Punkt B. Zusammen mit dem Spannungsanstieg an Punkt A durch die Netzinduktivität kann dies bei schnellen Abschaltvorgängen dazu führen, dass der MOSFET M_1 über die TVS-Diode TVS_{M1} in den Linearbetrieb geht.

Zusammenfassend ist das Überstromverhalten bei den genannten vier Situationen gut beherrschbar. Hierbei muss die Koordination zur Quergliedansteuerung beachtet werden, welche über die beschriebenen Maßnahmen erreicht werden kann. Das Verhalten des Längsgliedes M_1 bei Überspannung in Kombination mit dem Querglied stellt die größte Herausforderung dar. Dies soll im nachfolgenden Abschnitt behandelt werden.

8.3 Qualifikation der Schutzfunktion bei transienten Überspannungen

Für die Überspannungsschutzfunktion und dem mit Halbleitern erreichbaren Schutzpegel ist die Reaktionszeit der Detektion von entscheidender Bedeutung. **Abb. 8.6** links zeigt die verwendete Detektionsschaltung zum Erkennen von Überspannungen.

Überschreitet die Eingangsspannung die Durchbruchspannung der TVS-Diode TVS_1 wird dies vom μC als Überspannung aufgefasst. Unabhängig vom μC erfolgt ein sofortiges passives Einschalten des IGBTs/MCTs über die Diode D_2 . Für die passive Detektion bis zum Einschalten benötigt die verwendete Treiberstufe eine Zeit von $t_r = 75 \text{ ns}$, wie in **Abb. 8.6** rechts zu erkennen. Während dieser Zeit befindet sich das Querglied im Linearbetrieb und in das Längsglied M_1 aus **Abb. 8.5** fließt ein Teilstoßstrom. Das Maximum des Teilstoßstromes bei ohmschen Lasten errechnet sich wie folgt:

$$I_{M1_{\text{max}}} = \frac{U_{\text{cl}_{\text{Quer}}}}{R_{L_{\text{max}}}} = \frac{60 \text{ V}}{2,4 \Omega} = 25 \text{ A}$$

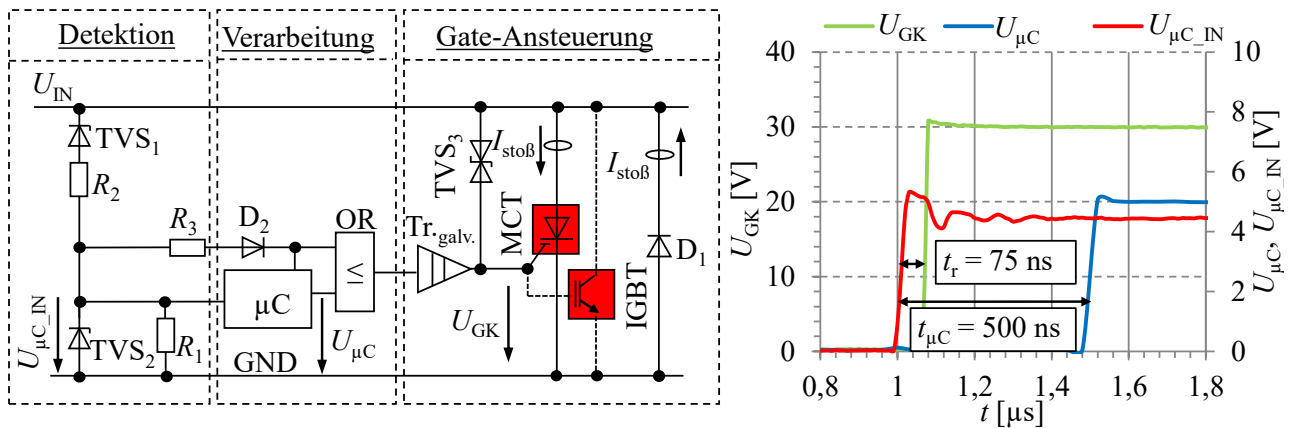


Abb. 8.6: Detektionsschaltung für Überspannungen (links) sowie Reaktionszeiten auf eine Überspannung (rechts)

Bei ohmsch-kapazitiver Last bis $C_L = 15 mF$ kann der ohmsche Anteil vernachlässigt werden. Während einer transienten Überspannung wirkt die Kapazität wie ein Kurzschluss, daher berechnet sich der maximale Teilstoßstrom mit Gl. (3.1.3) zu:

$$I_{M1_{max}} = i_{8/20\mu s}(t_r) = \frac{10 kA}{0,615} \cdot e^{-\frac{75 ns}{24 \mu s}} \cdot \sin(120 kHz \cdot 75 ns) = 146 A$$

Bei kapazitiven Lasten und den damit verbundenen Teilstoßströmen von $I_{M1} = 146 A$ ist bereits ein Übergang des MOSFETs in den Sättigungsbereich zu erwarten, welcher den Stoßstrom automatisch begrenzt und über das im Linearbetrieb arbeitende Querelement leitet. Dieser Betrieb ist vergleichbar mit dem Verhalten bei MOSFETs im Kurzschluss und nach [56] nicht zerstörend, solange die Zeit auf $t = 6 - 10 \mu s$ begrenzt bleibt. In diesem Fall ist der Stoßstrom nicht wie in den vorangegangenen Halbleiterversuchen als eingepreist zu betrachten, da ein Parallelpfad über das im Linearbetrieb operierende Querglied existiert. Ist das Einschalten des Quergliedes nach t_r erfolgt, wird das Längsglied M_1 komplett entlastet. Nach einer Zeit von ca. $t_{\mu C} = 500 ns$, welche stark vom Betriebsmodus des μC abhängig ist, greift dann der μC in die Steuerung des Quer- und Längsschalters ein, d.h. der MOSFET M_1 im Längspfad kann aktiv abgeschaltet werden.

Für die Qualifizierung der Überspannungsschutzfunktion wurde der in **Abb. 8.7** dargestellte Messaufbau gewählt.

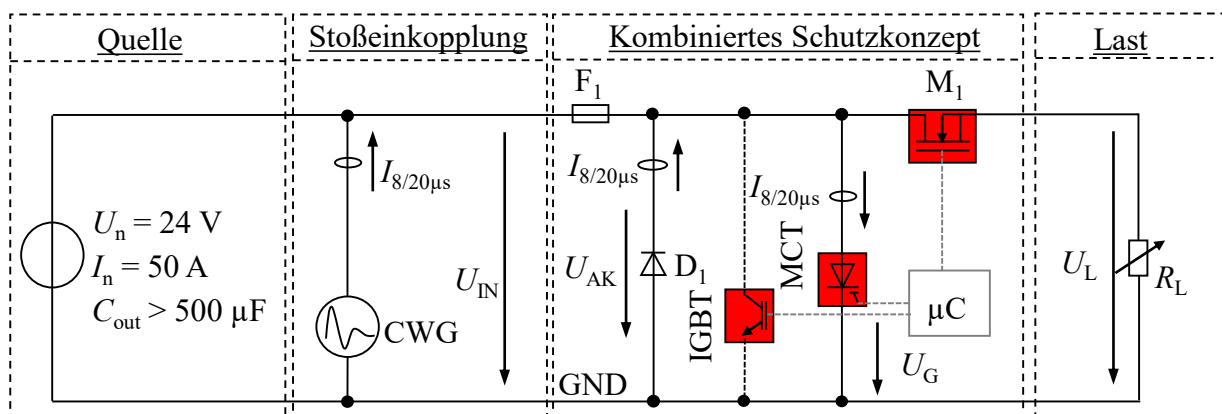


Abb. 8.7: Messaufbau zur Qualifizierung der Überspannungsschutzfunktion

Abb. 8.8 zeigt die Messergebnisse der Stoßstromversuche. Exemplarisch sind zwei Versuche dargestellt. Messung eins links zeigt die Belastung mit einem Stoßstrom von $I_{8/20\mu s} = 4,2 kA$ bei ausschließlicher Verwendung eines MCTs als Ableitelement.

Hierbei wurde der MCT mit einer Gate-Spannung von ± 15 V angesteuert. Höhere Gate-Steuerspannungen sind aufgrund der Leistungsfähigkeit des verwendeten galvanisch getrennten Treiberbausteins nicht möglich. Dies hat eine Reduktion des Abschaltvermögens des MCTs im Vergleich zu einer Ansteuerung mit z.B. ± 30 V zur Folge. Der geforderte Schutzpegel von $U_{AK} = 60$ V kann bei $I_{8/20\mu s} = 4,2$ kA nicht mehr eingehalten werden. Dies liegt am Einschaltverhalten des MCT. Durch die hohe Steilheit des Impulses ergibt sich zu Beginn des Einschaltens eine Konzentration des Stromes im Bereich des MOS-Gate-Steuerkopfes, obwohl die in [70] geforderte Gate-Spannungsanstiegszeit von $t_{ri} = 100 - 200$ ns mit $t_{ri} = 122$ ns eingehalten wurde. Vom Gate-Pad weiter entfernte MCT-Zellen werden aufgrund des durch die Entfernung erhöhten Gate-Widerstandes später aufgesteuert. Dieser Effekt ist nicht mit der Zündausbreitungszeit bei Thyristoren zu verwechseln, sondern beruht nur auf dem Unterschied des RC-Gliedes im Ansteuerkreis. Die so hervorgerufene Konzentration des Stromes im Gate-Bereich zu Beginn des Stoßstromereignisses führt zu einem erhöhten Spannungsabfall $U_{AK} = 90$ V. Diesem Effekt kann durch folgende Maßnahmen entgegengewirkt werden:

1. Erhöhung der Gate-Spannungsteilheit am MCT
2. Erhöhung der Gate-Spannung, um den MOS-Kanal weiter aufzusteuern und damit den Durchlasswiderstand im Einschaltmoment zu reduzieren
3. Parallelschaltung eines IGBTs zur Reduktion der Stoßstrombelastung im Einschaltmoment
4. Reduktion der Treiber-Reaktionszeit

Die genannten Maßnahmen eins und vier sind in dem Schaltungsdesign aus **Abb. 8.1** bereits vollständig ausgeschöpft ($R_{Gon} = 0 \Omega$). Maßnahme zwei und drei kommen in den Messungen aus **Abb. 8.8** rechts zum Einsatz. Hier wurde dem MCT ein NPT-IGBT ($U_{CE} = 1,2$ kV, $I_C = 50$ A, $t_{don} = 20$ ns, $t_{ri} = 34$ ns) parallelgeschaltet. PT-IGBTs eignen sich wegen der dynamischen Einschaltspannungsspitze nicht.

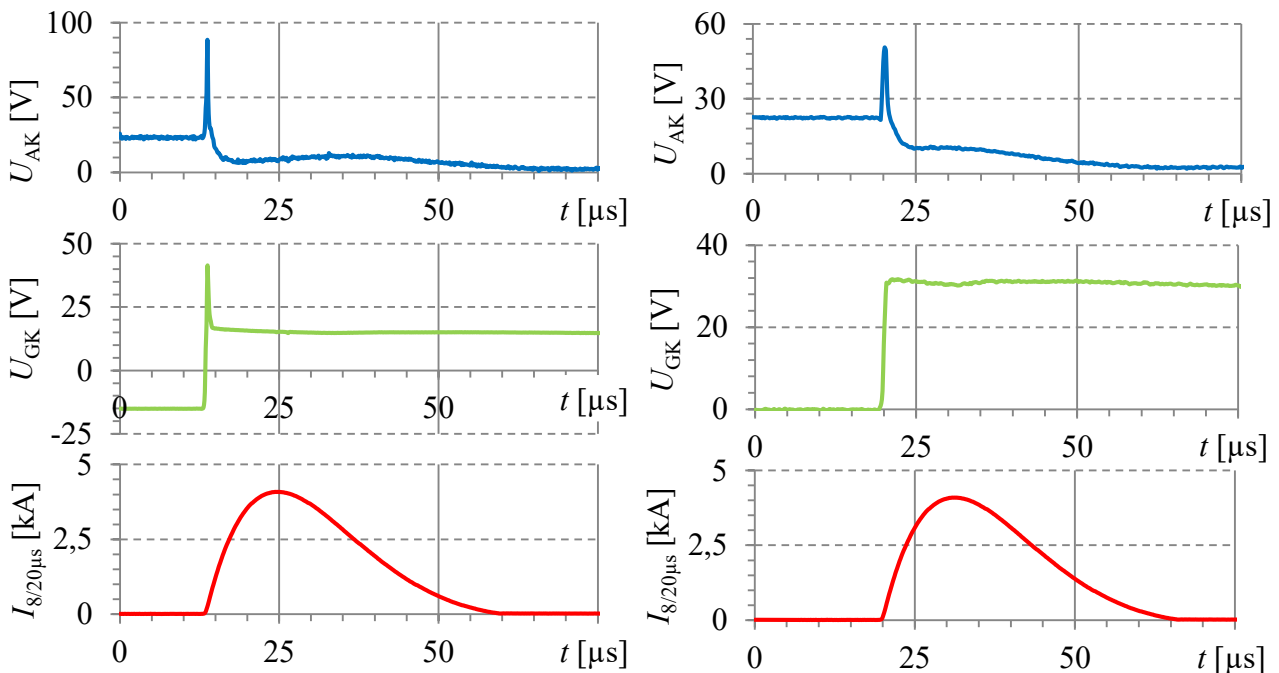


Abb. 8.8: Stoßstromversuche mit einem MCT als Ableitelement $I_{8/20\mu s} = 4,2$ kA (links) und einem MCT mit parallelem NPT-IGBT $I_{8/20\mu s} = 4,2$ kA (rechts)

Weiterhin wurde der Gate-Spannungsbereich auf $U_{GE/GK} = 0 - 30 \text{ V}$ gelegt, um eine größere Kanalweite der MOS-Bauelemente zu erreichen, was zu einer niedrigeren Durchlassspannung führt. Mit diesem Versuch sollte nur das Einschaltverhalten getestet werden. Für das Ausschalten des MCTs ist weiterhin eine negative Gate-Spannung anzulegen. Die Ergebnisse der Umsetzung sind in **Abb. 8.8** (rechts) ersichtlich. Durch die Parallelschaltung des NPT-IGBT und die Erhöhung der Gate-Spannung konnte der Schutzpegel von $U_{AK} = 90 \text{ V}$ auf $U_{AK} = 50 \text{ V}$ gesenkt werden.

Neben der Schutzpegel-Problematik des MCTs besitzt dieser noch eine weitere negative Eigenschaft. Die reduzierte Abschaltfähigkeit, wie bereits in **Kap. 6.5** genannt, begrenzt dessen Einsatz auf Netze mit geringen Folgeströmen ($I_f \approx 100 - 300 \text{ A}$). Batterie-gepeiste DC-Netze sind damit von der Anwendung ausgeschlossen.

Eine Erhöhung der negativen Gate-Spannung beim Abschalten steigert die Folgestromabschaltfähigkeit durch die Vergrößerung des Inversionskanals des OFF-MOSFET ($R_{DSon} \downarrow$). Das Grundproblem der limitierten Abschaltfähigkeit bleibt jedoch erhalten.

8.4 Qualifikation der Schutzfunktion gegen temporäre Überspannungen

Durch die Verwendung eines Halbleiters als Querelement zum Schutz vor transienten Überspannungen kann auch ein Schutz gegen temporäre Überspannungen, welche aufgrund der in **Kap. 4.3** beschriebenen Fehler auftreten können, erfolgen. Dies wurde bereits in [6] anhand erster Simulationen dargestellt.

Abb. 8.9 stellt den Messaufbau zur Qualifizierung der in der Simulation gezeigten TOV-Schutzfunktion vor. Um auf temporäre Überspannungen reagieren zu können, ist die Situation im DC-Netz bei einer temporären und einer transienten Überspannung zu vergleichen.

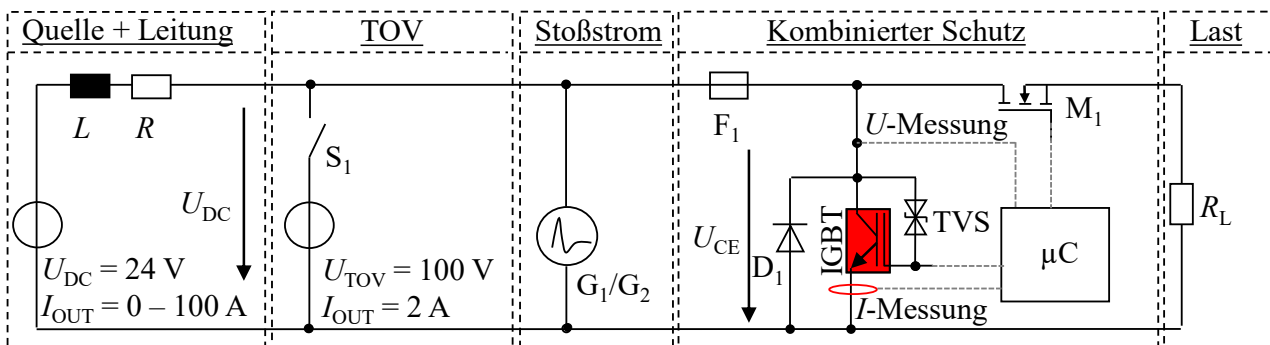


Abb. 8.9: Messaufbau zu Qualifizierung des TOV-Schutzes

Detektionsverfahren von transienten und temporären Überspannungen

Liegt ein Überspannungsereignis unabhängig von seiner Art (transient oder temporär) vor, wird der IGBT im Querschweig eingeschaltet und der MOSFET M_1 im Längszweig ausgeschaltet. Transiente Überspannungen und die daraus resultierenden Stoßströme sind nach einer definierten Zeit ($8/20 \mu\text{s}$ ca. $100 \mu\text{s}$ und $10/350 \mu\text{s}$ ca. $2,5 \text{ ms}$) abgeklungen. Dies bedeutet, dass nach der Einschaltzeit des IGBTs aus **Abb. 8.9** von 3 ms der Netzfolgestrom $i(t_{on})$ nach Gl. (4.3.4) gegen die Netzinduktivität abgeschaltet werden muss. Je nach Netzinduktivität und Folgestromamplitude führt dies zu einer clamping-Zeit nach Gl. (8.4.1):

$$t_{cl} = \frac{L \cdot i(t_{on})}{(U_{cl} - U_{DC}) + \frac{1}{2} \cdot i(t_{on}) \cdot R} \quad (8.4.1)$$

Über die clamping-Zeit t_{cl} kann dann darauf geschlossen werden, ob eine transiente oder eine temporäre Überspannung vorliegt. Dazu sind die Netzimpedanzen mit dem in [97] vorgestellten Verfahren zu ermitteln und die möglichen clamping-Zeiten nach einer transienten Überspannung zu berechnen:

1. Ist die berechnete clamping-Zeit im Bereich der tatsächlichen clamping-Zeit nach einer Überspannung, lag ein transientes Überspannungsereignis vor.
2. Ist die tatsächliche clamping-Zeit deutlich größer als die berechnete clamping-Zeit, muss eine temporäre Überspannung vorliegen.

Daraus leiten sich dann die Aktionen des μC ab. Bei transienten Überspannungen bleibt der IGBT im Querschweig ausgeschaltet. Bei einer temporären Überspannung wird der IGBT erneut und dauerhaft eingeschaltet, um die Sicherung F_1 auszulösen.

Beispielmessung bei einer transienten Überspannung

Um das vorgestellte Verfahren zu verifizieren, wurde mit dem Messaufbau aus **Abb. 8.9** ein Ableitvorgang bei den in **Tab. 8.4** angegebenen Parametern durchgeführt. Der Schalter S_1 zur Aktivierung der TOV-Spannung blieb dabei über die gesamte Messung geöffnet. Die TOV-Spannungsquelle ist damit inaktiv.

Tab. 8.4: Parameter für die Verifizierung des Abschaltverhaltens nach einer transienten Überspannung

L [μH]	R [$m\Omega$]	U_{DC} [V]	I_{DC} [A]	U_{cl} [V]	t_{on} [ms]	$I_{8/20\mu s}$ [A]
90	425	24	30	70	3	150

Der in **Tab. 8.4** angegebene Stoßstrom von $I_{8/20\mu s} = 150$ A wurde absichtlich klein gehalten, damit der Netzfolgestrom und der Stoßstrom mit einem Messbereich erfasst werden konnten. **Abb. 8.10** zeigt nun den Ableitvorgang einer transienten Überspannung. Nach Gl. (8.4.1) müsste sich eine clamping-Zeit von $t_{cl} = 67 \mu s$ einstellen.

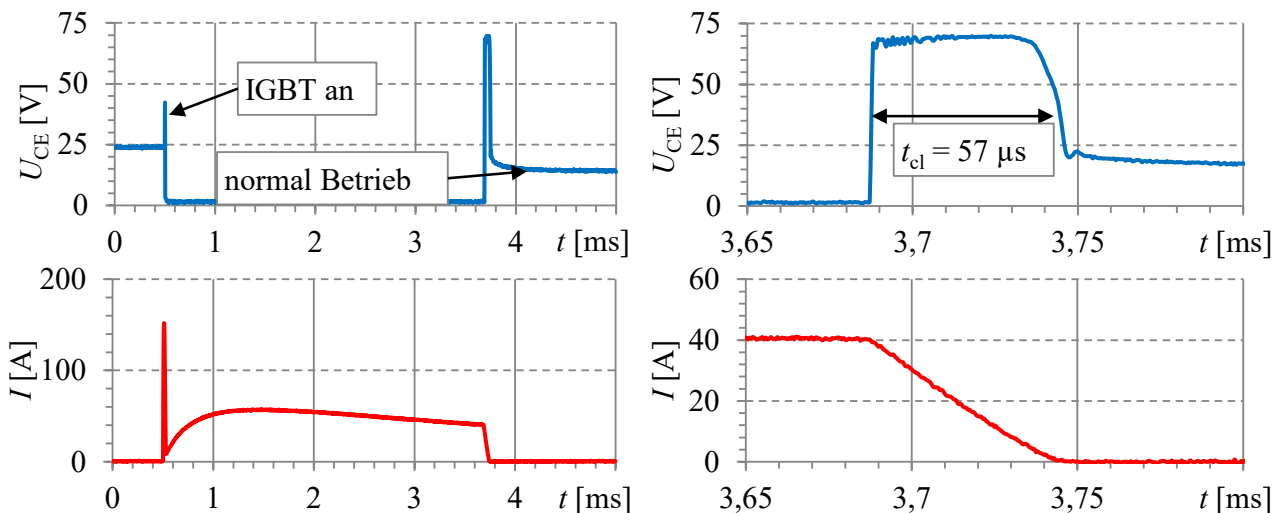


Abb. 8.10: Abhandlung einer transienten Überspannung (links – komplett) (rechts – Zoom des Abschaltens)

Der in **Abb. 8.10** gezeigte clamping-Vorgang beträgt $t_{cl} = 57 \mu s$. Der Unterschied zur berechneten Zeit ($t_{cl} = 67 \mu s$) liegt in der nicht idealen Spannungsquelle begründet. Nach dem clamping-Vorgang sinkt die Spannung auf $U_{DC} = 17$ V, da sich die Ausgangskondensatoren aufgrund der Regeldynamik der Quelle entladen.

Wird $U_{DC} = 17 \text{ V}$ in Gl. (8.4.1) eingesetzt, ergibt sich eine clamping-Zeit von $t_{cl} = 58,5 \mu\text{s}$ und damit eine sehr gute Übereinstimmung mit der Messung. Die hergeleitete Beziehung von Gl. (8.4.1) ist damit durch diese Messung bestätigt.

Beispielmessung bei einer temporären Überspannung

Tritt eine temporäre Überspannung auf, reagiert der μC zu Beginn wie bei einer transienten Überspannung. Der Unterschied besteht im Abschaltvorgang. Wird nach dem beschriebenen Verfahren eine temporäre Überspannung detektiert, schaltet der μC den IGBT im Querschnitt erneut zu und löst damit die Sicherung F_1 in **Abb. 8.9** aus. Um diese Funktion zu verifizieren, wurde mit dem Messaufbau aus **Abb. 8.9** und den Parametern aus **Tab. 8.5** eine temporäre Überspannung simuliert. Die temporäre Überspannung wird dabei mit dem Schalter S_1 aktiviert. Die Stoßstromeinkopplung blieb bei dieser Messung inaktiv und der maximale Kurzschlussstrom der 24 V-DC-Quelle wurde auf $I_{DC} = 1 \text{ A}$ begrenzt. Für die TOV ist beispielhaft eine Spannungsquelle von 100 V mit einer Strombegrenzung von 2 A gewählt worden, wie in **Tab. 8.5** gezeigt.

Tab. 8.5: Parameter für die Verifizierung der TOV-Schutzfunktion

$L [\mu\text{H}]$	$R [\text{m}\Omega]$	$U_{DC} [\text{V}]$	$I_{DC} [\text{A}]$	$U_{cl} [\text{V}]$	$t_{on} [\text{ms}]$	$U_{TOV} [\text{V}]$	$I_{TOV} [\text{A}]$
10	100	24	1	66	3	100	2

Abb. 8.11 zeigt die Reaktion des μC beim Auftreten einer temporären Überspannung. Zu Beginn der Überspannung ist ein starker Stromanstieg über die in **Tab. 8.5** angegebenen Parameter hinaus zu beobachten. Dies liegt an der Kondensatorentladung aus der DC-Spannungsquelle. Ist der Kondensator entladen, liefern die Spannungsquellen einen Konstantstrom von $I_{ges} = I_{DC} + I_{TOV} \approx 2,8 \text{ A}$. Nach ca. 3,2 ms wird der IGBT ausgeschaltet. Da nun nicht die Induktivität die treibende Stromquelle ist, sondern die TOV-Spannungsquelle, verweilt der IGBT länger im clamping-Betrieb $t_{cl} = 261 \mu\text{s}$, wie aus den Netzimpedanzen in **Tab. 8.5** hervorgehen würde. Diese Zeitüberschreitung wird vom μC über die Auswertung der Kollektor-Emitter-Spannung U_{CE} als TOV erkannt und es erfolgt ein erneutes Einschalten des IGBTs bei $t = 4,5 \text{ ms}$. Der dadurch wieder ansteigende Kurzschlussstrom kann nun die vorgelagerte Sicherung F_1 auslösen.

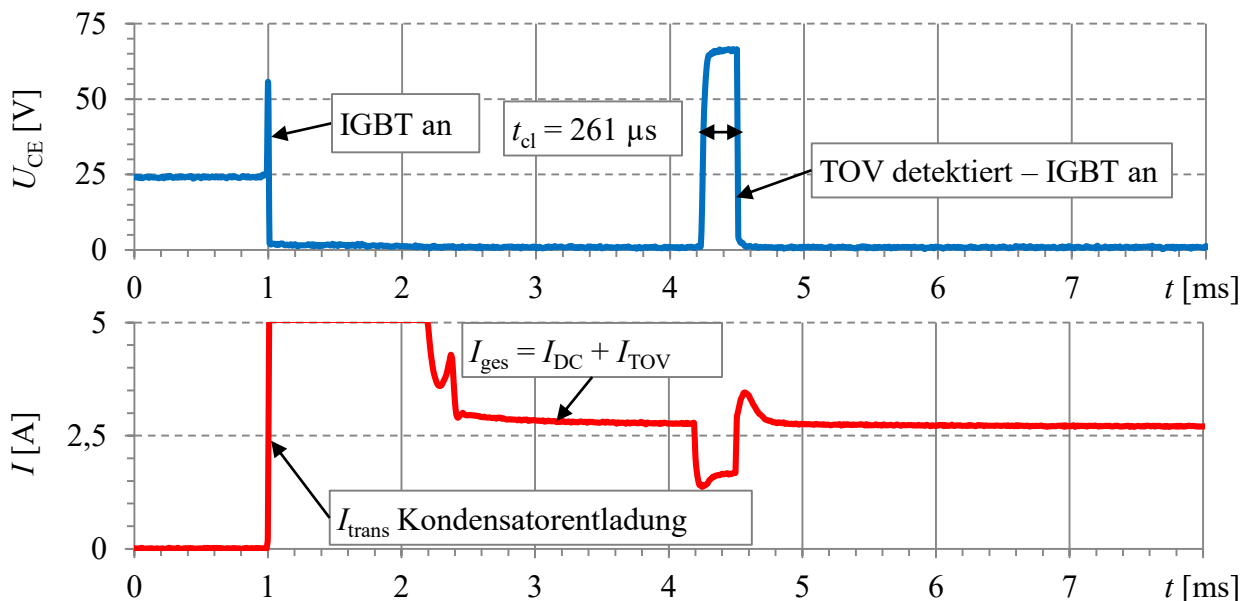


Abb. 8.11: Abhandlung einer temporären Überspannung

Grenzen des TOV-Schutzes

Die Grenzen des TOV-Schutzprinzips gehen bereits aus der Gl. (8.4.1) hervor. Überschreitet die Energie in der Netzinduktivität die maximal vom IGBT absorbierbare Energie, wird dieser thermisch überlastet, ohne dass zwangsläufig eine TOV vorliegen muss. Damit das Verfahren funktioniert, muss gelten:

$$W_{ges} < W_{cl} + W_{AV} \quad (8.4.2)$$

Die Energie W_{AV} ergibt sich aus der Stoßstrom- und Folgestrombelastung sowie der dabei auftretenden Durchlassspannung des IGBT:

$$W_{AV} = \int_0^{t_{on}} (i_{8/20\mu s, 10/350\mu s}(t) + i_f(t)) \cdot u_{CE}(t) dt \quad (8.4.3)$$

Die Energien W_{cl} ist die während des clamping-Vorgangs im IGBT umgesetzte Energie. Die absorbierbare Energie hängt stark von der thermischen Kapazität des Chips und der Aufbau- und Verbindungstechnik ab, vorausgesetzt, es handelt sich um adiabatische Vorgänge, wovon bei transienten Überspannungen ausgegangen werden darf, wie **Kap. 6.1.4** zeigt.

Messungen an verschiedenen IGBT-Chips haben bestätigt, dass mit einer Energieaufnahme zwischen $W_{ges} = 2 - 10$ J gerechnet werden kann. Subtrahiert man von dieser Energie den Energieumsatz während der Stoßstromereignisse, der abhängig vom Stoß- und Folgestrom bei $W_{AVmax} \approx 1,5$ J liegt, erhält man eine Reserve von $W_{cl} = 0,5 - 8,5$ J. Diese erfüllt die eingangs erhobene Forderung aus Gl. (8.4.2). Versorgungsspannungen im Bereich von 24 V sind daher mit diesem Verfahren gut zu schützen. Bei einer Erhöhung der Versorgungsspannung und damit des prospektiven Kurzschlussstromes reduziert sich die zu schützende Installationsausdehnung jedoch sehr schnell, da die Energie die der IGBT aufnehmen muss deutlich steigen. Für eine Erweiterung des Konzeptes auf höhere Spannungsklassen ist daher eine erneute Abschätzung der Grenzbelastung anzustellen.

8.5 Abschließende Bewertung des Konzeptes

Die in der Einleitung genannten Vorteile des Konzeptes konnten in der Realisierung bestätigt werden. Die deutlich reduzierte Verlustleistung im Vergleich zu konventionellen Schutzkonzepten im Nennbetrieb entspricht den Erwartungen. Auch der Schutz gegen Überströme konnte nachgewiesen werden. Das Verhalten bei transienten Überspannungen ist stark von den zum Einsatz kommenden Bauelementen abhängig. Durch die Verwendung von IGBTs mit kleiner U_{CEdyn} können Schutzpegel von $U_p = 50$ V bei Nennspannungen von 24 V erreicht werden. Allerdings ist damit das Ableitvermögen auf ca. $I_{8/20\mu s} = 3 - 5$ kA begrenzt. Der Einsatz von MCTs kann den Nachteil des reduzierten Ableitvermögens kompensieren. Allerdings entsprechen die mit dem MCT erreichten Schutzpegel von > 100 V nicht den Anforderungen, wie sie in einem 24 V-System herrschen. Auch das reduzierte Folgestromlöschvermögen des MCTs macht einen sicheren Betrieb des Bauelementes schwierig. Eine Option, das vorgegebene Ableitvermögen zu erreichen, ohne einen Nachteil in Kauf nehmen zu müssen, ist die Parallelschaltung mehrerer IGBTs. Die Erweiterungsmöglichkeit eines reinen transienten auf einen zusätzlichen temporären Überspannungsschutz konnte in den genannten Grenzen gezeigt werden. Der Nachweis eines tragfähigen Schutzkonzeptes für das DC-Netz ist damit erbracht. Der Einsatz des kombinierten Überstrom- und Überspannungsschutzes ist nicht auf die 24 V-Spannungsebene begrenzt, sondern kann durch die Wahl geeigneter Bauelemente auf höhere Nennspannungen ausgelegt werden. Dabei sind die gezeigten energetischen Limitierungen des Schutzkonzeptes vor temporären Überspannungen zu beachten.

9. Konzept des Schutzes vor TOV in AC-Netzen

Das Schutzkonzept gegen TOV ist, wie in **Abb. 9.1** gezeigt, realisiert. Um eine Variante mit erhöhten Nennströmen zu verwirklichen, wurde eine hybride Schallösung mit einem Relais parallel zu den Halbleitern im Längsweig erstellt. Diese Variante zeigt **Abb. 9.1** rechts oben. Die Vor- und Nachteile einer hybriden Lösung sollen nachfolgend diskutiert werden. Eine reine Halbleiterlösung ist in **Abb. 9.1** rechts unten dargestellt.

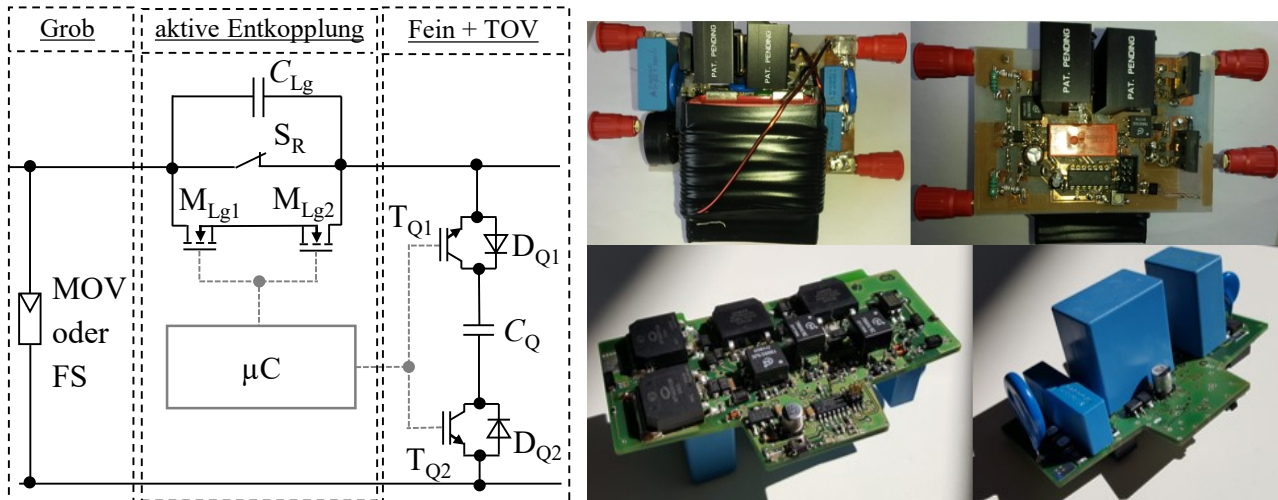


Abb. 9.1: Realisierter Aufbau des TOV-SPD als hybride Lösung (Fotos rechts oben) und reine Halbleiterlösung (Fotos rechts unten) sowie Konzept der Schutzlösung (links)

Für die Realisierung des Schutzkonzeptes gegen temporäre und transiente Überspannungen im AC-Netz (230 V/400 V) wurden die in **Tab. 9.1** gezeigten Bauelemente verwendet. Zur Auslegung des in **Abb. 7.11** unten dargestellten Schutzkonzeptes wurden die aus **Kap. 3.3** genannten Bedrohungsparameter bei TOVs für die Lastfälle eins (rein-ohmsch, rein-induktiv, rein-kapazitiv) und zwei (ohmsch-kapazitiv, ohmsch-induktiv) herangezogen.

Tab. 9.1: Bauelemente für die Realisierung des TOV-Schutzkonzeptes im AC-Netz

Bauelement und Verschaltung	Bauteileigenschaften
Zwei MOSFETs antiseriell als Längselement	$U_{DS} = 1200 \text{ V}$, $U_{GS(th)} = 2 - 4 \text{ V}$, $I_{D25} = 90 \text{ A}$, $R_{DSon} = 25 \text{ m}\Omega$, $P_D = 463 \text{ W}$
IGBT als Längs- und Querelement	$U_{CE} = 1,2 \text{ kV}$, $I_{C25} = 50 \text{ A}$, $t_{don} = 20 \text{ ns}$, $t_{ri} = 34 \text{ ns}$, $P_C = 460 \text{ W}$, $I_{CM} = 250 \text{ A}$
Diode parallel zum IGBT als Längs- und Querelement	$U_R = 1,2 \text{ kV}$, $I_{F(AV)} = 60 \text{ A}$, $I_{FSM} = 830 \text{ A}$, $t_{rr} = 480 \text{ ns}$
Relais als Längselement	$U_{ACmax} = 480 \text{ V}$, $I_r = 16 \text{ A}$, $t_{on} = 10 \text{ ms}$, $t_{off} = 5 - 10 \text{ ms}$
Längskondensator	MKB, $U_{AC} = 400 - 600 \text{ V}$, $U_{DC} = 1 \text{ kV}$, $C = 5 \text{ }\mu\text{F}$, $du/dt = 390 \text{ V}/\mu\text{s}$
Querkondensator	MKB, $U_{DC} = 650 \text{ V}$, $C = 2,7 \text{ }\mu\text{F}$, $du/dt = 80 \text{ V}/\mu\text{s}$
MOV als Grobschutz	$U_{RMS} = 420 \text{ V}$, $U_{DC} = 560 \text{ V}$, $U_{mA} \approx 890 \text{ V}$, $I_{8/20\mu s} = 8 \text{ kA}$
FS als Grobschutz	$U_C = 255 \text{ V}$, $I_{10/350\mu s} = 12,5 \text{ kV}$, $U_p = 1,5 \text{ kV}$

Als Halbleiter-Schalter im Längsglied bieten sich zwei Möglichkeiten an. Variante eins mit zwei antiseriellen MOSFETs und Variante zwei mit zwei antiseriellen IGBTs, welchen jeweils eine Freilaufdiode parallelgeschaltet werden muss. Für die Halbleiter-Schalter im Querpfad ist der IGBT vorteilhaft, da dort Teilstoßströme beherrscht werden müssen. Hierauf wird in **Kap. 9.2** noch näher eingegangen.

Die verwendeten Bauelemente der hybriden Schatlösung aus **Abb. 9.1** rechts oben unterscheiden sich nicht in ihren Parametern von denen der reinen Halbleiterlösung aus **Abb. 9.1** rechts unten. Einzig die Gehäuseausführungen wurden variiert sowie das Relais zu Realisierung der hybriden Schatlösung entfernt.

Abb. 9.2 zeigt nun die Funktionsweise des SPD als Software-Ablaufdiagramm. Grundsätzlich ist zwischen fünf Betriebszuständen zu unterscheiden:

1. Initialisierung
2. Normalbetrieb
3. Transienter Betrieb
4. TOV-Betrieb passiv
5. TOV-Betrieb aktiv

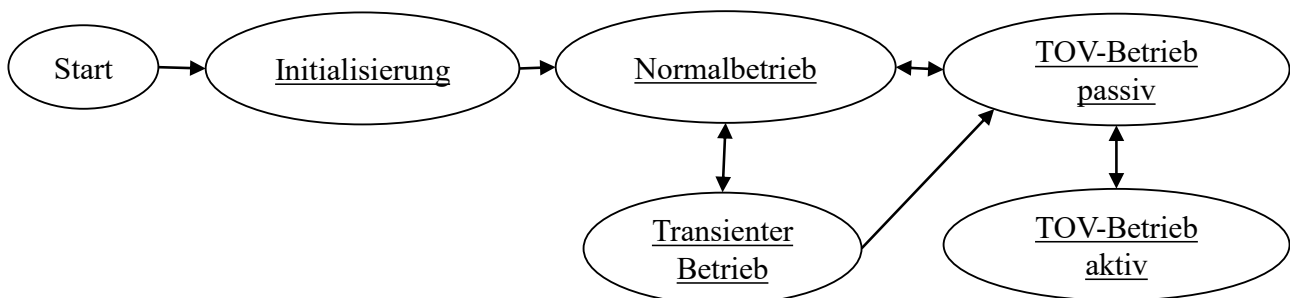


Abb. 9.2: Funktion des TOV-SPDs im Ablaufdiagramm

Eine ausführliche Beschreibung und die Qualifizierung der Funktionen erfolgt in den jeweiligen **Kap. 9.1 bis 9.4**. Um ein Verständnis der Zusammenhänge der einzelnen Betriebsmodi sowie deren Hauptfunktionen zu entwickeln, ist eine übersichtliche Beschreibung vorab hilfreich. Diese soll nachfolgend gegeben werden.

Initialisierung

Unter Initialisierung wird der Start des TOV-SPDs aus einem spannungslosen Zustand oder nach einem externen Reset bei anliegender Spannung verstanden. Das SPD ist hardwareseitig so realisiert, dass der Ausfall der Software keine Fehlfunktionen verursacht. D.h. das SPD geht in einen abgesicherten Modus, welcher einen Schutz der Last vor temporären und transienten Überspannungen garantiert. Hierzu werden alle Längselemente hochohmig geschaltet. Bei der Initialisierung werden die Funktionen des TOV-SPDs und der aktuelle Netzzustand am Einbauort abgefragt.

Stellt die Netzsituation keine Gefahr für die Last dar, wird im Spannungsnulldurchgang der speisenden Quelle zugeschaltet und das TOV-SPD geht in den Normalbetrieb über. Durch das Zuschalten im Spannungsnulldurchgang sollen Inrushströme in Lastkapazitäten vermieden, sowie die Längshalbleiter geschont werden. Wird eine temporäre Überspannung detektiert, geht das SPD in den TOV-Betrieb über.

Normalbetrieb

Der Normalbetrieb ist durch eine ungestörte Netzspannung charakterisiert, d.h. es liegt keine Überspannungssituation vor. In diesem Betriebsmodus sind die Längselemente abhängig vom Betriebsstrom eingeschaltet. Bei geringen Betriebsströmen werden nur die Halbleiter aktiviert. Bei hohen Betriebsströmen wird in der hybriden Schatlösung zusätzlich das Relais eingeschaltet.

Transienter Betrieb

Dieser Betriebsmodus definiert die Reaktion des TOV-SPDs auf transiente Überspannungen. Überschreitet die Eingangsspannung den Ansprechpegel des TOV-SPDs führt dies zu einem Abschalten des Längselementes. Klingt die Überspannung während einer Zeit t im Bereich von 3 – 5 ms ab, wird die Überspannung als transientes Ereignis gewertet und das SPD geht in den Normalbetrieb zurück. Klingt die Überspannung in diesem Zeitbereich nicht ab, wird von einem temporären Überspannungsereignis ausgegangen und das SPD geht in den passiven TOV-Betrieb über.

TOV-Betrieb passiv

In diesem Betriebsmodus ist die Last vor transienten und temporären Überspannungen geschützt. Der Betrieb ist dadurch gekennzeichnet, dass die Längselemente ausgeschaltet sind und die Querelemente je nach Phasenlage und Lastsituation sich im Linearbetrieb oder im hochohmigen Zustand befinden. In diesem Zustand wird bei anliegender TOV am Eingang und hochohmiger Last am Ausgang des SPDs eine hohe Verlustleistung umgesetzt, da sich die Halbleiter im Linearbetrieb befinden. Dies erfordert einen weiteren TOV-Modus, der mit dem TOV-Betrieb aktiv beschrieben ist.

TOV-Betrieb aktiv

Der aktive TOV-Betrieb kommt bei Lastverhältnissen zum Einsatz, die das Querelement durch eine zu hohe Ausgangsspannung in den Linearbetrieb zwingen. Ist dies der Fall, werden die Querhalbleiter eingeschaltet, womit sich ein kapazitiver Spannungsteiler vor der Last ergibt. Um auf Laständerungen reagieren zu können, wird zyklisch das Querelement ausgeschaltet und die Ausgangsspannungsänderung analysiert. Je nach Lastsituation verweilt das SPD im aktiven TOV-Betrieb oder wechselt in den passiven TOV-Betrieb. Beim Abklingen der TOV am Eingang wechselt das SPD automatisch wieder in den Normalbetrieb.

Der Unterschied in der Steuerung bei einer reinen Halbleiter-Lösung zur hybriden Schatlösung ergibt sich hauptsächlich aus der Schaltdynamik des Relais. Nachfolgend wird nun auf die einzelnen Betriebsmodi eingegangen und deren Funktion durch reale Belastungen nachgewiesen.

9.1 Qualifikation des TOV-SPD im Normalbetrieb

Der Normalbetrieb ist durch eine ungestörte Versorgungsspannung gekennzeichnet. Dieser liegt vor, wenn die Eingangsspannung $U_{IN} < 270 \text{ V}$ ist. Eine Unterspannungserkennung ist nicht vorgesehen, da diese für Lasten als unkritisch anzusehen ist. Ist $U_{IN} < 270 \text{ V}$ gewährleistet, schaltet das TOV-SPD ein. Damit hohe Inrushströme bei kapazitiven Lasten durch das Längsglied vermieden werden, erfolgt ein Zuschalten immer im Spannungsnulldurchgang. Dies ist auch deshalb nötig, damit der zu den Halbleitern parallel liegende Kondensator C_{Lg} sich nicht schlagartig über diese entlädt. **Abb. 9.3** zeigt die Unterschiede in der Verlustleistung bei der Verwendung der in **Tab. 9.1** gezeigten Längsschalter. Das Durchlassverhalten mit dem höchsten Spannungsabfall zeigt die Kombination der antiseriellen Schaltung von IGBTs ($U_{CE} = 1,2 \text{ kV}$, $I_{C25} = 50 \text{ A}$, $t_{don} = 20 \text{ ns}$, $t_{ri} = 34 \text{ ns}$, $P_C = 460 \text{ W}$, $I_{CM} = 250 \text{ A}$) mit paralleler Freilaufdiode ($U_{RRM} = 1,2 \text{ kV}$, $I_{F(AV)} = 60 \text{ A}$, $I_{FSM} = 830 \text{ A}$, $t_{rr} = 480 \text{ ns}$). Dies ist im ersten Moment widersprüchlich, da es sich um bipolare Bauelemente handelt und diese bei hohen Strömen ein besseres Durchlassverhalten erwarten lassen als unipolare Bauelemente. MOSFET Die MOSFET-Lösung ($U_{DS} = 1200 \text{ V}$, $U_{GS(th)} = 2 - 4 \text{ V}$, $I_{D25} = 90 \text{ A}$, $R_{DSon} = 25 \text{ m}\Omega$, $P_D = 463 \text{ W}$) ist aus zwei Gründen der IGBT-Dioden-Lösung überlegen. Erstens entfällt durch die antiserielle Verschaltung der MOSFETs die Diffusionsspannung der Bodydiode von M_{Lg2} .

Zweitens zeigt sich der große Entwicklungsfortschritt, der bei MOSFETs auf SiC-Basis erreicht worden ist. Mit dem Durchlasswiderstand von $R_{DSon} = 25 \text{ m}\Omega$ (Datenblattangabe bei $\vartheta_A = 25^\circ\text{C}$) ist eine Verlustleistung unter $P_V = 5 \text{ W}$ bei einem Laststrom von $I_L = 8 \text{ A}$ zu erreichen. Bei beiden Halbleiterverlustleistungsbestimmungen wurde die Messung im thermisch eingeschwungenen Zustand durchgeführt, d.h. die etwaige Erhöhung der Durchlassverluste, z.B. durch den Anstieg des R_{DSon} mit der Temperatur, sind in den Messkurven aus **Abb. 9.3** bereits berücksichtigt. Der mechanische Kontakt, wie die blaue Kurve in **Abb. 9.3** zeigt, stellt die Lösung mit den niedrigsten Durchlassverlusten dar. Mit einem Durchlasswiderstand von $R_R = 4 \text{ m}\Omega$ bei einem Laststrom von $I_L = 16 \text{ A}$ ist das Relais, aus Sicht des Durchlassverhaltens, beiden Halbleiter-Lösungen überlegen.

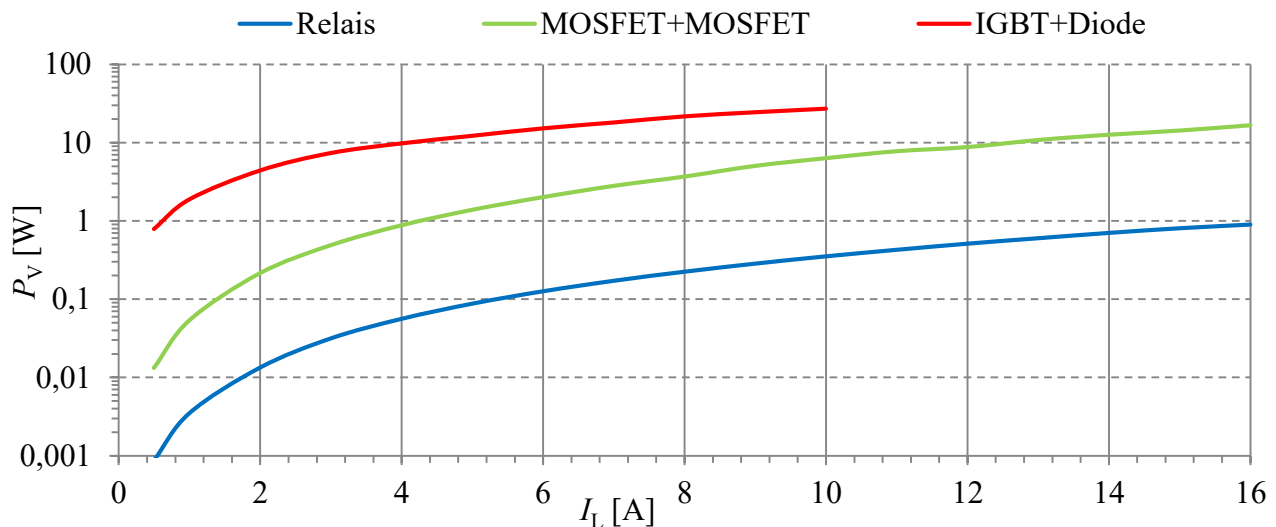


Abb. 9.3: Verlustleistungsvergleich unterschiedlicher Längsglieder während des Normalbetriebes

Im Nachfolgenden soll gezeigt werden, welche negativen Eigenschaften das Relais in Bezug auf die Schaltdynamik und damit auf die Reaktion bei transienten und temporären Überspannungen hat.

9.2 Qualifikation der Schutzfunktion bei transienten Überspannungen

Der Test der transienten Überspannungsschutzfunktion erfolgte für beide TOV-SPD Varianten, d.h. mit der hybriden Schalterlösung und der reinen halbleiterbasierten Lösung. Hierfür wurden zwei Versuche durchgeführt. In Versuch eins wurde die hybride Schalterlösung mit geschlossenem Relais getestet. Bei geschlossenem Relais befindet sich das TOV-SPD im Normalbetrieb, wie aus **Abb. 9.2** hervorgeht. Da die Schaltdynamik des Relais nicht ausreicht, um auf induzierte Stoßströme oder Blitzstoßströme zu reagieren, ist für den ersten Versuch eine induktive Entkopplung $L_{Lg} = 20 \mu\text{H}$ notwendig. Das Grobschutzelement SPD_{Q1} wurde hierbei zwischen der Funkenstrecke (FS) und dem MOV aus **Tab. 9.1** variiert. Im zweiten Versuch wurde die reine Halbleiter-Variante getestet. Die Schaltdynamik von Halbleitern ist ausreichend, um auf transiente Überspannungen ohne induktive Entkopplung zu reagieren. Aus diesem Grund wurde L_{Lg} entfernt. Als Grobschutz wurde ausschließlich der Varistor verwendet. **Abb. 9.4** zeigt den Messaufbau für die Qualifizierung der transienten Überspannungsschutzfunktion. Beide Versuche wurden mit und ohne Netzspannung durchgeführt sowie während des Normalbetriebs und des TOV-Betriebs. Wobei eine transiente Überspannung, die im Normalbetrieb auftritt, die härteste Anforderung darstellt, da das Längsglied bei hohen Strömen geschaltet werden muss. Im TOV-Betrieb befindet sich das Längsglied bereits im hochohmigen Zustand.

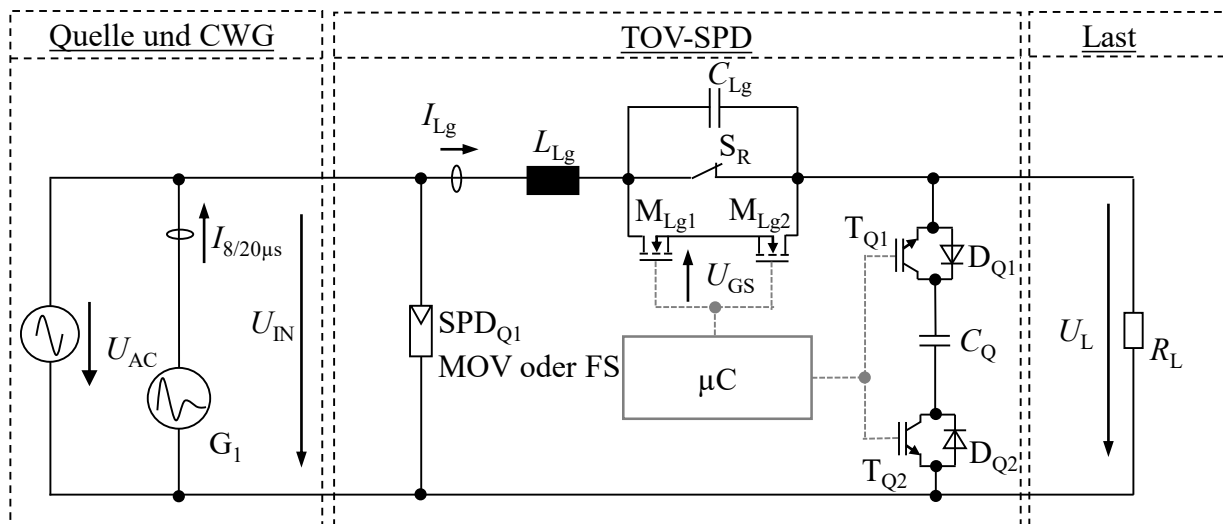


Abb. 9.4: Messaufbau zur Qualifizierung des transienten Überspannungsschutzes mit Relais und induktiver Entkopplung L_{Lg}

Versuch eins ist in **Abb. 9.5** dargestellt, wobei links der Ableitvorgang eines MOV bei einem Überspannungsereignis mit Netzspannung zum Phasenwinkel von $\varphi = 30^\circ$ und rechts der Ableitvorgang einer FS ohne Netzspannung dargestellt ist. Um eine Vergleichbarkeit der Ableitvorgänge zu gewährleisten, wurde eine nahezu identische Stoßstrombelastung mit $I_{8/20\mu s} = 3,4$ kA bei dem Funkenstreckenaufbau und $I_{8/20\mu s} = 3,7$ kA bei dem MOV-Aufbau gewählt. Bei beiden Versuchen wurde eine induktive Entkopplung von $L_{Lg} = 20$ μ H gewählt. Während des Ableitvorgangs mit dem MOV als Grobschutzelement steigt die Eingangsspannung für $t = 30$ μ s auf $U_{IN} = 1,2$ kV. Dies hat einen hohen Stromfluss über die Längsinduktivität L_{Lg} von $I_{Lg} = 2,1$ kA zur Folge, welcher vom lastseitigen Querelement, in diesem Fall dem Transistor T_{Q2} , dem Kondensator C_Q und der Diode D_{Q1} , übernommen werden muss. Um den Kondensator zu schützen kann es notwendig sein einen weiteren MOV parallel zu C_Q zu schalten. An der Last tritt eine maximale Überspannung von $U_L = 670$ V auf. Dies entspricht einem sehr guten Schutzpegel für AC-Netze.

Im Falle des Ableitvorgangs mit Funkenstrecke ist eine maximale Eingangsspannung von $U_{IN} = 1,05$ kV zu beobachten. Aufgrund des spannungsschaltenden Verhaltens von Funkenstrecken fließt nur im ersten Moment des Überspannungsereignisses ein Strom $I_{Lg} = 10$ A über die Längsinduktivität. Nach dem Ansprechen der Funkenstrecke ist kein Stromfluss mehr zu beobachten. Dies hat auch eine deutlich geringere Belastung des lastseitigen Querelementes zur Folge. Über dem Querelement ist ein Spannungsabfall von $U_L = 300$ V ersichtlich, welcher nicht zu dessen Ansprechen ausreicht.

Weiterhin ist beim Ableitvorgang der Funkenstrecke im Einschaltzeitpunkt $t = 22$ μ s und bei der Stromkommutierung zum Zeitpunkt $t = 68$ μ s ein hochfrequentes Schwingen im Längsstrom und in der Lastspannung zu erkennen. Dies tritt immer dann auf, wenn sich der Lichtbogen in der Funkenstrecke aufbaut oder sich die Polarität der Lichtbogenspannung ändert. Dadurch werden hohe Spannungsänderungsgeschwindigkeiten hervorgerufen. Bei der Messung aus **Abb. 9.5** lagen diese während des Einschaltens bei $du/dt = -6,9$ kV/ μ s und während der Stromkommutierung bei $du/dt = -4,3$ kV/ μ s. Zusammen mit den parasitären Elementen im Stromkreis führt dies zu den gezeigten Schwingungen. Die Spannungssteilheit ist der wesentlicher Nachteil der Funkenstrecken-Lösung, da diese Störungen im μC hervorrufen können.

Aus Sicht der Stoßstrombelastung des Quergliedes und damit der Belastung der Leistungshalbleiter stellt die Funkenstreckenlösung jedoch die bessere Variante dar.

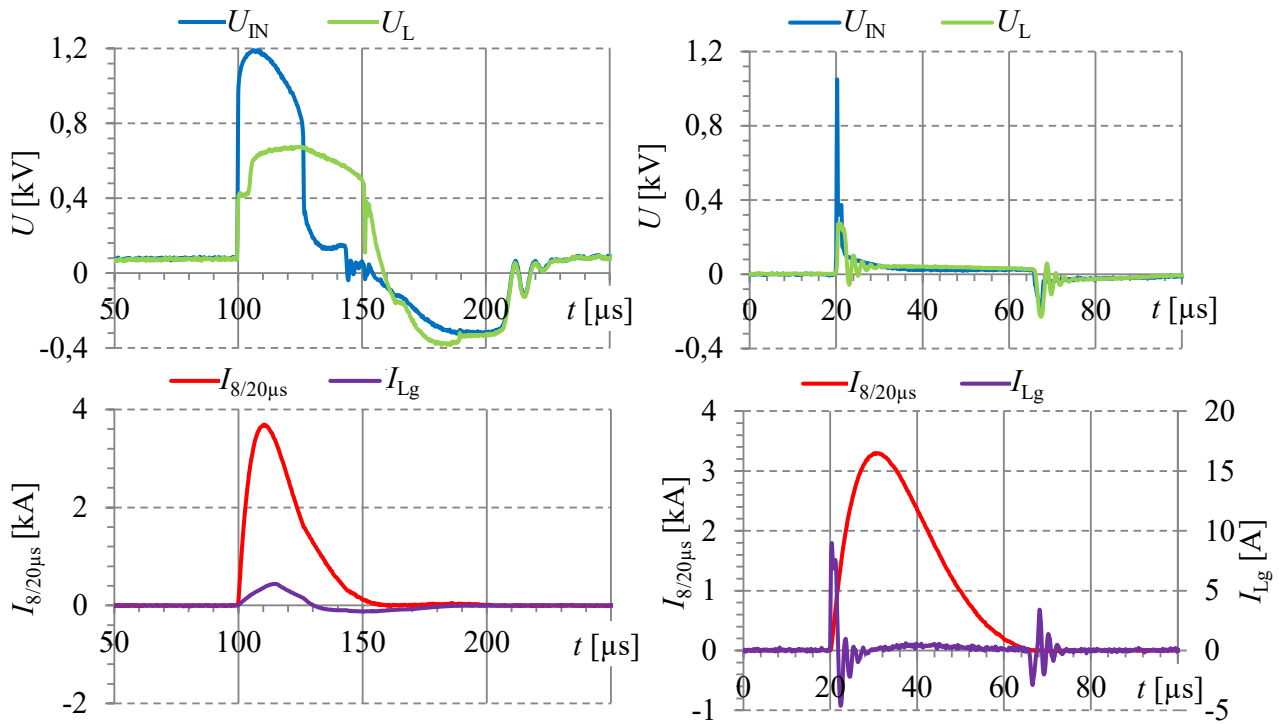


Abb. 9.5: Ableitvorgang des TOV-SPDs mit Relais bei $L_{Lg} = 20 \mu H$ und MOV (links) sowie mit FS (rechts)

Für den zweiten Versuch, dem Test der reinen Halbleiter-Variante, wurde nur ein Varistor als Grobschutzelement verwendet, damit die Steuerung der Halbleiter nicht durch die hohen Spannungssteilheiten der FS beeinflusst wird. Weiterhin ist aufgrund des deutlich schnelleren Schaltverhaltens der Halbleiter im Vergleich zum Relais keine induktive Entkopplung notwendig. Für die Funktion des transienten Überspannungsschutzes mit der Entkopplung über Halbleiter ist ein Verständnis der Überspannungsdetektion erforderlich. Dieses wird durch **Abb. 9.6** hergestellt.

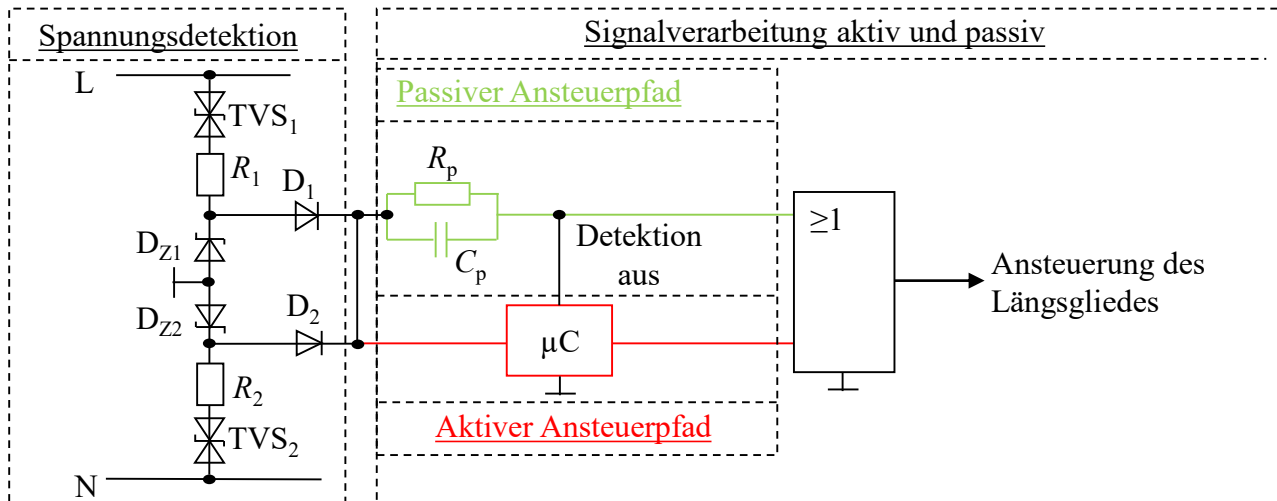


Abb. 9.6: Vergleich einer passiven Ansteuerung zu einer aktiven Ansteuerung bei transienten Überspannungen

Hier wurde, wie bei dem Treiberdesign für die Bauelementuntersuchungen eine aktive und eine passive Überspannungsdetektion implementiert. Die passive Detektion läuft über den Kondensator C_p und den Widerstand R_p . Die aktive Detektion ist über den μC realisiert und daher stark von der implementierten Software (Sleep-modi, Interrupt Service Routine ISR, usw.) abhängig.

Weiterhin kann die passive Detektion über den μC deaktiviert werden, was dessen Betriebsbereitschaft voraussetzt. Tritt eine Überspannung L gegen N auf, führt dies, unabhängig von deren Polarität, zu einem Abschalten des Längshalbleiters. Die Ansteuerung ist dabei in erster Näherung als rein pegelgesteuert anzusehen, solange die Sperrschichtkapazitäten der TVS-Dioden nicht dominieren. **Abb. 9.7** zeigt den großen Unterschied, den die Reaktionszeit t_r der Überspannungsdetektion auf die Belastung des Quer- und Längselementes und damit auf die Halbleiter-Schalter hat.

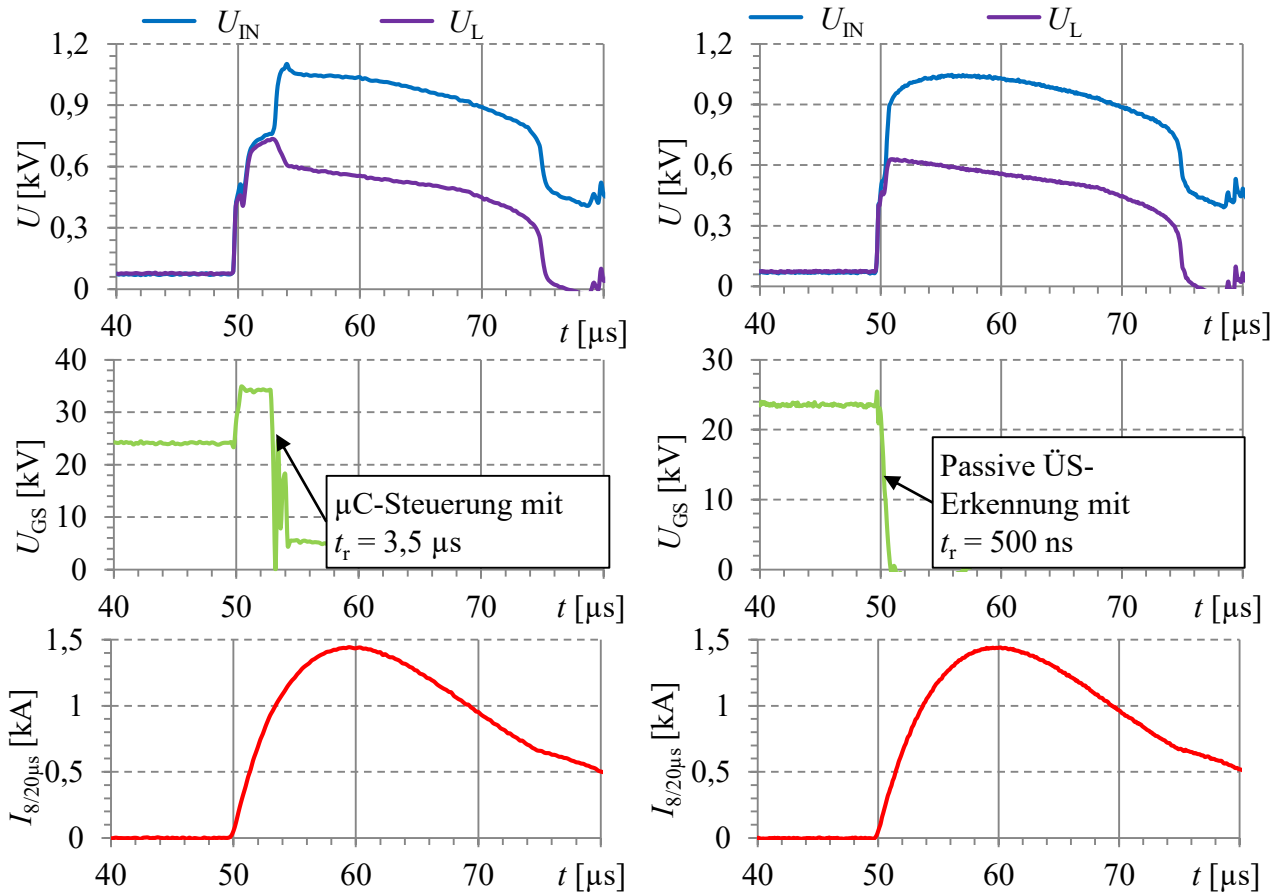


Abb. 9.7: Einfluss der Reaktionsgeschwindigkeit auf das Ableitvermögen – Impulseinkopplung bei $\varphi = 30^\circ$

Für eine Vergleichbarkeit der Ableitvorgänge wurde bei beiden Versuchen mit $I_{8/20\mu\text{s}} = 1,45 \text{ kA}$ gearbeitet. Als Längselement kam die antiserielle Schaltung der MOSFETs aus **Tab. 9.1** zum Einsatz. In der linken Hälfte der Abbildung ist die aktive Überspannungserkennung dargestellt. Diese besitzt aufgrund des μC eine Reaktionszeit von $t_r = 3,5 \mu\text{s}$. Damit fließt der gesamte Stoßstrom bis zum Ausschaltzeitpunkt bei $t = 53,5 \mu\text{s}$ über die MOSFETs und das lastseitige Querglied. Dies stellt gerade für die interne Bodydiode der MOSFETs eine große Belastung ($I_{Lg} = 1,2 \text{ kA}$) nahe der Grenzbelastbarkeit dar. Ein sicherer Betrieb ist somit nicht möglich.

Durch die Verwendung der passiven Überspannungsdetektion kann die Reaktionszeit auf $t_r = 500 \text{ ns}$ und damit gleichzeitig die Belastung für das Längselement auf $I_{Lg} = 250 \text{ A}$ reduziert werden. Dies ist in **Abb. 9.7** rechts dargestellt. Über die Reaktionszeit t_r und die maximale Stromtragfähigkeit $I_{Lg,max}$ des Längselementes, in der realisierten Variante $I_{Lg,max} \approx 1,5 \text{ kA}$ für $t_r = 500 \text{ ns}$, ist das maximale Ableitvermögen berechenbar. Dies ergibt sich aus Gl. (3.1.3) und führt zu folgender Lösung:

$$I_{8/20\mu\text{s}} = I_{Lg,max} \cdot \frac{\eta}{e^{-\frac{t_r}{\tau}} \cdot \sin(\omega \cdot t_r)} \approx 16 \text{ kA} \quad (9.2.1)$$

Bei beiden Versuchen muss das Längselement die Spannungsdifferenz $U_{Lg} = U_{IN} - U_L$ aufnehmen. Diese wird durch den Spannungsabfall am quellenseitigen Varistor, dem Querglied und dem Längskondensator C_{Lg} bestimmt. Über den Längskondensator fließt bei abgeschalteten MOSFETs ein kapazitiver Verschiebestrom in das Querglied. Damit fungiert C_{Lg} als Spannungssymmetrierung bei transienten Vorgängen zwischen Grobschutz und Querglied. Weiterhin hat die für die Spannungsversorgung während einer TOV groß ausgelegte Kapazität C_{Lg} beim Abschalten des Längsgliedes die positive Wirkung eines Snubbers und verhindert das Überschreiten der Sperrspannung durch die von der Netzinduktivität hervorgerufene Überspannung. Die Längskapazität hat jedoch auch negative Auswirkungen auf die transiente Überspannungsschutzfunktion. Je größer C_{Lg} desto höher ist der kapazitive Verschiebestrom und damit die Belastung des Quergliedes. Dies liefert ein weiteres Argument für den Einsatz eines MOV als quellenseitiger Grobschutz, da das spannungsbegrenzende Verhalten während der Stoßstrombelastung kleinere Spannungssteilheiten zur Folge hat und daher reduzierte kapazitive Verschiebestrome zu erwarten sind.

9.3 Qualifikation der TOV-Schutzfunktionen

Die Qualifizierung der Schutzfunktion und der Spannungsversorgung während einer TOV erfolgt an einer einphasigen Last mit starrer Quelle. Hierzu sollen im Nachfolgenden zwei Versuche beschrieben werden:

1. Schutzfunktion und Notversorgung einer hochohmigen passiven Last bei TOV
2. Schutzfunktion und Notversorgung verschiedener Schaltnetzteile bei TOV

In einem weiteren Schritt wird die Spannungsversorgung im Dreileitersystem mit den Eigenschaften des TOV-SPDs aus **Abb. 9.2** auf Halbleiterbasis anhand einer analytischen Betrachtung der Netzverhältnisse untersucht.

9.3.1 Schutzfunktion und Notversorgung einer hochohmigen passiven Last

Aufgrund der langsamen Schaltdynamik ist die hybride Relais-Lösung für den Schutz gegen transiente Überspannungen nur mit einer induktiven Längsentkopplung geeignet. Mit einem Relais kann höchstens eine Schaltdynamik von $t = 5 - 10$ ms erreicht werden. Dies ist aus Sicht des Lastschutzes inakzeptabel, da es bei diesen langen Schaltzeiten bereits zu Vorschädigungen von Elektrolytkondensatoren in den zu schützenden Lasten kommt.

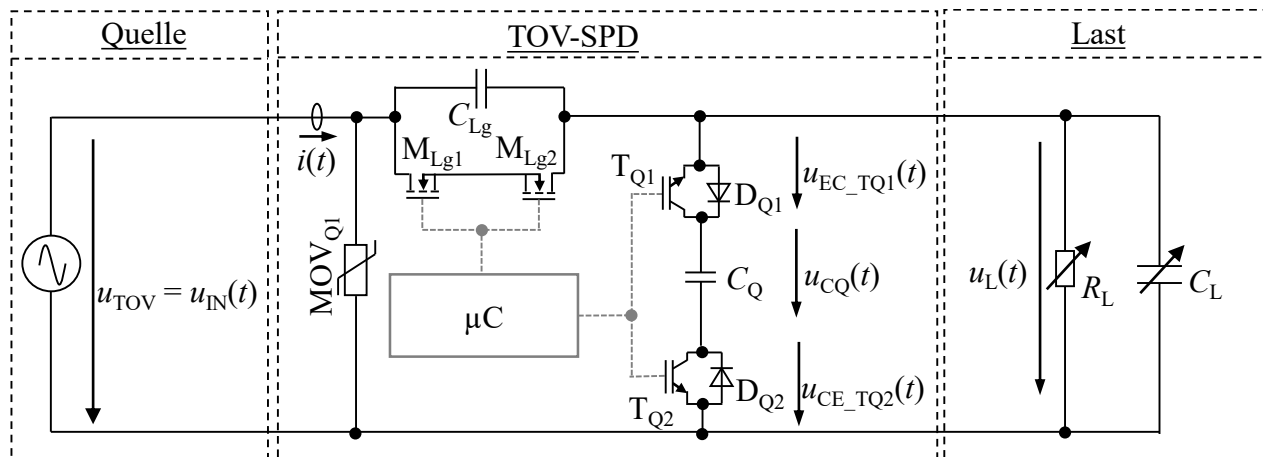


Abb. 9.8: Messaufbau zur Qualifizierung des TOV-Betriebs

Trotz der Vorteile des Relais in Bezug auf seine Durchlasseigenschaften sind die nachfolgenden Qualifizierungen des TOV-Schutzes mit einer reinen Halbleiter-Lösung durchgeführt worden. Dies begrenzt den Nennstrom auf die in **Abb. 9.3** gezeigten $I_n = 6$ A, um eine maximale Verlustleistung von $P_V < 5$ W nicht zu überschreiten. **Abb. 9.8** zeigt den Messaufbau zur Qualifizierung der TOV-Schutzfunktion. Für die Simulation der TOV kam eine starre Quelle mit einem Ausgangsspannungsbereich von $U_{AC} = 0 - 400$ V zum Einsatz. Das TOV-SPD wurde zwischen Last und Quelle geschaltet, wobei variable ohmsche und kapazitive Belastungen erfolgen.

Abb. 9.9 zeigt nun die Reaktion des TOV-SPDs auf eine temporäre Überspannung von $U_{TOV} = 400$ V am Eingang bei einer hochohmigen Last von $R_L = 200$ k Ω .

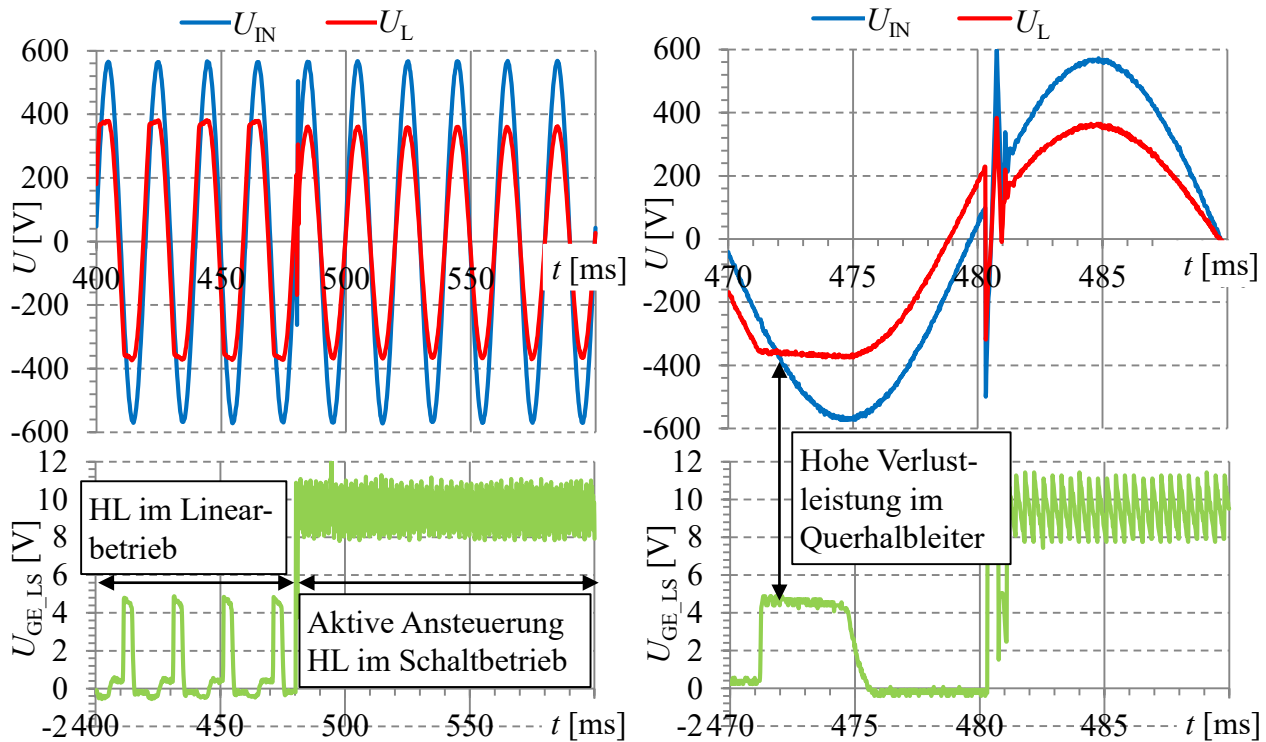


Abb. 9.9: Spannungsversorgung während einer TOV bei hochohmiger Last $R_L = 200$ k Ω im Schaltbetrieb und im Linearbetrieb (rechts vergrößerter Zeitausschnitt)

Tritt eine Überspannung auf und wird diese nach dem Ablauf aus **Abb. 9.2** als temporäre Überspannung erkannt, werden die MOSFETs M_{Lg1} und M_{Lg2} abgeschaltet und die Kapazität C_{Lg} liegt in Serie zur Last sowie dem Querglied des TOV-SPDs. Das Querglied befindet sich bei hochohmigen Lasten im Linearbetrieb, da der Spannungsabfall über der Längskapazität nicht ausreichend ist, um die Lastspannung auf die eingestellte maximale Spannung von $U_{L,max} < 270$ V zu begrenzen. Der Linearbetrieb ist in **Abb. 9.9** im Zeitbereich $t = 400 - 480$ ms zu sehen. In diesem Bereich wird im Querglied eine hohe Verlustleistung umgesetzt, was bei einer Dauerbelastung zur Zerstörung der IGBTs T_{Q1} und T_{Q2} führen kann, wenn diese nicht ausreichend gekühlt werden. Die Verlustleistung ist maßgeblich vom Kondensator C_{Lg} und den Lastverhältnissen abhängig. Hierbei stellt die Lastsituation $|Z_L| = \infty$ Ω die maximal mögliche Belastung des Quergliedes dar. In dieser Situation können die Strom- und Spannungsverhältnisse beim Zuschalten der TOV-Eingangsspannung im Nulldurchgang während der ersten Periode wie folgt beschrieben werden.

Eingangsspannung:

$$u_{IN}(t) = \hat{U} \cdot \sin(\omega \cdot t) \quad (9.3.1)$$

Lastspannung:

$$u_L(t) = \begin{cases} u_{IN}(t), & 0 \leq t \leq \arcsin\left(\frac{U_{Cl}}{\hat{U}}\right) \cdot \frac{1}{\omega} \\ U_{Cl}, & \frac{1}{\omega} \cdot \arcsin\left(\frac{U_{Cl}}{\hat{U}}\right) < t \leq \frac{\pi}{2} \cdot \frac{1}{\omega} \\ \hat{U} \cdot (\sin(\omega \cdot t) - 1) + U_{Cl}, & \frac{\pi}{2} \cdot \frac{1}{\omega} < t \leq \left| \frac{1}{\omega} \cdot \sin\left(1 - \frac{2 \cdot U_{Cl}}{\hat{U}}\right) \right| + \frac{T}{2} \\ -U_{Cl}, & \left| \frac{1}{\omega} \cdot \sin\left(1 - \frac{2 \cdot U_{Cl}}{\hat{U}}\right) \right| + \frac{T}{2} < t \leq -\frac{\pi}{2} \cdot \frac{1}{\omega} + T \\ \hat{U} \cdot (\sin(\omega \cdot t) + 1) - U_{Cl}, & -\frac{\pi}{2} \cdot \frac{1}{\omega} + T < t \leq \left| \frac{1}{\omega} \cdot \sin\left(1 - \frac{2 \cdot U_{Cl}}{\hat{U}}\right) \right| + T \end{cases} \quad (9.3.2)$$

Gesamtstrom:

$$i(t) = \begin{cases} 0, & 0 \leq t \leq \arcsin\left(\frac{U_{Cl}}{\hat{U}}\right) \cdot \frac{1}{\omega} \\ C_{Lg} \cdot \hat{U} \cdot \omega \cdot \cos(\omega \cdot t), & \frac{1}{\omega} \cdot \arcsin\left(\frac{U_{Cl}}{\hat{U}}\right) < t \leq \frac{\pi}{2} \cdot \frac{1}{\omega} \\ 0, & \frac{\pi}{2} \cdot \frac{1}{\omega} < t \leq \left| \frac{1}{\omega} \cdot \sin\left(1 - \frac{2 \cdot U_{Cl}}{\hat{U}}\right) \right| + \frac{T}{2} \\ C_{Lg} \cdot \hat{U} \cdot \omega \cdot \cos(\omega \cdot t), & \left| \frac{1}{\omega} \cdot \sin\left(1 - \frac{2 \cdot U_{Cl}}{\hat{U}}\right) \right| + \frac{T}{2} < t \leq -\frac{\pi}{2} \cdot \frac{1}{\omega} + T \\ 0, & -\frac{\pi}{2} \cdot \frac{1}{\omega} + T < t \leq \left| \frac{1}{\omega} \cdot \sin\left(1 - \frac{2 \cdot U_{Cl}}{\hat{U}}\right) \right| + T \end{cases} \quad (9.3.3)$$

Spannung über dem Kondensator C_Q :

$$u_{C_Q}(t) = \frac{1}{C_Q} \cdot \int i(t) dt \quad (9.3.4)$$

Die Spannung über dem Kondensator C_Q bestimmt sich aus dem Verlauf des Gesamtstromes und ist mit Gl. (9.3.4) und der Definition des Stromes nach Gl. (9.3.3) ausreichend beschrieben.

Spannung über den Transistoren T_{Q1} und T_{Q2} :

$$u_{EC,T_{Q1}}(t) + u_{CE,T_{Q2}}(t) = u_L(t) - u_{C_Q}(t) \quad (9.3.5)$$

Für die Verlustleistungsermittlung ist immer nur ein Transistor zu betrachten. Aus diesem Grund wurde nur der Spannungsverlauf über T_{Q1} ermittelt.

$$u_{EC,T_{Q1}}(t) = \begin{cases} 0, & 0 \leq t \leq \arcsin\left(\frac{U_{Cl}}{\hat{U}}\right) \cdot \frac{1}{\omega} \\ 0, & \frac{1}{\omega} \cdot \arcsin\left(\frac{U_{Cl}}{\hat{U}}\right) < t \leq \frac{\pi}{2} \cdot \frac{1}{\omega} \\ \hat{U} \cdot (\sin(\omega \cdot t) - 1) + U_{Cl} - U_{pC}, & \frac{\pi}{2} \cdot \frac{1}{\omega} < t \leq \left| \frac{1}{\omega} \cdot \sin\left(1 - \frac{2 \cdot U_{Cl}}{\hat{U}}\right) \right| + \frac{T}{2} \\ -U_{Cl} - U_{pC} - \frac{C_{Lg}}{C_Q} \cdot \omega \cdot \hat{U} \int \cos(\omega t) dt, & \left| \frac{1}{\omega} \cdot \sin\left(1 - \frac{2 \cdot U_{Cl}}{\hat{U}}\right) \right| + \frac{T}{2} < t \leq -\frac{\pi}{2} \cdot \frac{1}{\omega} + T \\ 0, & -\frac{\pi}{2} \cdot \frac{1}{\omega} + T < t \leq \left| \frac{1}{\omega} \cdot \sin\left(1 - \frac{2 \cdot U_{Cl}}{\hat{U}}\right) \right| + T \end{cases}$$

Mit den nun bekannten Strom- und Spannungsverhältnissen kann die maximale Verlustleistung während einer Halbwelle im Transistor T_{Q1} berechnet werden. Eine Verlustleistung ergibt sich immer nur während des Stromflusses.

Hierbei stellen die in Rot gekennzeichneten Ströme und Spannungen die im eingeschwungenen Zustand maximal zu erwartenden Verläufe dar.

$$P_{V_{T_{Q1}}} = u_{EC_{T_{Q1}}}(t) \cdot i(t) \quad (9.3.6)$$

Die mittlere Verlustleistung über eine Periode berechnet sich damit wie folgt:

$$\overline{P_{V_{T_{Q1}}}} = \sqrt{\frac{1}{T} \int_0^T (P_{V_{T_{Q1}}})^2 dt} \quad (9.3.7)$$

Auch der Energieumsatz in den Transistoren kann berechnet werden:

$$W_{T_{Q1}} = W_{Q_{ges}} - W_C = \int_{\left| \frac{1}{\omega} \sin\left(1 - \frac{2 \cdot U_{CL}}{U} \right) \right| + \frac{T}{2}}^{-\frac{\pi}{2} \cdot \frac{1}{\omega} + T} (u_L(t) - u_{C_Q}(t)) \cdot i(t) dt \quad (9.3.8)$$

Für die Messung in **Abb. 9.9** und die verwendeten Bauelemente aus **Tab. 9.1** ergibt sich nach Gl. (9.3.7) und Gl. (9.3.8) eine Verlustleistung im Transistor T_{Q1} von $P_{V_{T_{Q1}}} = 33 \text{ W}$ und ein Energieumsatz von $W_{T_{Q1}} = 0,66 \text{ Ws}$. Die Gesamtverlustleistung in beiden Transistoren beträgt demnach $P_{V_{ges}} = 66 \text{ W}$. Diese Verlustleistung ist vom eingesetzten IGBT mit $P_C = 460 \text{ W}$ bei $\vartheta_C = 25^\circ\text{C}$ beherrschbar. Für einen Einbau in einem Gehäuse für die Hutschienenmontage ist die Umgebungstemperatur von $\vartheta_C = 25^\circ\text{C}$ jedoch nicht zu halten. Je nach Einbauort und Umgebungstemperatur ist eine dauerhafte Abführung der Verlustleistung somit nicht zu garantieren. Dies kann zu einer Überschreitung von ϑ_j führen und damit zur Zerstörung der Querhalbleiter. Daher werden die Halbleiter (HL), wie in **Abb. 9.9** gezeigt, nach einer definierten Zeit im Linearbetrieb während einer TOV aktiv eingeschaltet. In diesem Betriebsmodus sind nur noch die Durchlassverluste zu berücksichtigen, die jedoch bei den möglichen Amplituden der kapazitiven Verschiebestromen über $C_{Lg} = 5 \mu\text{F}$ zu vernachlässigen sind. Der Übergang des TOV-SPDs vom Linearbetrieb in den Schaltbetrieb ist in **Abb. 9.9** bei $t = 481 \text{ ms}$ ersichtlich. Im Einschaltmoment fließt ein großer Strom über C_{Lg} in den Querkondensator, was die Spannungsspitze erklärt. Im Schaltbetrieb ergibt sich ein kapazitiver Spannungsteiler aus C_Q und C_{Lg} , welcher so ausgelegt ist, dass im Leerlauf ($R_L = \infty$) bei maximaler TOV die Spannung von $U_L = 270 \text{ V}$ nicht überschritten werden kann.

9.3.2 Einphasige Notversorgung von Schaltnetzteil bei TOV

Das vorangegangene Kapitel hatte zum Ziel, die maximale Belastung des Querglieds darzustellen sowie die dabei auftretenden Spannungsverhältnisse an der Last zu kennzeichnen. Heutige reale Lasten im AC-Netz sind jedoch nur selten rein passiv, sondern in den meisten Fällen geregelte Schaltnetzteile. Um eine mögliche Notversorgung solcher Lasten während einer TOV zu testen, wurden Schaltnetzteile im Leistungsbereich von $P_n = 10 - 150 \text{ W}$ mit vorgelagertem TOV-SPD betrieben. Der dafür verwendete Messaufbau ist in **Abb. 9.10** dargestellt. Bei großen Lasten sinkt die Ausgangsspannung auf $U_L < 270 \text{ V}$ während einer TOV-Situation. Damit ist das Querelement inaktiv. Die über das TOV-SPD in diesem Lastfall bei TOV maximal zu entnehmende Leistung ist dann nur noch von der Längskapazität C_{Lg} und der TOV-Spannung abhängig. Für die TOV-Spannung wurde bei diesen Versuchen ein starres Netz angenommen. Dies entspricht bei Fehlerfällen, wie der Neutralleiter-Unterbrechung, nicht den realen Netzverhältnissen, wie aus **Kap. 3.3** hervorgeht. Die TOV-Spannung ist stark von den Lastverhältnissen im Netz abhängig.

Um die einphasigen Notlaufeigenschaften zu verifizieren und die Funktion herauszustellen, soll in diesem Kapitel jedoch trotzdem von einem starren Netz ausgegangen werden. Auf die realen Verhältnisse bei einem dreiphasigen Betrieb wird in **Kap. 9.3.3** eingegangen.

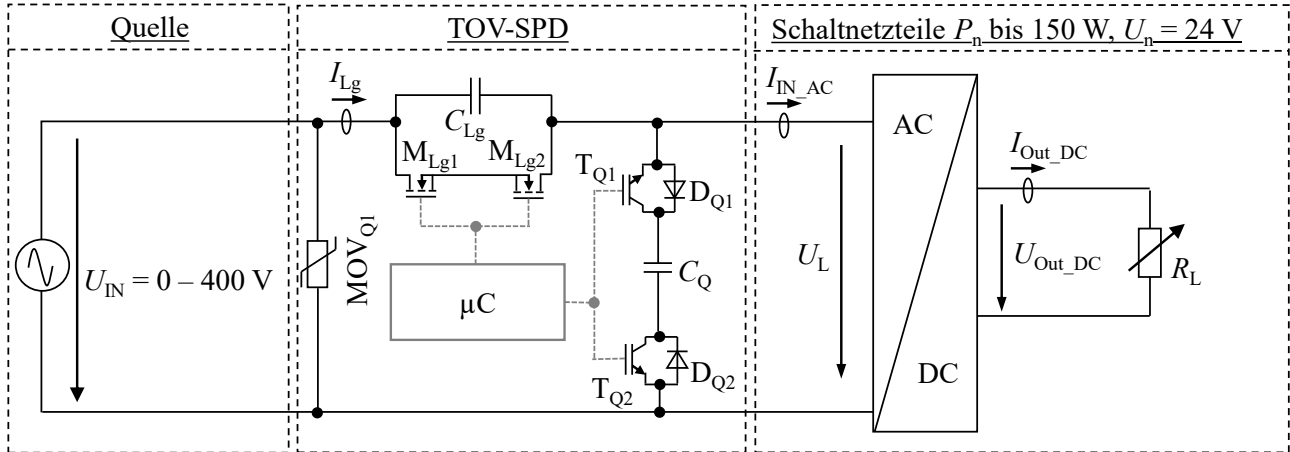


Abb. 9.10: Messaufbau zur Überprüfung der einphasigen Spannungsversorgung bei TOV

Die maximal abrufbare Wirkleistung bei einer starren TOV-Spannung im einphasigen Fall kann über die bekannte Leistungsanpassung in komplexer Form nach [34] berechnet werden. Bei aktivem TOV-SPD führt dies zu dem in **Abb. 9.11** dargestellten Ersatzschaltbild von Quelle und Last.

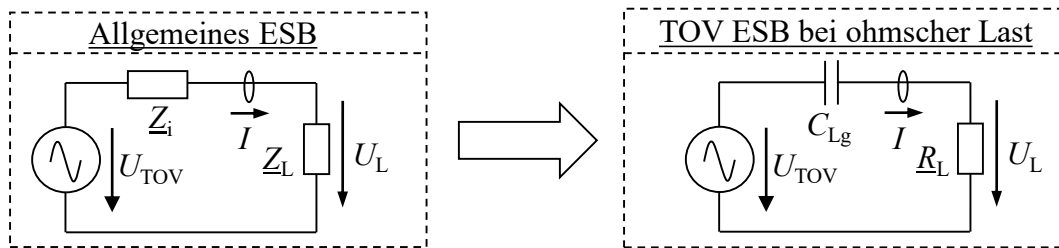


Abb. 9.11: ESB zur Berechnung der maximal möglichen Leistungsentnahme über das TOV-SPD

Allgemein gilt für abrufbare Leistung:

$$P_L = U_{TOV} \cdot I \cdot \cos \varphi = \frac{|U_{TOV}|^2}{|Z_{ges}|^2} \cdot R_L = \frac{|U_{TOV}|^2 \cdot R_L}{(R_L + R_i)^2 + (X_L + X_i)^2} \quad (9.3.9)$$

Aus Gl. (9.3.9) geht hervor, dass induktiv wirkende Lasten die abrufbare Leistung erhöhen und kapazitive Lasten die Leistung reduzieren. Die maximale Leistung ergibt sich, wenn gilt:

$$\frac{dP_L}{dR_L} = 0 \quad \text{und} \quad \frac{dP_L}{dX_L} = 0 \quad (9.3.10)$$

Dies führt zur Lösung:

$$P_{L_{max}} \quad \text{bei} \quad R_L = R_i \quad \text{und} \quad X_L = -X_i \quad (\text{Resonanz})$$

Bei Resonanz zwischen dem Längskondensator und der induktiven Last kann daher die volle Leistung aus dem Netz abgerufen werden:

$$P_{L_{max}} = \frac{|U_{TOV}|^2}{4 \cdot R_i} \quad (9.3.11)$$

Hierzu wäre bei einem Kondensator $C_{Lg} = 5 \mu\text{F}$ eine Induktivität von $L_L = 2 \text{ H}$ nötig, um die Resonanzbedingung zu erfüllen. Diese Induktivitätswerte sind unrealistisch hoch. Bei den mit diesem Konzept zu schützenden Lasten, wie z.B. Schaltnetzteile oder Spannungsversorgungen von Steuerungen, ist ein ohmsch-kapazitives Lastverhalten zu erwarten.

Bei rein ohmschen Lasten ($X_L = 0 \Omega$) dominiert der Blindwiderstand von C_{Lg} gegenüber dem Innenwiderstand R_i . Daraus folgt, dass für $R_i = 0 \Omega$ angenommen werden kann. Dies führt zur maximalen Leistungsentnahme für ohmsche Lasten:

$$\frac{dP_L}{dR_L} = 0 \quad \text{mit} \quad P_L = \frac{|\underline{U}_{TOV}|^2 \cdot R_L}{(R_L)^2 + (X_{C_{Lg}})^2} \rightarrow P_{L_{max}} \quad \text{bei} \quad R_L = X_{C_{Lg}}$$

$$P_{L_{max}} = \frac{|\underline{U}_{TOV}|^2 \cdot X_{C_{Lg}}}{(X_{C_{Lg}})^2 + (X_{C_{Lg}})^2} = \frac{|\underline{U}_{TOV}|^2}{2 \cdot X_{C_{Lg}}} \quad (9.3.12)$$

Gl. (9.3.12) definiert auch gleichzeitig die Grenze der Spannungsversorgung bei TOV. Steigt die Belastung über $P_{L_{max}}$ kann kein Betrieb der Last mehr gewährleistet werden. Im Falle des realisierten TOV-SPDs entspricht dies mit einer Kapazität von $C_{Lg} = 5 \mu\text{F}$ und einer TOV-Spannung $U_{TOV} = 400 \text{ V}$ einer maximalen Leistung von $P_{L_{max}} = 125 \text{ W}$. Die Schutzfunktion vor TOV ist jedoch auch bei einem Ausfall der Notlaufeigenschaften weiterhin bei jeder Lastsituation gegeben.

In einem ersten Versuch wurde das Verhalten des TOV-SPDs im Zusammenspiel mit einem 24 V-Schaltnetzteil $P_n = 60 \text{ W}$ beim Zuschalten einer TOV untersucht. Die Strombelastungen am 24 V-Ausgang des Schaltnetzteils betrugen $I_{Out_DC} = 1,6 \text{ A}$ und $I_{Out_DC} = 2 \text{ A}$. Die Versuchsergebnisse sind in **Abb. 9.12** links für die geringere Belastung mit $I_{Out_DC} = 1,6 \text{ A}$ und rechts für die höhere Belastung von $I_{Out_DC} = 2 \text{ A}$ dargestellt.

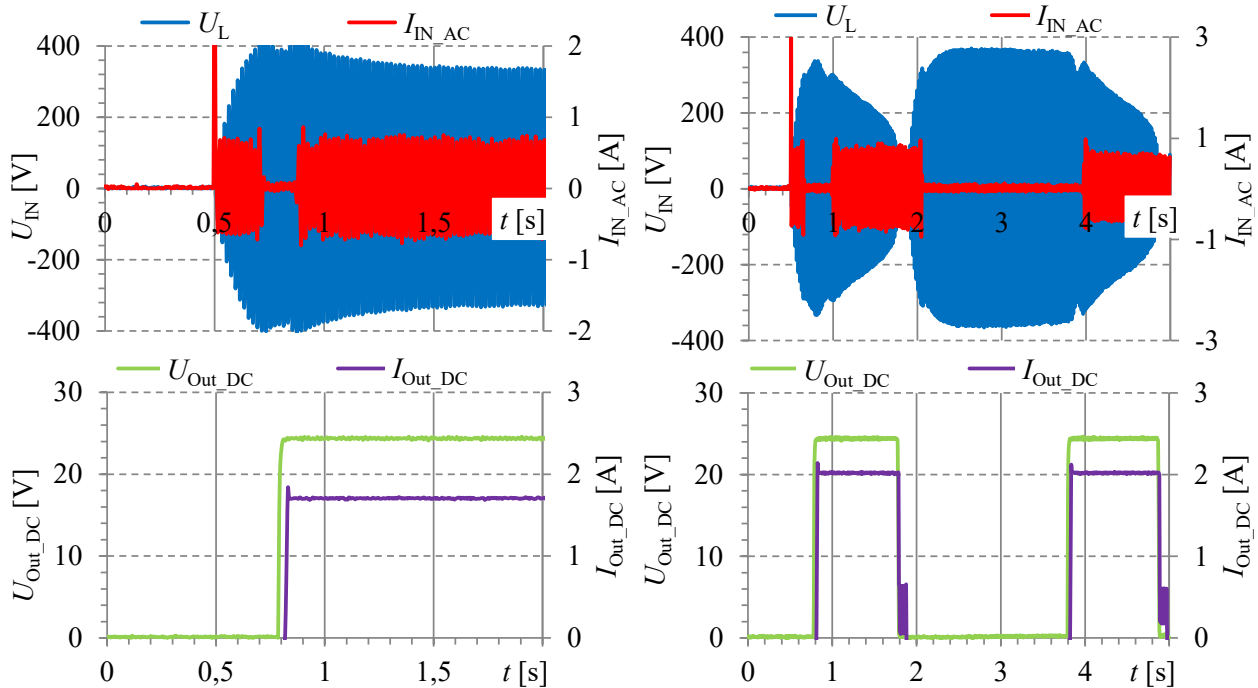


Abb. 9.12: Spannungsversorgung bei TOV mit $I_{Out_DC} = 1,6 \text{ A}$ (links) und $I_{Out_DC} = 2 \text{ A}$ (rechts) eines Schaltnetzteils mit $P_n = 60 \text{ W}$

Bei beiden Belastungen ist ein Anlaufen des Schaltnetzteils bei TOV möglich. Die TOV wird am Eingang des kombinierten transienten und temporären Überspannungsschutzgerätes erkannt. Dies führt nach **Abb. 9.2** zu einem direkten Übergang des TOV-SPDs in den passiven TOV-Betrieb, d.h. die Längshalbleiter bleiben im hochohmigen Zustand. Da die Belastung des Schaltnetzteils ausreicht, um die Lastspannung U_L kleiner als die maximal erlaubte Spannung $U_{max} = 270 \text{ V}$ zu halten, ist das Querelement inaktiv. Die Regelung der Ausgangsspannung auf eine stabile 24 V-Versorgung übernimmt das Schaltnetzteil. Das TOV-SPD sorgt dafür, dass der Eingangsspannungsbereich nicht überschritten wird.

Steigt die Belastung des Schaltnetzteils auf $I_L = 2 \text{ A}$ führt dies zu einem Einbruch der Lastspannung am Eingang U_{IN} , was in **Abb. 9.12** rechts bei $t = 1,8 \text{ s}$ dargestellt ist. Das Netzteil kann die Ausgangsspannung von U_{Out_DC} so lange aufrecht halten, bis sich dessen interne Bufferkapazität entladen hat. Daraufhin bricht die Ausgangsspannung U_{Out_DC} zusammen und die Lastspannung U_L steigt wieder an. Im Zeitraum $t = 1,8 \text{ s} - 3,8 \text{ s}$ lädt sich die interne Kapazität des Netzteils wieder auf und dieses schaltet den Ausgang erneut zu. Eine dauerhafte Notversorgung ist bei $I_L = 2 \text{ A}$ nicht möglich.

Mit realen Schaltnetzteilen als Last und der Längskapazität von $C_{Lg} = 5 \mu\text{F}$ ist eine Versorgung bis zu $P = 48 \text{ W}$ möglich. Dies entspricht einem deutlich niedrigerem Wert als dem Maximum bei ohmscher Last nach Gl. (9.3.12) von $P_{L,max} = 125 \text{ W}$, was drei Gründe hat:

1. Die maximale Leistungsentnahme ist nur in einem Arbeitspunkt $R_L = X_{CLg}$ möglich. Steigt die Belastung, sinkt auch die mögliche Leistungsentnahme.
2. Steigt die Belastung des TOV-SPDs soweit an, dass die Lastspannung unter die minimale Eingangsspannung des Schaltnetzteils sinkt, schaltet sich das Netzteil automatisch ab. Ein typischer Spannungsgrenzwert von Netzteilen ist hierbei $U_{min} = 170 \text{ V}$.
3. Ein Schaltnetzteil ohne PFC-Stufe stellt keine ohmsche Belastung dar. Die Belastung wirkt kapazitiv, womit sich die Leistungsentnahme nach Gl. (9.3.9) weiter reduziert.

Einen starken Einfluss auf die Spannungsversorgung bei TOV hat die aktuell vorliegende Netzsituation. Darauf soll im Nachfolgenden eingegangen werden.

9.3.3 Betrachtung der Notversorgung im Dreileitersystem

Die Notspannungsversorgung während einer TOV an einer starren Quelle, wie in **Kap. 9.3.2** beschrieben, stellt nicht die realen Netzverhältnisse bei einer TOV, die bei einer Neutralleiterunterbrechung (NU) im Netz verursacht wird, dar. Bei einer NU wird die TOV nach Gl. (3.3.7) durch die Lastverhältnisse in den Phasen L1 – L3 bestimmt. Um reale Verhältnisse bei TOV darzustellen, muss das Dreileitersystem, welches sich bei NU ergibt und von welcher in diesem Kapitel ausgegangen werden soll, bei unterschiedlichen Lastfällen und Installationsbedingungen betrachtet werden. **Tab. 9.2** gibt einen Überblick der in diesem Kapitel betrachteten Fälle. Es werden ein- und dreiphasige Installationen von TOV-SPDs bei den drei gezeigten Lastfällen untersucht.

Tab. 9.2: Untersuchte Lastfälle und Installationsbedingungen von TOV-SPDs

Installationsbedingung	Lastfälle
Einphasige Installation eines TOV-SPDs an L1	1. <u>Fall</u> rein ohmsche Lasten
	2. <u>Fall</u> ohmsch-kapazitive Lasten
	3. <u>Fall</u> ohmsch-kapazitiv-induktive Lasten
Dreiphasige Installation von TOV SPDs an L1–L3	1. <u>Fall</u> rein ohmsche Lasten
	2. <u>Fall</u> ohmsch-kapazitive Lasten
	3. <u>Fall</u> ohmsch-kapazitiv-induktive Lasten

Das Installationsbeispiel dreier gleichartiger SPDs an L1 – L3 ist in **Abb. 9.13** dargestellt und soll als Übersicht für die in diesem Kapitel angestellten Betrachtungen dienen. Die an den Phasen L1 – L3 resultierende Lastimpedanz bei installierten TOV-SPDs ergibt sich wie folgt:

$$\underline{Z}_{SPD_1} = jX_{CLg} + \frac{1}{\frac{1}{jX_{CQ}} + \frac{1}{\underline{Z}_{L1}}} ; \underline{Z}_{SPD_2} = jX_{CLg} + \frac{1}{\frac{1}{jX_{CQ}} + \frac{1}{\underline{Z}_{L2}}} ; \underline{Z}_{SPD_3} = jX_{CLg} + \frac{1}{\frac{1}{jX_{CQ}} + \frac{1}{\underline{Z}_{L3}}} \quad (9.3.13)$$

Wobei die Blindwiderstände X_{CLg} und X_{CQ} durch die Längs- und Querkapazitäten im TOV-SPD bestimmt werden. Bei der Installation eines SPDs an L1 bleiben die Lastimpedanzen \underline{Z}_{L2} und \underline{Z}_{L3} unbeeinflusst, für die resultierende Lastimpedanz an L1 ist \underline{Z}_{SPD_1} wirksam.

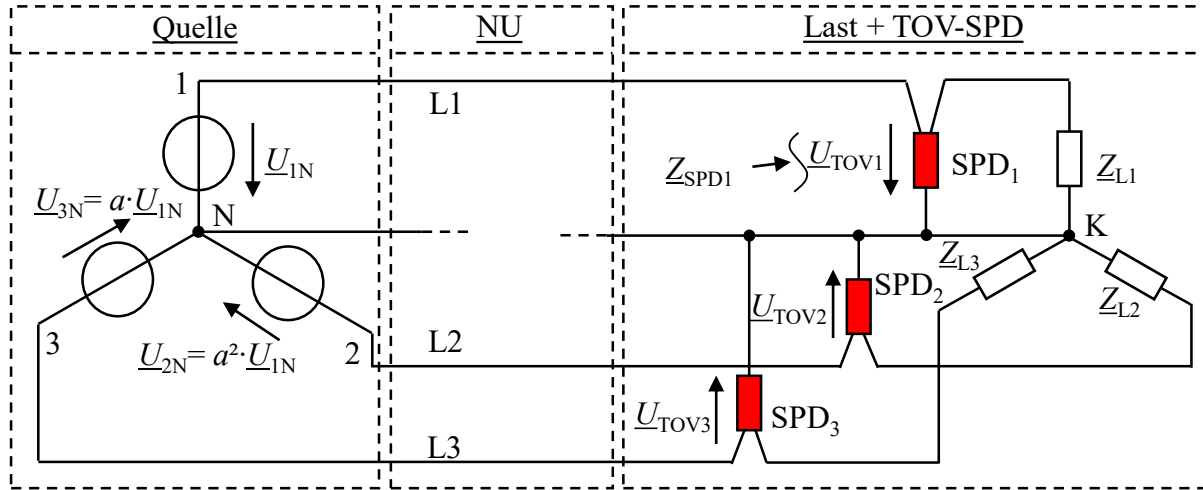


Abb. 9.13: Betrachtung der dreiphasigen Spannungsversorgung bei NU

Die Abschätzung der maximalen zu erwartenden TOV-Spannungen \underline{U}_{TOV1} , \underline{U}_{TOV2} und \underline{U}_{TOV3} bei einer einphasigen oder dreiphasigen Installation von TOV-SPDs an L1 bzw. L1 – L3 für die drei genannten Lastfälle wird in **Anhang 7** gegeben. Mit den Vorbetrachtungen aus **Anhang 7** ist eine Ermittlung der bei TOV abrufbaren Leistung für die Notlaufseigenschaften möglich. Allgemein kann in Anlehnung an Gl. (9.3.9) für die abrufbare Leistung an der Phase L1 gelten:

$$P_{L1} = \frac{|\underline{U}_{TOV}|^2}{|\underline{Z}_{L1}|^2} \cdot \operatorname{Re}\{\underline{Z}_{L1}\} = \left| \underline{U}_{1N} \cdot \frac{\underline{Y}_2 \cdot (1 - a^2) + \underline{Y}_3 \cdot (1 - a)}{\frac{1}{R_{L1} + jX_{L1}} + \underline{Y}_2 + \underline{Y}_3} \right|^2 \cdot \frac{R_{L1}}{R_{L1}^2 + X_{L1}^2} \quad (9.3.14)$$

Die abrufbare Leistung ist damit erkennbar von den Lastverhältnissen und den dadurch hervorgerufenen Spannungen an den Lasten abhängig. Nachfolgend soll eine „worst case“-Betrachtung der minimal abrufbaren Leistung für die ein- und dreiphasige Installation von TOV-SPDs erfolgen. Bei der Installation nur eines SPDs an Phase L1 kann die Lastsituation

$$\underline{Z}_{L2} \rightarrow \infty ; \underline{Z}_{L3} \rightarrow \infty \quad (9.3.15)$$

als „worst case“-Fall gelten, bei der keine Notspannungsversorgung möglich ist, da die Spannung an der in Phase L1 installierten Last $\underline{U}_{TOV1} = 0$ V wird. Eine verlässliche Notspannungsversorgung mit nur einem installierten TOV-SPD ist damit nicht möglich. Dies ist auch deshalb der Fall, da bei der beschriebenen Lastsituation aus Gl. (9.3.15) eine Zerstörung der Lasten an L2 und L3 zu erwarten ist.

Bei einer Installation von drei SPDs stellt sich die Situation im Lastfall von Gl. (9.3.15) anders dar. Durch die an Phase L2 und L3 entstehende TOV schalten die dort installierten Längs- und Querkapazitäten der SPDs zu. Über diese können dann Ströme zum Betrieb der Last an L1 fließen. Die Lastverhältnisse stellen sich wie folgt dar:

$$\underline{Z}_{L1} = R_{L1} + jX_{L1} ; \lim_{\underline{Z}_{L2} \rightarrow \infty} \underline{Z}_{SPD_2} = jX_{CLg} + jX_{CQ} ; \lim_{\underline{Z}_{L3} \rightarrow \infty} \underline{Z}_{SPD_3} = jX_{CLg} + jX_{CQ}$$

$$\rightarrow \underline{Y}_{SPD_2} = \underline{Y}_{SPD_3} = \underline{Y}_{SPD}$$

Daraus kann die Spannung an L1 berechnet werden:

$$\frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \sqrt{3} \cdot \frac{\underline{Y}_{SPD} \cdot e^{j \cdot 30^\circ} + \underline{Y}_{SPD} \cdot e^{-j \cdot 30^\circ}}{\underline{Y}_1 + \underline{Y}_{SPD} + \underline{Y}_{SPD}} = \frac{3 \cdot \underline{Y}_{SPD}}{\underline{Y}_1 + 2 \cdot \underline{Y}_{SPD}} = \frac{3}{2 + \frac{\underline{Y}_1}{\underline{Y}_{SPD}}}$$

Mit der im „worst case“-Fall ermittelten Spannung ergibt sich die garantierbare Leistung zu:

$$P_{L1max} = \left| \frac{3 \cdot \underline{U}_{1N}}{2 + \frac{\underline{Y}_1}{\underline{Y}_{SPD}}} \right|^2 \cdot \frac{R_{L1}}{R_{L1}^2 + X_{L1}^2}$$

Im Fall der verwendeten Längs- und Querkapazitäten von ($C_{Lg} = 5 \mu\text{F}$, $C_Q = 2,5 \mu\text{F}$) führt dies zu einer möglichen Leistungsentnahme im „worst case“-Fall von $P_{L1max} = 125 \text{ W}$ bei $R_{L1} = 923 \Omega$, für die ein Betrieb im Fehlerfall gewährleistet werden kann. Alle weiteren Lastfälle, d.h. $\underline{Z}_{L2} < \infty$ und $\underline{Z}_{L3} < \infty$ erhöhen die abrufbare Leistung, da über die Lastimpedanzen ein zusätzlicher Strom fließt.

9.4 Abschließende Bewertung des Konzeptes

Eine hybride Schatlösung im Längspfad scheint aufgrund der guten Durchlasseigenschaften von Relais vorteilhaft. Die erreichbaren Schaltdynamiken mit Relais von $t \approx 10 \text{ ms}$ unterschreiten die Forderungen an die Auslösezeiten aus [39] deutlich und stellen trotzdem keinen adäquaten Schutz für Lasten bei transienten und temporären Überspannungen $U_{TOV} > 270 \text{ V}$ dar. Um einen optimalen und umfassenden Lastschutz zu gewährleisten, kommt aus Sicht der Schaltdynamik nur eine rein halbleiterbasierte Lösung in Frage. Hier ist die Schaltungsvariante mit zwei antiserialen MOSFETs im Längsglied zu bevorzugen. Mit dieser Lösung sind geringere Durchlasswiderstände möglich, was zu Verlustleistungen kleiner $P_V = 5 \text{ W}$ bei einem Nennstrom von $I_n = 6 \text{ A}$ führt. Gleichzeitig können kleine Reaktionszeiten $t < 500 \text{ ns}$ realisiert werden, um auf transiente Ereignisse zu reagieren.

Die Längs- und Querkapazitäten im SPD dienen während eines transienten Überspannungsereignisses als kapazitiver Spannungsteiler und garantieren eine symmetrische Spannungsaufteilung über Längs- und Querelement. Dies schützt die Halbleiter und lässt eine reduzierte Sperrspannungsauslegung ($< 1,2 \text{ kV}$) der Bauelemente für den Einsatz im AC-Netz möglich erscheinen.

Mit dem gezeigten Konzept der gesteuerten Längs- und Querimpedanzen kann eine Notversorgung von Lasten im Fehlerfall realisiert werden. Diese Notversorgung ist von ihrer Leistung vor allem durch die Längsimpedanz des Kondensators und dem im Netz vorherrschenden Lastimpedanzen begrenzt. Bei einer einphasigen Installation nur eines TOV-SPDs kann aufgrund der dominierenden Wirkung der Lastverteilung auf die Höhe der Lastspannung keine Notlaufeigenschaft garantiert werden. Bei einer dreiphasigen Installation und den verwendeten Bauteilparametern für die Längs- und Querkapazität ist die gezeigte abrufbare Leistung von $P_{Lmax} = 125 \text{ W}$ möglich.

Unabhängig von der Funktion der Notspannungsversorgung ist der Schutz vor temporären und transienten Überspannungen in allen realistisch vorkommenden Netzsituationen gegeben. Die Begrenzung der Spannung wird dabei nur solange aufrechterhalten, wie es das Bedrohungsszenario nötig macht. Nach dem Abklingen der Überspannung erfolgt dann das automatische Wiedereinschalten. Somit werden im Vergleich zu heutigen Schutzlösungen Ausfallzeiten reduziert, wodurch die Anlagenverfügbarkeit erhöht wird.

10. Zusammenfassung und Ausblick

Die Zielstellung der vorliegenden Arbeit lag im Aufzeigen neuartiger Schutzkonzepte für den Überspannungsschutz durch den Einsatz von Leistungshalbleitern. Dieses Ziel konnte durch die Qualifizierung in Frage kommender Halbleiterbauelementtypen wie Dioden, Thyristoren, MOSFETs, IGBTs und MCTs sowie die Vorstellung und Realisierung des Schutzkonzeptes der gesteuerten Quer- und Längsimpedanzen erfüllt werden. Die Grundlage hierfür bildeten die präsentierten Ausführungen zu den Bedrohungsparametern für den Überspannungsschutz. Im AC-Netz wird der genormte Stand zusammengefasst und gerade im Bereich der Bedrohungen durch temporäre Überspannungen (TOV) bislang nicht behandelte und bei der Entwicklung von Überspannungsschutzeinrichtungen (SPD) nicht beachtete TOV-Situationen aufgezeigt. Im Speziellen ist hier die Spannungsüberhöhung bei ohmsch-kapazitiven Lasten während einer Neutralleiter-Unterbrechung zu nennen.

Eine umfassende Analyse der Bedrohungsparameter in DC-Netzen ist nicht bekannt und wird in dieser Arbeit präsentiert. Auch in DC-Netzen sind die speziellen Anforderungen bei temporären Überspannungen zu beachten, die sich grundsätzlich von denen im AC-Netz unterscheiden. Beispielsweise ist bei einem Erdschluss oder einer M-Leiter-Unterbrechung eine um den Faktor zwei erhöhte Spannungsbelastung von SPDs in Bezug auf die Nennspannung möglich. Dies konnte an realen DC-Netzen nachgewiesen werden. Die Wirkung von den in DC-Netzen verbauten Kapazitäten hat auf die Bedrohungsparameter einen entscheidenden Einfluss. Es wurde der Beitrag der Netzkapazitäten zum Folgestrom und zur transienten Spannungsüberhöhung bei induzierten Überspannungen gezeigt. Der transiente Anteil des Folgestroms in DC-Netzen wird durch Netzkapazitäten stark erhöht und stellt an SPDs auf Basis von Leistungshalbleitern mit einer spannungsschaltenden Charakteristik besonders hohe Anforderungen.

Die Untersuchung und Qualifizierung der in dieser Arbeit gezeigten Leistungshalbleiter ergab bei ausschließlicher Vergleich der Ableitfähigkeit eine Leistungsfähigkeit heutiger Typ-3-SPDs. Durch die Entwicklungstendenzen in der Leistungselektronik hin zu immer dünnerem Chipdesign mit reduziertem Abstand von Nenn- zu Kurzschlussstromtragfähigkeit ist zukünftig keine Erhöhung der Stoßstromtragfähigkeit zu erwarten. Gerade die Reduktion der thermischen Kapazität von modernen Leistungshalbleiterdesigns wirkt sich negativ auf die Stoßstrom- und Folgestrombeherrschung aus. In den Halbleiteruntersuchungen ergaben sich für heutige diskrete Leistungsdioden typische Defekte, die von der Grenzbelastung der Aufbau- und Verbindungstechnik herrühren sowie mit der thermischen Überlast zu begründen sind. Die Anwendung von Thyristoren im Überspannungsschutz ist vor allem durch ihr langsames Einschaltverhalten begrenzt. Feldeffektgesteuerte Bauelemente wie der MOSFET, der IGBT und der MCT zeigten als typisches Überlastmerkmal Gate-Oxid-Durchbrüche bei Stoßstrombelastungen. Bei MOSFETs und IGBTs ist das in Schaltanwendungen vorteilhafte kurzschlussstrombegrenzende Verhalten im Überspannungsschutz als nachteilig zu bewerten, da es die Ableitfähigkeit (Stoßstromtragfähigkeit) reduziert.

Es konnte in dieser Arbeit ebenso gezeigt werden, dass die für den Überspannungsschutz wichtigen Eigenschaften von Leistungshalbleitern nicht auf das Ableitvermögen zu beschränken sind. Gerade durch das schnelle und gezielte Schaltverhalten von IGBTs und MOSFETs ist es möglich, neue Schutzkonzepte zu realisieren, die mit Standardbauelementen des Überspannungsschutzes nicht umgesetzt werden können. Hier hat sich das Konzept der gesteuerten Längs- und Querimpedanzen als übergeordneter Ansatz bewährt, auf dessen Basis alle vorgestellten Schutzkonzepte zurückgeführt werden können.

Zu dem Konzept zählen die Erweiterung des Schutzbereichs von SPDs mit niedrigem Schutzpegel bei gleichzeitiger TOV-Festigkeit sowie die Schutzpegelanpassung an die aktuelle Netzspannung oder die Steuerung von Feinschutzelementen. Dies führt zu einer Aufwertung der aktuellen Schutzkonzepte hinsichtlich ihres Einsatzes in Netzen mit höheren Nennströmen. Die Integration von Zusatzfunktionen in SPDs, wie die Realisierung von überspannungsfesten Netzteilen, die Kombination von elektronischem Überstrom- und Überspannungsschutz sowie der Schutz vor temporären und transienten Überspannungen im AC-Netz bei gleichzeitigem Betrieb von Lasten geringer Leistung im Fehlerfall, wurde vorgestellt.

Aus der Bewertung der genannten Schutzkonzepte haben sich der vollelektronische kombinierte Überstrom- und Überspannungsschutz im DC-Netz sowie der TOV-Schutz im AC-Netz mit der Möglichkeit einer Notversorgung als Schutzkonzepte mit dem höchsten Mehrwert für den Überspannungsschutz und den umfangreichsten Schutzeigenschaften herausgestellt.

Durch einen kombinierten Überstrom- und Überspannungsschutz kann zwischen transienten Überspannungen und Überlastfällen in Netzen differenziert werden. Dies ermöglicht es gerade in den von Überspannungen bedrohten Systemen, wie z.B. Mobilfunkstationen, Ausfallzeiten aufgrund von Fehlauflösungen auszuschließen. Weiterhin kann durch das in dieser Arbeit vorgestellte Verfahren ein Schutz gegen temporäre Überspannungen, wie beispielsweise beim Power-Crossing, im DC-Netz ermöglicht werden.

Das Schutzkonzept gegen temporäre Überspannungen im AC-Netz bietet ebenfalls viele Vorteile. Mit diesem kann neben dem Schutz gegen transiente Überspannungen gleichzeitig ein Schutz gegen TOV gewährleistet werden, ohne eine Beeinträchtigung des Betriebs der angeschlossenen Lasten im genannten Leistungsbereich.

Die gezeigten Schutzkonzepte stellen für den Überspannungsschutz eine große Weiterentwicklung dar und rechtfertigen den Einsatz von Leistungshalbleitern. In Überspannungsschutzanwendungen ist daher die Verbreitung von Leistungshalbleitern mehr und mehr zu erwarten und dies nicht nur, wie in heutigen SPDs, für Hilfsfunktionen, z.B. Triggerung, sondern zukünftig auch als Hauptelement in einer eigenständigen Schutzlösung.

An dieser Stelle ergeben sich Ansätze für fortführende Arbeiten. Einerseits in der Anwendung selbst, andererseits in der Bauelementeentwicklung. In der Anwendung müssen die gezeigten Konzepte auf Halbleiterbasis die Anforderungen an Lebensdauer, Robustheit und Zuverlässigkeit, wie sie z.B. von der Funkenstreckentechnologie bekannt sind, unter Beweis stellen. Hier sind Maßnahmen aufzuzeigen, wie diesen Anforderungen Rechnung getragen werden kann. Die in dieser Arbeit vorgestellten und realisierten Konzepte geben hierfür einen ersten Anhaltspunkt.

Die Entwicklung von speziellen Bauelementen, wie z.B. IGBTs und MOSFETs, die höheren Anforderungen des Überspannungsschutzes standhalten können als jene herkömmlichen Leistungshalbleiter, die in dieser Arbeit untersucht wurden, stellt eine zweite Stoßrichtung für zukünftige Arbeiten dar.

Leistungshalbleiter mit einem definierten Verhalten im Lawinendurchbruch könnten als schutzpegelbestimmendes Element eingesetzt werden, was die Ansteuerung von Halbleitern im Überspannungsschutz stark vereinfachen könnte. Gelingt es außerdem, überzeugende Bauelemente mit hoher Ableitfähigkeit und großer thermischer Kapazität zu entwerfen, könnte dies weitere Anwendungen für Leistungshalbleiter im Überspannungsschutz eröffnen, wie z.B. im Bereich des Typ 1-Ableiters bei Anwendungen mit hohen Folgestromamplituden oder großen Netzinduktivitäten.

11. Abkürzungsverzeichnis

μC	Mikrocontroller
AC	Alternating Current
Al	Aluminium
Cu	Kupfer
CWG	Combination Wave Generator – Hybridgenerator
DC	Direct Current
DCB	Direct Copper Bonding
DGL	Differentialgleichung
DIN	Deutsches Institut für Normung
DUT	Device Under Test
EN	Europäische Norm
ESB	Ersatzschaltbild
FI	Fehlerstromschutzschalter
FRM	Maximum Forward Recovery
FS	Funkenstrecke
GDT	Gas Discharge Tube
HAK	Hausanschlusskasten
HL	Halbleiter
HS	Hochsetzsteller
IGBT	Isolated Gate Bipolar Transistor
ISR	Interrupt Service Routine
IT	Französisch Isolé Terre – Netzform IT-System
KS	Kurzschluss
L–	Negativer Pol im DC-Netz
L+	Positiver Pol im DC-Netz
L1-3	Phasen im AC-Netz
LPL	Lightning Protection Level – Gefährdungspegel
LPZ	Lightning Protection Zone, Blitzschutzzone
LS	Leitungsschutzschalter
M	Mittelpunktleiter im bipolaren DC-Netz
MCT	Metal Oxide Semiconductor Controlled Thyristor
MOSFET	Metal Oxid Semiconductor Field Effect Transistor
MOV	Metal Oxid Varistor
MPP	Maximum Power Point
MS	Mittelspannung
N	Neutralleiter
NPT	Non-Punch Through
NS	Niederspannung
NTC	Negative Temperature Coefficient
NU	Neutralleiter-Unterbrechung
PE	Schutzleiter – Protective Earth
PFC	Power Factor Correction
PT	Punch Through

PTC	Positive Temperature Coefficient
PV	Photovoltaik
PVC	Polyvinylchlorid
PWL	Piecewise Linear
SCSOA	Short Circuit Safe Operating Area
Si	Silizium
SiC	Silizium-Karbid
SiO ₂	Silizium-Oxid
SPD	Surge Protective Device – Überspannungsschutzeinrichtung
SPT	Soft Punch Through
TBU	Transient Blocking Unit
TN	Französisch Terre Neutre – Netzform TN-System
TO	Transistor Outline
TOV	Temporary Over Voltage – Temporäre Überspannung
TT	Französisch terre terre
TVS	Transient Voltage Suppressor
ÜSS	Überspannungsschutz
UV	Unterverteilung

12. Formelzeichen

A	Fläche, Leiterquerschnitt	mm ²
a	Gateweite	mm
a	Drehzeiger	
A_B	Querschnittsfläche eines Bonddrahtes	mm ²
A_{BU}	Fläche um den Bonddrahtfußpunkt	mm ²
A_{ceinit}, A_{coinit}	initiale Fläche eines Thyristors mit Center-Gate/Corner-Gate	mm ²
A_{cemax}, A_{comax}	Maximalfläche des Thyristors mit Center-Gate/Corner-Gate	mm ²
A_{center}, A_{corner}	Fläche eines Thyristors mit Center-Gate/Corner-Gate	mm ²
A_{Chip}	Chipfläche	mm ²
A_{Kind}	Spannungszeitfläche	Vs/m
c	Lichtgeschwindigkeit $\sim 300 \cdot 10^6$ m/s = 300 m/μs	m/s
C, C'	Kapazität, längenbezogene Kapazität	F, pF/m
C_+, C_{++}	Kapazität eines DC-Netzes mit niedriger Netzspannung und hoher Netzspannung	μF
C_{BE}, C_{CB}, C_{CE}	Kapazität zwischen Basis und Emitter, Kollektor und Basis, Kollektor und Emitter	nF
C_D	Diffusionskapazität	nF
C_{DC}	Bufferkapazität im gesamten DC-Netz	μF
C_{DS}, C_{GD}, C_{GS}	Drain-Source-Kapazität, Gate-Drain-Kapazität, Gate-Source-Kapazität	nF
C_{GE}, C_{CE}, C_{GC}	Gate-Emitter-Kapazität, Kollektor-Emitter-Kapazität, Gate-Kollektor-Kapazität	nF
C_{Grid}	Netzkapazität	μF
C_L	Lastkapazität	μF

C_{L-}, C_{L+}	Bufferkondensator am negativen Pol, am positiven Pol	μF
C_{Lg}, C_Q	Längskapazität, Querkapazität	μF
c_m	spezifische thermische Kapazität bezogen auf die Masse	$\text{Ws}/(\text{K}\cdot\text{kg})$
$\cos \varphi$	Wirkleistungsfaktor	
C_{out}	Ausgangskapazität eines DC/DC-Wandlers	μF
C_r	Kapazität zum Einstellen der Reaktionszeit	nF
C_{th}	thermische Kapazität	Ws/K
$di/dt, di/dt_{8/20\mu\text{s}},$	Stromsteilheit, Stromsteilheit 8/20 μs ,	$\text{kA}/\mu\text{s}$
$di/dt_{10/350\mu\text{s}}$	Stromsteilheit 10/350 μs	
di/dt_{cr}	kritische Stromsteilheit von Thyristoren	$\text{A}/\mu\text{s}$
d_{ox}	Dicke der Gate-Oxid-Schicht	nm
$du/dt,$	Spannungssteilheit,	$\text{kV}/\mu\text{s}$
$du/dt_{1,2/50\mu\text{s}}$	Blitzstoßspannungssteilheit 1,2/50 μs	
H	Hypotenuse	
\hat{I}	Stromscheitelwert	kA
$I_{10/350\mu\text{s}}, I_{8/20\mu\text{s}}$	Stoßstromscheitelwert bei der Form 10/350 μs , 8/20 μs	kA
Pt	spezifische Energie W/R	Ws/Ω
$i_{\text{AC}}(t)$	Wechselstromanteil des Folgestromes	A
I_C, I_{C25}	Kollektor-Strom, Kollektor-Strom bei 25°C	A
$I_{\text{IGBT}}, I_{\text{CM}}$	IGBT Kollektor-Strom, Pulse-Kollektor-Strom eines IGBT	A
I_{cl}	clamping-Strom	
I_{Cnpnp}	Stromanteil durch den Bipolartransistor im IGBT	A
I_{Csat}	Kollektor-Sättigungs-Strom	A
I_{DC}	Strom aus DC-Quelle	A
$i_{\text{DC}}(t)$	Gleichstromanteil des Folgestromes	A
$I_{\text{DS}}, I_{\text{D}}, I_{\text{D25}},$	Drain-Strom, Drain-Strom bei 25°C,	A
I_{Dsat}	Sättigungsstromstärke des Drains	
I_{f}	Folgestrom	A
I_{F}	Fehlerstrom während eines Erdschlusses im bipolaren DC-Netz	A
$I_{\text{F(AV)}}$	Mittlerer Dauerstrom einer Diode in Flussrichtung	A
I_{FSM}	Forward Surge Maximum Current	A
I_{G}	Gate-Strom	A
I_{ges}	Gesamtstrom	A
I_{GT}	Zündstrom	A
I_{H}	Haltestrom	mA
I_{Imp}	Impulsstoßstrom der Form 10/350 μs	kA
I_{L}	Einrast-Strom – Latching current	mA
I_{L}	Laststrom	A
I_{Lg}	Strom durch Längsentkopplung	A
$I_{\text{M1}}, I_{\text{M1max}}$	Strom durch MOSFET M_1 , maximaler Strom durch MOSFET M_1	A
I_{M}	Stromanteil durch MOS-Kanal eines IGBT	A
$I_{\text{n}}, I_{\text{r}}$	Nennstrom, rated current	A
$I_{\text{Out_DC}}$	Ausgangsstrom auf der DC-Seite eines Schaltnetzteils	A
\underline{I}_{p}	prospektiver Kurzschlussstrom	kA
i_{p}	Stoßkurzschlussstrom	kA

I_{rr}	Sperrverzögerungsstrom – reverse recovery current	A
I_s	Sperrsättigungsstrom	μA
I_{SC}	Komplexer Kurzschlussstrom	kA
i_t	Transienter Anteil des Kurzschlussstromes	A
$I_{T(RMS)}$	Nennstrom für AC-Anwendungen	A
I_{TOV}	Strom aus TOV-Quelle	A
I_{TSM}	Stoßstromgrenzwert	A
J_F	Stromdichte in Flussrichtung	A/mm ²
K	Konstante bei Lösung einer DGL mittels Variation von Konstanten	
K_{MOV}	Keramikkonstante eines Varistors	
K_n	Verstärkungsfaktor für n-Kanal MOSFETs	
$k_u, k_{u\max}$	Spannungsüberhöhungsfaktor und dessen Maximalwert	
l	Leitungslänge	m
L	Länge einer MOSFET-Zelle	cm
L, L_s	Induktivität, parasitäre Induktivität	H, nH
L'	längenbezogene Induktivität	nH/m
l_B	Länge eines Bonddrahtes	m
L_{ges}	Gesamtinduktivität	H
L_{Grid}	Netzinduktivität	μH
L_L	Lastinduktivität	H
L_{Lg}	Induktivität der Längsentkopplung	μH
L_{limit}	Induktivität zum Begrenzen des maximalen Kurzschlussstromes	mH
l_{M+BF}	Dicke der Metallisierung und des Bonddrahtfußpunktes	m
l_{n+}	Länge des n ⁺ Gebietes	cm
l_p	Dicke des p Gebietes	cm
l_s	Schutzbereich	m
N	Anzahl an Kombinationen	
n, p	Dichte der freien Elektronen, Löcher	1/cm ³
N_A, N_D	Akzeptordichte, Donatordichte	1/cm ³
N_{Dn+}	Donatordichte im n ⁺ Gebiet	1/cm ³
$n_{Ent.}, n_{Fein.}, n_{Grob.}$	Zustandsanzahl der Entkopplung, des Feinschutzes und des Grobschutzes	
$N_{Grob.Ent.Fein.}$	Anzahl von Kombinationen eines Schutzkonzeptes	
n_i	intrinsische Ladungsträgerkonzentration	1/cm ³
$n_{Lg1/Lg2}, n_{Q1/Q2}$	Zustandsanzahl der Längsglieder, der Querglieder	
N_{SPD}	Anzahl von Kombinationen eines SPD	
p_{Basis}/n_{Basis}	Dichte der freien Ladungsträger in der Basis	1/cm ³
P_C	Maximale Verlustleistung eines IGBT bei 25°C	W
P_D	Maximale Verlustleistung eines MOSFET bei 25°C	W
$P_{L1\max}$	Maximal garantierbare Leistung der Last an L1	W
$P_{L\max}$	Maximale Leistung an der Last	W
P_n	Nennleistung	W
P_{th}	Thermische Verlustleistung	W

$P_V, P_{V_{\max}},$	Verlustleistung und deren Maximalwert, Verlustleistung in der	W
$P_{V_{\text{Ent.}}}, P_{V_{\text{FI}}}$	Längsentkopplung, im Sicherungselement	
$P_{V_{\text{Cu}}}$	Verlustleistung im ohmschen Widerstand des Layouts	W
$P_{V_{\text{konv.}}}, P_{V_{\text{neu}}}$	Verlustleistung eines konventionellen Schutzkonzeptes und des neuen Schutzkonzeptes	W
$P_{V_{\text{RDSon}}}$	Verlustleistung im MOSFET	W
$P_{V_{\text{TQ1/TQ2}}}$	Verlustleistung in Quer-IGBTs	W
q	Elementarladung $1,602 \cdot 10^{-19}$ As	As
Q_s	Speicherladung	As
R, R'	Widerstand, längenbezogener Widerstand	$\Omega, \Omega/\text{m}$
R_B	Bahnwiderstand	Ω
R_B	Widerstand eines Bonddrahtes	Ω
R_C	ohmscher Widerstand des TO-Gehäuses	Ω
r_{CE}	Kollektor-Emitter-Widerstand für eine Ersatzgerade	Ω
R_{ch}	Kanalwiderstand des n-Kanals eines MOSFET	Ω
R_{Cu}	Widerstand des Layouts	Ω
r_D	Durchlassersatzwiderstand einer Diode	Ω
R_D, R_{DSon}	Drain-Widerstand, ohmscher Widerstand zwischen Drain und Source im eingeschalteten Zustand des MOSFET	m Ω
$R_{\text{EH}}, R_{\text{EMS}}$	Erdungswiderstand der Gebäudeerdung, des Mittelspannungstransformators	Ω
$R_{\text{Ent.}}$	Widerstand der Längsentkopplung	Ω
R_{epi}	ohmscher Widerstand der Epitaxi-Schicht einer Schottky-Diode	Ω
R_{ETrafo}	Erdungswiderstand des Niederspannungstransformators	Ω
R_F	Fehlerwiderstand	Ω
R_{FI}	Widerstand einer Sicherung	Ω
$R_G, R_{\text{Goff}}, R_{\text{Gon}},$	Gate-Widerstand, Gate-Widerstand beim Ausschalten, Gate-	Ω
R_{Gvari}	Widerstand beim Einschalten, variabler Gate-Widerstand	
R_{ges}	Gesamtwiderstand	Ω
R_{Grid}	ohmscher Anteil der Netzimpedanz	Ω
R_i, R_{iDC}	Innenwiderstand, Innenwiderstand einer DC-Quelle	Ω
$R_L, R_{L-}, R_{L+},$	Lastwiderstand, Lastwiderstand am negativen Pol, Lastwiderstand	Ω
R_{LDC}	am positiven Pol, Lastwiderstand DC-Grid	
R_{L+}, R_{L++}	Lastwiderstand eines DC-Netzes mit niedriger Netzspannung und hoher Netzspannung	Ω
R_{L1}	Realteil der Lastimpedanz an L1	Ω
$R_{\text{LPE}}, R_{\text{MPPE}}$	Erdungswiderstände zwischen den Polen und Erde sowie dem Mittelpunktleiter und Erde	Ω
$R_{\text{n+}}$	Widerstand des n+ Gebietes	$\mu\Omega$
$R_{\text{n-300K/500K}}$	Widerstand der Basis bei 300 K und 500 K	m Ω
R_{on}	ohmscher Durchlasswiderstand einer Schottky-Diode	Ω
R_p	Widerstand des p Gebietes	Ω
R_t	Widerstand zum Einstellen der Reaktionszeit	Ω
R_R	Durchlasswiderstand eines Relais	Ω
R_{SC}	ohmscher Anteil eines impedanzbehafteten Kurzschlusses	Ω

R_{shunt}	Shunt-Widerstand	$\text{m}\Omega$
$R_{\text{th}}, R_{\text{th}10/350\mu\text{s}}, R_{\text{th}8/20\mu\text{s}}$	thermischer Widerstand, thermischer Widerstand bei 8/20 μs , thermischer Widerstand bei 10/350 μs	K/W
s	Schlagweite	m
t	Zeit	s
T	Periodendauer	ms
T	Temperatur	K
$t_{\mu\text{C}}$	Reaktionszeit mit μC	μs
T_1	Stirnzeit eines Impulses	μs
t_1	Zeitpunkt des Überschreitens der Ansprechgleichspannung	μs
$t_{10/350\mu\text{s}}, t_{8/20\mu\text{s}}$	Dauer eines Blitzstoßstromereignisses, eines induzierten Stoßstromereignisses	ms
T_2	Rückenhalfwertszeit	μs
t_a	Zündzeitpunkt des Lichtbogens	μs
t_{cl}	clamping-Zeit	μs
t_{don}	Einschaltverzögerungszeit – delay on time	ns
$t_{\text{gs}}, t_{\text{center}}, t_{\text{corner}}$	Zündausbreitungszeit, Center-Gate, Corner-Gate	μs
t_{KS}	Dauer einer TOV während eines Kurzschlusses	ms
t_{MS}	Dauer einer TOV während eines Mittelspannungsfehlers	ms
t_{NU}	Dauer einer TOV bei einer Neutralleiter-Unterbrechung	s
t_{off}	Ausschaltverzögerung eines Relais	ms
t_{on}	Einschaltdauer, Einschaltverzögerung eines Relais	μs , ms
t_{passiv}	Reaktionszeit ohne μC über passive Komponenten	ns
t_{PE}	Dauer einer TOV während eines Erdschlusses	s
t_q	Freiwerdezeit	μs
t_r	Reaktionszeit des Treibers	ns
$t_{\text{ref}1}, t_{\text{ref}2}$	Referenzzeit	ms
t_{ri}	Anstiegszeit – rise time	ns
t_{rr}	Sperrverzögerungszeit – reverse recovery	ns
t_{TOV}	Dauer der temporären Überspannung	ms
\hat{U}	Spannungsscheitelwert	V
U^*	Spannungsabfall über der Leitungsimpedanz	V
$U_{1,2/50\mu\text{s}}$	Blitzstoßspannung der Form 1,2/50 μs	V
$\underline{U}_{1\text{K-3K}}$	Spannungen über den Last- und Leitungsimpedanzen L1 – L3 gegen den Laststernpunkt K	V
$\underline{U}_{1\text{N-3N}}$	Strangspannungen gegen den Neutralleiter	V
$U_{\text{AC}}, U_{\text{DC}}$	Netzspannung eines AC-Netzes, eines DC-Netzes	V
U_{ag}	Ansprechgleichspannung	V
U_{AK}	Anoden-Kathoden-Spannung	V
U_{B}	Spannungsabfall über den Bonddrähten	V
U_{BE}	Basis-Emitter-Spannung	V
U_{BR}	Durchbruchspannung einer TVS-Diode	V
$U_{\text{CE}}, U_{\text{CEdyn}}, U_{\text{CES}}, U_{\text{CESat}}$	Kollektor-Emitter-Spannung, dynamische Kollektor-Emitter-Spannung, Kollektor-Emitter-Sperrspannung bei $U_{\text{GS}} = 0 \text{ V}$, Sättigungsspannung zwischen Kollektor und Emitter	V

u_{CE_TQ1}, u_{CE_TQ2}	Kollektor-Emitter-Spannung über den Quer-IGBTs	V
U_{CE0}	Schleusenspannung/Einsatzspannung	V
$U_{cl}, u_{cl}(t),$ U_{clQuer}	clamping-Spannung, clamping-Spannung des Quergliedes	V
U_{DC+}, U_{DC++}	niedrige DC-Netzspannung, hohe DC-Netzspannung	V
U_{Diff}	Diffusionsspannung	V
U_{Drift}	Driftspannung über Bahngebieten	V
U_{DRM}	Periodische Vorwärtsspitzensperrspannung	V
U_{DS}, U_{DSS}	Drain-Source-Spannung, Maximale Drain-Source-Spannung	V
U_F	Dioden-Spannung in Flussrichtung	V
U_{F0}	Schnittpunkt der Ersatzgeraden der Dioden-Kennlinie mit der Abszisse	V
U_{FRM}	Einschaltspannungsspitze – Maximum Forward Recovery	V
U_g	Gegenspannung	V
U_{GDT}	Spannung über Gasableiter	V
$U_{GE}, U_{GE(th)}$	Gate-Emitter-Spannung, Gate-Emitter-Schwellspannung	V
U_{ges_cal}	Berechneter Gesamtspannungsabfall	V
U_{GK}	Gate-Kathoden-Spannung	V
$U_{GS}, U_{GS(th)}$	Gate-Source-Spannung, Schwellspannung eines MOSFET	V
U_{imp}	Scheitelwert einer Blitzstoßspannung/Schaltstoßspannung	kV
$U_{IN}, u_{IN}(t),$ U_{INmax}	Eingangsspannung, maximale Eingangsspannung	V
\underline{U}_{KN}	Komplexe Spannung zwischen den Sternpunkten K und N	V
$U_L, u_L(t),$ U_{L_max}	Lastspannung, maximal erlaubte Spannung an Last	V
U_{L-}, U_{L+}	Spannung am negativen Pol, Spannung am positiven Pol	V
$U_{L-/M}$	Spannung zwischen L– und M	V
$U_{L+/L-}$	Spannung zwischen dem positiven und negativen Pol	V
$U_{L+/M}$	Spannung zwischen L+ und M	V
$U_{L+/PE}$	Spannung zwischen L+ und PE	V
$\underline{U}_{L1L2/L2L3/L3L1}$	Außenleiterspannungen	V
$\underline{U}_{L1-L3/PE}$	Spannung zwischen den Phasen und dem Schutzleiter	V
U_{LB}	Lichtbogenspannung	V
U_{Lg}	Spannung über Längsglied	V
$U_{M/PE}$	Spannung zwischen M und PE	V
U_{mA}	Milliampere Punkt eines Varistors	V
U_{mess}	Gemessene Durchlassspannung	V
U_{min}	minimale Eingangsspannung	V
U_{MLast}	Spannung am Lastmittelpunkt im bipolaren DC-Netz	V
U_{MQ1}	Spannung über MOSFET M_{Q1}	V
U_n	Nennspannung	V
U_{n+}	Spannungsabfall über n+ Gebiet	V
U_{Netz}	Netzspannung	V
$U_{n-Kanal}$	Spannungsabfall über n Kanal	V
U_{nn+}	Spannungsabfall über dem nn+ Übergang	V

U_{n-p+}	Spannungsabfall am Übergang $n^- p^+$	V
U_{NPE}	Spannung zwischen Neutralleiter und Schutzleiter	V
U_{ohneL}	Durchlassspannung ohne Induktivitätsanteil	V
U_{Out}, U_{Out_DC}	Ausgangsspannung	V
U_p	Schutzpegel, Spannungsabfall über p Gebiet	kV, V
U_{pn}	Spannungsabfall über dem pn-Übergang	V
U_{RMS}	Maximale AC-Spannung an Varistor	V
U_{RRM}	Maximale periodische Spitzensperrspannung – Repetitive Peak Reverse Maximum	V
U_{supply}	Versorgungsspannung	V
U_{sy}	Schnittpunkt der Ersatzgeraden der Schottky-Dioden-Kennlinie mit der Abszisse	V
U_T	Temperaturspannung	V
U_{th}	Schwellspannung – Threshold Voltage	V
$U_{TOV}, U_{TOV-},$	temporäre Überspannung, temporäre Überspannung am negativen	V
U_{TOV+}	Pol, temporäre Überspannung am positiven Pol	
$U_{TOV_L-N/PE}$	TOV von L gegen N und L gegen PE bei einem Erdschluss	V
\underline{U}_{TOV1-3}	Temporäre Überspannungen an Lasten von L1 – L3	V
U_{Ω}	ohmscher Spannungsabfall über Bonddrähten	V
v	Zündausbreitungs- und Wellenausbreitungsgeschwindigkeit	m/s
W	Weite einer MOSFET-Zelle	cm
W, W_{ges}	Energie, Gesamtenergie	Ws
$W_{10/350\mu s}$	Energieeintrag eines 10/350 μs Impulses	Ws
$W_{8/20\mu s}$	Energieeintrag eines 8/20 μs Impulses	Ws
W_{AV}	Energieumsatz im IGBT während einer Stoßstrombelastung	Ws
w_B	Basisweite	μm
W_{cl}	Energieumsatz während des clamping-Vorgangs	Ws
W_{HL}	Austrittsenergie von Ladungsträger aus dem Halbleiter	Ws
W_{IGBTcl}	Energieumsatz im IGBT während des clamping-Vorgangs	Ws
$W_{IGBTmax}$	maximale von IGBT aufnehmbare Energie	Ws
W_L	Energie in der Netzinduktivität	Ws
$W_{L10/350\mu s}$	Energie in Netzinduktivität nach 10/350 μs Impuls	Ws
$W_{L8/20\mu s}$	Energie in Netzinduktivität nach 8/20 μs Impuls	Ws
W_{Lip}	Energie in der Netzinduktivität während des Stoßkurzschlussstromes	Ws
W_M	Austrittsenergie von Ladungsträgern aus dem Metall	Ws
W_{ON}	Energieumsatz während des Einschaltens	Ws
$W_{TQ1/TQ2}$	Energieumsatz in Quer-IGBTs	Ws
X_{C2}	kapazitiver Blindwiderstand an L2	Ω
X_{CLg}, X_{CQ}	Blindwiderstand des kapazitiven Längsgliedes, Quergliedes	Ω
X_{L1-3}	Imaginärteil der Lastimpedanz an L1-3	Ω
X_L	Blindwiderstand der Last	Ω
\underline{Y}_{1-3}	Admittanzen an Phasen L1 – L3	1/ Ω
\underline{Y}_{KN}	Admittanz zwischen den Sternpunkten K und N	1/ Ω
\underline{Y}_{SPD1-3}	Admittanzen an L1 – L3 bei zugeschaltetem TOV-SPD	1/ Ω

\underline{Z}	Impedanz	Ω
\underline{Z}_{EH}	Erdungsimpedanz der Gebäudeerdung	Ω
\underline{Z}_{EMS}	Erdungsimpedanz der Mittelspannung	Ω
\underline{Z}_{ET}	Erdungsimpedanz des Transformators	Ω
$\underline{Z}_i, \underline{Z}_{iAC}$	Impedanz der speisenden Quelle, einer AC-Quelle	Ω
$\underline{Z}_{DC/DC}$	Eingangsimpedanz des DC/DC-Wandlers	Ω
\underline{Z}_{KN}	Leitungsimpedanz des Neutralleiters	Ω
$\underline{Z}_L, \underline{Z}_{L-}, \underline{Z}_{L+}$	Lastimpedanz, Lastimpedanz des negativen Pols, positiven Pols	Ω
$\underline{Z}_L, \underline{Z}_{LAC}$	Lastimpedanz, Lastimpedanz im AC-Netz	Ω
$\underline{Z}_{L1-3}, \underline{Z}_l$	Leitungsimpedanzen L1 – L3, Leitungsimpedanz	Ω
\underline{Z}_{L1-3}	Lasten an Phasen L1 – L3	Ω
$\underline{Z}_{DC}, \underline{Z}_{AC}$	Leitungsimpedanz im AC-Netz und DC-Netz	Ω
$\underline{Z}_{Lg1/Lg2}, \underline{Z}_{Q1/Q2}$	steuerbare Längsimpedanz, steuerbare Querimpedanz	Ω
\underline{Z}_M	Zuleitungsimpedanz des Mittelpunktleiters	Ω
\underline{Z}_{NPE}	Impedanz zwischen N und PE	Ω
\underline{Z}_{SPD1-3}	Impedanz an L1 – L3 bei zugeschaltetem TOV-SPD	Ω
\underline{Z}_U	Impedanz der Neutralleiter-Unterbrechung	Ω
α_{MOV}	Nichtlinearitätsexponent eines Varistors	
β_{pnp}	Stromverstärkung in Emitter-Schaltung	
$\lambda_{1,2}$	Komplexe Kreisfrequenz	1/s
τ_{HL}	Ladungsträgerlebensdauer	μs
ψ_1	Zuschaltwinkel bei Kurzschluss für schlechtesten Fall	°
ϵ_0	Permittivität des Vakuums $8,85 \cdot 10^{-12} \text{ As/Vm}$	As/Vm
ϵ_r	relative Permittivität	
μ_n, μ_p	Elektronenbeweglichkeit, Löcherbeweglichkeit	cm^2/Vs
$\alpha_{npn}, \alpha_{pnp}$	Stromverstärkung in Basisschaltung eines npn/pnp-Transistors	
Δ	Differenz, Änderung	
η	Wirkungsgrad	
$\eta_{konv.}$	Wirkungsgrad des konventionellen Schutzkonzeptes	
η_{neu}	Wirkungsgrad des neuen Schutzkonzeptes	
ϑ_{Bond}	Temperatur des Bonddrahtfußpunktes	°C
ϑ_{Cu}	Temperatur des Kupfers der Rückseitenkühlung von Chips	°C
ϑ_j	Junction Temperatur	°C
ϑ_{nn+}	Temperatur am Übergang nn^+ in einer Diode	°C
λ	thermische Leitfähigkeit	$\text{W}/(\text{K} \cdot \text{cm})$
ρ	Dichte	g/cm^3
σ	elektrische Leitfähigkeit	$1/\Omega\text{m}$
φ	Phasenverschiebung zwischen Strom und Spannung	°
$\varphi_{ZL1-ZL3}$	Phasenwinkel der Lasten an L1 – L3	°
ω, ω_0	Kreisfrequenz, Eigenkreisfrequenz	1/s
δ	Abklingkonstante	1/s
η	Ausnutzungsgrad	
τ	Zeitkonstante	μs
χ	Stoßziffer	
ψ	Zuschaltwinkel bei Kurzschluss	°

13. Literaturverzeichnis

- [1] DIN EN 50160:2011-02, Merkmale der Spannung in öffentlichen Elektrizitätsversorgungsnetzen, Frankfurt: VDE-Verlag, 2011.
- [2] D. Romps, J. Seeley, D. Volaro and J. Molinari, "Projected increase in lightning strikes in the United States due to global warming," *Science*, pp. 851-854, 14 Nov 2014.
- [3] DIN EN 62305-1 (VDE 0185-305-1):2011-10, Blitzschutz - Teil 1: Allgemeine Grundsätze, Frankfurt: VDE Verlag, 2011.
- [4] J. Kaiser, F. Schork, K. Gosses, L. Ott, K. Bühler and T. Böhm, "Safety Considerations for the Operation of Bipolar DC-Grids," in *INTELEC*, Australia Gold Coast, 2017.
- [5] F. Schork, M. Rock and R. Brocke, "Surge Current Capability of Power Electronics for Surge Protection," *PCIM Asia* - Shanghai, 2016.
- [6] F. Schork, R. Brocke and M. Rock, "A combined overcurrent and overvoltage protection concept," in *NEIS*, Hamburg, 2017.
- [7] F. Schork und T. Böhm, „Schaltungsanordnung zum Schutz einer aus einem Versorgungsnetz zu betreibenden Einheit gegen Überspannungen“. Deutschland Patent DE 10 2016 001 742 A1, 15. 02. 2016.
- [8] F. Schork und T. Böhm, „Schaltungsanordnung zum Schutz einer aus einem Versorgungsnetz zu betreibenden Einheit gegen Überspannungen“. Deutschland Patent DE 10 2016 001 689 A1, 12. 02. 2016.
- [9] F. Schork, R. Brocke, T. Böhm und D. Donauer, „Schaltungsanordnung zum Schutz einer aus einem Versorgungsnetz zu betreibenden Einheit gegen Überspannungen“. Deutschland Patent DE 10 2015 004 523 A1, 11. 08. 2016.
- [10] F. Schork, T. Böhm und J. Spies, „Schaltungsanordnung zur elektronischen Ansteuerung von triggerbaren Überspannungsableitern“. Deutschland Patent DE 10 2015 013 222 B3, 13. 10. 2015.
- [11] F. Schork, T. Böhm, D. Donauer und R. Brocke, „Schaltungsanordnung mit Bauelementen der Leistungselektronik“. USA Patent WO 2016/116243 A1, 22. 12. 2015.
- [12] F. Schork, R. Brocke, T. Böhm and M. Rock, "Requirements on surge protective devices in modernen DC-Grids," in *ICLP*, Polen, 2018.
- [13] J. Kaiser, F. Schork, Y. Han, M. Schulz, L. Ott, B. Wunder and M. März, "Converter Overvoltage Protection for DC-grids," in *International Telecommunications Energy Conference, INTELCT*, Torino Italy, 2018.
- [14] F. Schork, R. Brocke and M. Rock, "Analyses of Temporary Overvoltage in AC-grids," in *NEIS*, Hamburg, 2018.
- [15] G. Kiefer und H. Schmolke, VDE 0100 und die Praxis, Berlin Offenbach: VDE Verlag GMBH, 2014.
- [16] DKE-VDE, „Deutsche Normungs-Roadmap Gleichstrom im Niederspannungsbereich,“ DKE-VDE, Frankfurt, 2016.
- [17] DIN EN 61643-11 (VDE 0675-6-11):2013-04, Überspannungsschutzgeräte für den Einsatz in Niederspannungsanlagen - Anforderungen und Prüfungen, Frankfurt: VDE Verlag, 2013.

- [18] DIN EN 60664-1 (VDE 0110-1):2008-01, Isolationskoordination für elektrische Betriebsmittel in Niederspannungsanlagen, Frankfurt: VDE Verlag, 2008.
- [19] DIN EN 61000-4-5 (VDE 0847-4-5):2015-03, Elektromagnetische Verträglichkeit (EMV) - Teil 4-5: Prüf- und Messverfahren - Prüfung der Störfestigkeit gegen Stoßspannungen, Frankfurt: VDE Verlag, 2015.
- [20] DIN EN 60060-1 (VDE 0432-1):2011-10, Hochspannungs-Prüftechnik - Teil 1: Allgemeine Begriffe und Prüfbedingungen, Frankfurt: VDE Verlag, 2011.
- [21] G. Hilgarth, Hochspannungstechnik, Wiesbaden: 2. Auflage, Springer Fachmedien GmbH, 1992.
- [22] W. Pfeiffer, Isolationskoordination in Niederspannungsbetriebsmitteln, Berlin: VDE Verlag, 2007.
- [23] W. Pfeiffer und F. Scheuerer, „Überspannungen in Niederspannungsinstallationen und deren Ausbreitung,“ *Elektrie Bd. 46*, pp. 266-271, 1992.
- [24] T. Gräf und W. Pfeiffer, „Ausbreitung und Dämpfung von Überspannungen in Niederspannungsinstallationen,“ *Elektrie Bd. 48*, pp. 194-201, 1994.
- [25] O. Beierl, Vorlesung: Hochspannungstechnische Grundlagen, Nürnberg: TH-Nürnberg, 2010.
- [26] DIN EN 62305-4 (VDE 0185-305-4):2011-10, Blitzschutz - Teil 4: Elektrische und elektronische Systeme in baulichen Anlagen, Frankfurt: VDE Verlag, 2011.
- [27] P. Hasse, J. Wiesinger und W. Zischank, Handbuch für Blitzschutz und Erdung, München: Richard Pflaum Verlag GmbH, 2006.
- [28] DEHN + SÖHNE GmbH + Co.KG., Blitzplaner, Neumarkt: Auflage 4, 2018.
- [29] E. U. Landers und P. Zahlmann, EMV - Blitzschutz von elektrischen und elektronischen Systemen in baulichen Anlagen, Berlin: VDE, 2013.
- [30] M. Rock, Prüfgeneratoren zur Simulation von Blitzimpulsströmen im Labor und ihre Wechselwirkung mit den Prüfobjekten, Ilmenau: Universitätsverlag Ilmenau, 2012.
- [31] R. Flosdorff und G. Hilgarth, Elektrische Energieverteilung, 9. Auflage: Vieweg+Teubner, 2008.
- [32] E DIN EN 63052 (VDE 0640-052):2016-11, Schutzeinrichtung gegen netzfrequente Überspannungen für Hausinstallationen und für ähnliche Anwendungen (POP), Frankfurt: VDE Verlag, 2016.
- [33] B. Novel, Power Frequency Overvoltage Protective Devices for Household and Similar Applications, IECTC 23/WG 2/ahG PoP, 2017.
- [34] S. Paul und R. Paul, Grundlagen der Elektrotechnik und Elektronik 3, Heidelberg: Springer, 2017.
- [35] DIN EN 60898-1 (VDE 0641-11):2006-03, Elektrisches Installationsmaterial - Leitungsschutzschalter für Hausinstallationen und ähnliche Zwecke, Frankfurt: VDE Verlag, 2006.
- [36] DIN EN 50539-11/A1 (VDE 0675-39/A1):2015-09, Überspannungsschutzgeräte für Niederspannung - Überspannungsschutzgeräte für besondere Anwendungen einschließlich Gleichspannung, Frankfurt: VDE Verlag, 2015.
- [37] F. Möller and J. Meyer, “Probabilistic household load model for unbalance studies based on measurements,” *Electric Power Quality and Supply Reliability (PQ)*, Tallinn, 2016.

-
- [38] Analog Devices, "LTspice - simulation of analog circuits," [Online]. Available: <http://www.analog.com/en/design-center/design-tools-and-calculators/ltspice-simulator.html>. [Accessed 25. 06. 2018].
- [39] DIN VDE 0100-442:2013-06, Errichten von Niederspannungsanlagen Teil 4-442: Schutzmaßnahmen - Schutz von Niederspannungsanlagen bei vorübergehenden Überspannungen infolge von Erdschlüssen im Hochspannungsnetz und bei Fehlern im Niederspannungsnetz, Frankfurt: VDE Verlag, 2013.
- [40] DIN VDE 0250-204 (VDE 0250-204):2000-12, Isolierte Starkstromleitungen PVC-Installationsleitung NYM, Frankfurt: VDE Verlag, 2000.
- [41] Faber-Kabel, „Mantelleitung NYM-J/-O nach VDE 0250-204 - Klaus Faber AG,“ Saarbrücken, 2017.
- [42] J. Birkel und P. Zahlmann, „Überspannungsschutz in Gleichstromanlagen,“ in *ABB Blitzschutztagung*, Neu-Ulm, 2012.
- [43] L. Ott und J. Kaiser, „Modellbasierte Fehleruntersuchung in LVDC-Netzen mit geringer Kurzschlussleistung,“ LES-Kolloquium, Fraunhofer IISB Erlangen, 2016.
- [44] DIN EN 61660-1 (VDE 0102-10):1998-06, Kurzschlußströme - Kurzschlußströme in Gleichstrom-Eigenbedarfsanlagen in Kraftwerken und Schaltanlagen, Frankfurt: VDE Verlag, 1998.
- [45] M. März, „Niederspannungs - Gleichstromnetze,“ in *LV-DC Leistungselektronik-Cluster-Seminar*, Fraunhofer IISB Erlangen, 2014.
- [46] H. Fricke, H. Frohne und P. Vaske, Moeller Grundlagen der Elektrotechnik, Wiesbaden: Vieweg + Teubner, 1976.
- [47] J. Kaiser, K. Gosses, L. Ott, Y. Han, B. Wunder, M. März and R. Weiss, "Grid Behavior under Fault Situations in +/- 380 VDC Distribution Systems," IEEE, ICDCM - Nürnberg, 2017.
- [48] Y. Han, J. Kaiser, L. Ott, M. Schulz, F. Fersterra, B. Wunder and M. März, "Non-isolated three-port DC/DC converter for +/-380 V DC microgrids," in *PCIM-Europe*, Nürnberg, 2016.
- [49] Amtsblatt der Europäischen Union, Richtlinie 2014/35/EU des europäischen Parlaments und des Rates, Brüssel, Belgien, 2014.
- [50] D. Kind, Dissertation: Die Aufbaufläche bei Stoßbeanspruchung technischer Elektrodenanordnungen in Luft, TH München: Universitätsverlag München, 1957.
- [51] EPCOS AG, Produktdatenbuch: Überspannungsableiter und Schaltfunkenstrecken, München: EPCOS, 2017.
- [52] R. Brocke, Disseration: Modellierung von Überspannungsableitern in Niederspannungsnetzen, TU Ilmenau: Shaker Verlag Aachen, 1996.
- [53] G. Burkhard, Schaltgeräte der Elektroenergietechnik, Berlin: VDE Verlag, 1985.
- [54] EPCOS AG, Datenbuch: SIOV Metal Oxide Varistors, München, 2011.
- [55] Littelfuse, „<http://www.littelfuse.de/products/tvs-diodes.aspx>,“ Littelfuse. [Online]. [Zugriff am 28. 11. 2017].
- [56] A. Wintrich, U. Nicolai, W. Tursky und T. Reimann, Semikron - Applikationshandbuch Leistungshalbleiter, Nürnberg: ISLE Verlag, 2010.
- [57] J. Lutz, Halbleiter-Leistungsbaulemente Physik, Eigenschaften, Zuverlässigkeit, Chemnitz: Springer Vieweg, 2012.

- [58] A. P. Silard, "High-Temperature Physical Effects Underlying the Failure Mechanism in Thyristors under Surge Conditions," in *IEEE Transactions on Electron Devices*, Vol. 31, No. 9, pp. 1334 - 1340, 1984.
- [59] D. Silber and M. J. Robertson, "Thermal Effects on the Forward Characteristic of Silicon pin-Diodes at High Pulse Currents," *Solid State Electronics*, Vol. 16, pp. 1337 - 1346, 1973.
- [60] T. Basler, Dissertation: Ruggedness of High Voltage IGBTs and Protection Solutions, Chemnitz: Universitätsverlag Chemnitz, 2013.
- [61] N. Sebald, „Skript: Elektronische Bauelemente 1,“ TH-Nürnberg, 2009.
- [62] M. März, Parasitics in Power Elektronischen Schaltungen - Cluster Schulung ECPE, IISB Erlangen, 2016.
- [63] A. Wintrich, Dissertation: Verhaltensmodellierung von Leistungshalbleitern für den rechnergestützten Entwurf leistungselektronischer Schaltungen, Chemnitz, 1996.
- [64] M. Pfof, ECPE Schulung - Thermal Network Simulation, Auf AEG Nürnberg, 2015.
- [65] R. Perret, Power Electronic Semiconductor Devices, London: John Wiley & Sons, Inc., 2009.
- [66] VDI-Gesellschaft Verfahrenstechnik und Chemieingenieurwesen, VDI-Wärmeatlas, Heidelberg: Springer, 2006.
- [67] T. Hunger, O. Schilling and F. Wolter, "Numerical and experimental study on surge current limitations of wire-bonded power diodes," in *PCIM*, Nürnberg, 2007.
- [68] H. Birk, J. Lutz, M. Neumeister, R. Rupp and M. Holz, "Surge Current Ruggedness of Silicon Carbide Schottky- and Merged-PiN-Schottky Diodes," in *ISPSD*, Orlando, FL, 2008.
- [69] J. Specovius, Grundkurs Leistungselektronik, 2. Auflage, Wiesbaden: Vieweg, 2008.
- [70] F. Zach, Leistungselektronik - Ein Handbuch, Auflage 4: Springer, 2010.
- [71] T. Chirila, M. Rüb and T. Reimann, "Dynamic Avalanche in Charge-Compensation MOSFETs Analyzed with the Novel Single Pulse EMMI-TLP Method," in *IEEE International Reliability Physics Symposium IRPS*, Pasadena, CA, USA, 2016.
- [72] Littelfuse, „www.littelfuse.com,“ [Online]. Available: http://www.littelfuse.com/~littelfuse_tvs_diode_p6ke_datasheet.pdf. [Zugriff am 26. 02. 2018].
- [73] A. Volke and M. Hornkamp, IGBT Modules - Technologies, Driver and Application, München: Infineon Technologies AG, 2012.
- [74] K. Fink, Dissertation: Untersuchung neuartiger Konzepte zur geregelten Ansteuerung von IGBTs, Berlin: TU-Berlin, 2010.
- [75] R. Krümmer, Dissertation: Beitrag zur Verbesserung der elektrischen und thermischen Ausnutzung von Leistungshalbleiterschaltern, TU Ilmenau: Verlag ISLE, 2005.
- [76] S. Konrad, Dissertation: Ein Beitrag zur Auslegung und Integration spannungsgespeister IGBT-Wechselrichter, TU Ilmenau: Verlag-ISLE, 1997.
- [77] M. Wetter, G. Finis, J. Cerny, E.-D. Wilkening, B. Bünsow und R. Durth, „Vorrichtung zum Ableiten von Stoßströmen oder transienten Überspannungen“. Deutschland Patent DE 10 2010 006 525 B4, 01. 02. 2010.
- [78] A. Küchler, Hochspannungstechnik - Grundlagen, Technologie, Anwendung, Heidelberg: Springer, 2009.

-
- [79] K. Grella, Dissertation: Zuverlässigkeiten von CMOS-Bauelementen auf SOI für den Betrieb bei 250°C, Duisburg-Essen: Universitätsverlag Duisburg-Essen, 2013.
- [80] IRF/Infineon, „Application Note AN-983: IGBT Characteristics,“ 05. 03. 2012. [Online]. Available: <https://www.infineon.com/dgdl/an-983.pdf?fileId=5546d462533600a40153559f8d921224>. [Zugriff am 05. 03. 2018].
- [81] T. Basler, J. Lutz and R. Jakob, “IGBTs Conduction Diode-Like Surge Currents,” in *International Symposium on Power Semiconductor Devices & IC's*, Waikoloa, Hawaii, 2014.
- [82] T. Reimann, Dissertation: Verhalten abschaltbarer Leistungshalbleiterbauelemente im ZVS-Mode, Ilmenau: Shaker Aachen, 1994.
- [83] T. Ogura, H. Niomiyq and T. Inoue, “4.5 kV injection enhanced gate transistors (IGTs) with high turn-off ruggedness,” *Transactions on Electron Devices*, vol. 51, no. 4, 2004.
- [84] M. Otsuki, Y. Onozawa and H. Kanemaru, “A study on the short-circuit capability of field-stop IGBTs,” *Transaction on Electron Devices*, vol. 50, no. 6, 2003.
- [85] H.-R. Chang, J. Bu, G. Kong and R. Labayan, “300 A 650 V 70 μ m Thin IGBTs with Double-Side Cooling,” in *Power Semiconductor Devices and ICs (ISPSD)*, San Diego, USA, 2011.
- [86] H.-R. Chang, J. Bu, H. Hauenstein, M. Wittmann, J. Marcinkowski, M. Pavier, S. Palmer and J. Tompkins, “200 kVA compact IGBT modules with double-sided cooling for HEV and EV,” in *Power Semiconductor Devies and ICs (ISPSD)*, Brügge, Belgien, 2012.
- [87] T. Basler, J. Lutz, R. Jakob and T. Brückner, “Surge Current Capability of IGBTs,” in *International Multi-Conference on Systems, Signals and Devices*, Chemnitz, Deutschland, 2012.
- [88] B. You, Dissertation: Investigation of MOS-Gated Thyristors and Power Diodes, Blacksburg, Virginia, 2000.
- [89] J. Funke, T. Ha Chi, D. Kladar und A. C. Mendoza, „Überspannungsunterdrückungsschaltung, welche auf die Änderungsgeschwindigkeit einer Versorgungsspannung reagiert“. USA Patent EP 10 583 66 B1, 16. 12. 2009.
- [90] J.-F. De Palma und J. Mosesian, „Statische Überspannungsschutzvorrichtung“. Europa Patent EP 2 715 897 B1, 17. 05. 2012.
- [91] D. Bakern, R. Bax, V. Nguyen und J. D. Sagona, „Überspannungsschutzverfahren und -vorrichtung“. Europa Patent EP 25 496 13 A1, 23. 01. 2013.
- [92] J. Gieras, S. Moss und G. Rozman, „Rotierende Diodenanordnung mit Überspannungsschutzschaltung“. Europa Patent EP 2 779 379 A2, 17. 09. 2014.
- [93] K. Bühler, J. Ehrler, A. Ehrhardt und S. Schreiter, „Gekapselte, blitzstromtragfähige und folgestrombegrenzende Überspannungsschutzseinrichtung mit mindestens einer Funkenstrecke“. Europa Patent EP000002870666A1, 13. 05. 2013.
- [94] J. Wosgien, „Überspannungsschutzsystem“. Deutschland Patent DE 19 914 313 B4, 14. 09. 2000.
- [95] W. Breuer und P. Menke, „Funkenstrecke mit optisch gezündetem Leistungshalbleiterbauelement“. Deutschland Patent DE102004002581B4, 10. 11. 2005.
- [96] S. Godo, A. Kawamoto und Y. Yasuda, „Leistungshalbleitervorrichtung für Zündvorrichtung“. Deutschland Patent DE102010042046A1, 09. 06. 2011.

-
- [97] M. Jordan, Dissertation: Untersuchung von Methoden zur Identifikation der zeit- und frequenzabhängigen Netzimpedanz, Hamburg: Universitätsverlag HSU-Hamburg, 2016.
- [98] C. Wiens, A. Claudi and G. Finis, "Selection of a switching element to characterise the dynamic behaviour of DC sources," in *19th International Symposium on High Voltage Engineering*, Pilsen, Tschechien, 2015.
- [99] P. Igl und T. Böhm, „Mehrstufige Überspannungsschutzschaltung, insbesondere für informationstechnische Anlagen“. Deutschland Patent WO 2010/046365 A1, 21. 10. 2008.
- [100] R. Koenig, A. Ehrhardt und W. Hohenwaldt, „Überspannungsschutzeinrichtung für den Einsatz in Gleichstromnetzen, insbesondere für Photovoltaikanlagen“. Deutschland Patent WO 2008/080667 A1, 31. 10. 2007.
- [101] E. Giannelaki, G. Kostakis, Z. Politis, K. Samaras und T. Tsovilis, „Vorrichtung und Verfahren zum Überspannungsschutz“. Europa Patent EP 2 701 256 B1, 21. 12. 2016.
- [102] A. Würfel, J. Adler, A. Mauder und N. Kaminski, „Over Current Breaker Based on the Dual Thyristor Principle,“ in *ISPSD*, Prag, Tschechien, 2016.
- [103] S. Carcouet and D. Leonard, "Overvoltage protection device for an electrical circuit". USA Patent US8164874B2, 24. 04. 2012.
- [104] Bourns, "Transient Blocking Unit (TBU) High-Speed Electronic Current Limiter Protection," 2009. [Online]. Available: www.bourns.com/data/global/pdfs/bourns_tbu_white_paper.pdf. [Accessed 30. 03. 2018].
- [105] E-T-A, „Leitfaden DC 24 V-Systeme im Maschinen- und Anlagenbau,“ 2017. [Online]. Available: https://www.e-t-a.de/fileadmin/user_upload/Ordnerstruktur/pdf-Data/Broschures_Magazines_etc/Broschures/Broschures_d/E-T-A_DC24V-Systeme_d.pdf. [Zugriff am 10. 01. 2017].
- [106] D. Izquierdo, A. Barrado, C. Raga, M. Sanz and A. Lazaro, "Protection Devices for Aircraft Electrical Power Distribution Systems: State of the Art," in *IEEE Transactions on Aerospace and Electronic Systems*, vol 74, no. 3, 2011.
- [107] S. Roberts, DC/DC Book of Knowledge - Praktische Tipps für Anwender, Österreich: RECOM Engineering GmbH & Co KG, 2014.
- [108] J. Hoyer, „Ungewöhnliche elektrische Brandursache - Neutralleiterunterbrechung,“ 02. 2017. [Online]. Available: https://www.schadenprisma.de/wp-content/uploads/sp_2017_2_2.pdf. [Zugriff am 30. 03. 2018].
- [109] A. Ehrhardt and K. Bühler, "Device for protection against transient and temporary overvoltage including limitation of the specific energy," in *Plasma Physics and Technology*, FEE CTU in Prag, 2017.
- [110] P. N. Wijesooriya, N. Kularatna, J. Fernando and D. A. Steyn-Ross, "Series transistor array-based linear AC regulator: Role of multiple buck-boost transformers in efficiency improvements," in *26th International Symposium on Industrial Electronics (ISIE)*, 2017.
- [111] R. Durth, J. Schimanski und M. Wetter, „Überspannungsschutzgerät und Verfahren zum Ableiten von transienten Überspannungen“. Deutschland Patent DE 10 2005 0 46 833 A1, 22. 02. 2007.

- [112] D. Lozaneanu, P. Ogrutan, L. E. Aciu and I. Rosca, “Study Regarding Intelligent Protection in Low Voltage Supply and Data Transmission,” in *International Symposium for Design and Technology in Electronic Packaging (SIITME)*, Pitesti, Romania, 2010.
- [113] U. Schlien, Schaltungsnetzwerke und ihre Peripherie, Wiesbaden: Vieweg+Teubner Verlag, 2003.
- [114] DIN EN 61000-3-2 (VDE 0838-2):2015-03, Elektromagnetische Verträglichkeit (EMV) - Teil 3-2: Grenzwerte - Grenzwerte für Oberschwingungsströme (Geräte-Eingangstrom ≤ 16 A je Leiter), Frankfurt: VDE Verlag, 2015.
- [115] DEHN + SÖHNE GmbH + Co.KG., Überspannungsschutz UE-Hauptkatalog, Neumarkt: Dehn, 2018.
- [116] Landolt-Börnstein, Zahlenwerte und Funktionen aus Naturwissenschaft und Technik, Gruppe III Band 17a, Berlin: Springer Verlag, 1982.

Verwendete Simulationsprogramme

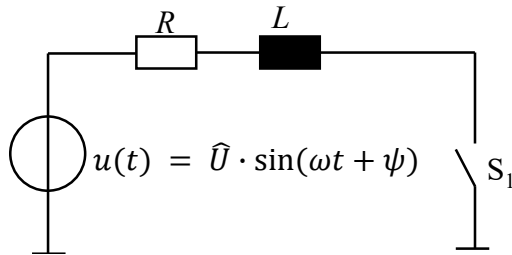
Für die Erstellung dieser Arbeit wurden folgende Simulationsprogramme verwendet:

1. LTspiceVI® für Schaltungs- und Netzsimulationen
2. Scilab 6.0.0 für numerische Berechnungen
3. wxMaxima 17.10.0 für symbolische Berechnungen
4. Imc Famos® Professional 7.0 für die Bearbeitung und Auswertung von Messkurven
5. Excel 2016 zur Darstellung und Aufbereitung von Diagrammen

14. Anhänge

Nachfolgend sind in dieser Arbeit genannten Anhänge gegeben.

Anhang 1: Zur Folgestromproblematik



DGL:

$$R \cdot i(t) + L \cdot \frac{di}{dt} = \hat{U} \cdot \sin(\omega t + \psi)$$

$\psi = \text{Zuschaltwinkel des Stromes}$

$\varphi = \text{Phasenwinkel}$

Abb. 14.1: Ersatzkreis und Differenzialgleichung für den Kurzschlussstromverlauf

1. Schritt: Lösung der homogenen DGL

Ansatz:

$$y'(x) + f(x) \cdot y(x) = 0 \rightarrow y_H = K \cdot e^{-\int f(x) dx}$$

homogene Lösung:

$$i'(t) + \frac{R}{L} \cdot i(t) = 0 \rightarrow i_H(t) = K \cdot e^{-\frac{R}{L}t}$$

2. Schritt: Lösung der inhomogenen DGL

Methode: Variation der Konstanten $K \rightarrow K(t)$

$$i(t) = K(t) \cdot e^{-\frac{R}{L}t} \quad i'(t) = K'(t) \cdot e^{-\frac{R}{L}t} - \frac{R}{L} \cdot K(t) \cdot e^{-\frac{R}{L}t}$$

Einsetzen von $K(t)$ und $K'(t)$ in die DGL führt dann zu folgender Lösung der DGL nach [31]:

$$i(t) = \frac{\hat{U}}{\sqrt{R^2 + (\omega L)^2}} \cdot \left(\sin(\omega t + \psi - \varphi) - e^{-\frac{R}{L}t} \sin(\psi - \varphi) \right)$$

Folgestrombetrachtung I_f mit Gegenspannung U_g :

Mit U_g kann der Verlauf der ersten Sinushalbwelle des Folgestroms wie folgt dargestellt werden:

$$i(t) = \frac{\hat{U}}{\sqrt{R^2 + (\omega L)^2}} \cdot \left[\sin(\omega t + \psi - \varphi) - \sin(\psi - \varphi) e^{-\frac{R}{L}t} \right] \mp \frac{U_g}{R} \cdot \left(1 - e^{-\frac{R}{L}t} \right)$$

Die zweite Nullstelle ($Nst_2 = 0$) gibt den Geltungsbereich der Lösung an. Diese ist abhängig von R , L und U_g und ist analytisch nicht lösbar. Durch eine Grenzwertbetrachtung kann jedoch die Lage der zweiten Nullstelle eingegrenzt werden. Der erste Grenzwert liegt bei:

$$\lim_{U_g \rightarrow 0} \lim_{L \rightarrow 0} \lim_{\psi \rightarrow 0} i(t) = \frac{\hat{U}}{R} \cdot (\sin(\omega t) - 1) \rightarrow \text{Nullstelle bei } t = \frac{T}{4}$$

Der zweite Grenzwert liegt bei:

$$\lim_{U_g \rightarrow 0} \lim_{R \rightarrow 0} \lim_{\psi \rightarrow 0} i(t) = \frac{\hat{U}}{\omega L} \cdot [\sin(\omega t - \varphi) - \sin(-\varphi)] \rightarrow \text{Nullstelle bei } t = T$$

Die Grenzwerte zeigen, dass Gl. (3.2.3) für $0 \leq t \leq \frac{1}{4}T \dots T$ gültig ist.

Anhang 2: Extremwerte bei Kurzschluss L-N im 4-Leiter-Drehstromnetz

Im Fall eines ohmsch wirkenden Kurzschlusses an L3, d.h. $\varphi_{ZL3} = 0^\circ$ ergibt sich der Betrag der temporären Überspannung in Abhängigkeit von R_3 an Phase L1 zu:

$$\left| \frac{U_{TOV1}}{U_{1N}} \right| = \left| 1 - \frac{a}{2} \frac{Z}{Z_{L3} + Z} \right| = \frac{1}{2} \sqrt{\frac{7 \cdot X^2 + 2 \cdot \sqrt{3} \cdot R_3 \cdot X + 7 \cdot R^2 + 10 \cdot R_3 \cdot R + 4 \cdot R_3^2}{X^2 + R^2 + 2 \cdot R_3 \cdot R^2 + R_3^2}}$$

Es treten zwei Extremwerte bei Nst_1 und Nst_2 auf:

$$\frac{d \left| \frac{U_{TOV1}}{U_{1N}} \right|}{dR_3} = 0$$

$$Nst_1: R_3 = - \frac{\sqrt{21 \cdot X^4 - 4 \cdot \sqrt{3} \cdot R \cdot X^3 + 22 \cdot R \cdot X^2 - 4 \cdot \sqrt{3} \cdot R^3 \cdot X + R^4 + 3 \cdot X^2 + 3 \cdot R^2}}{2 \cdot \sqrt{3} \cdot X + 2 \cdot R}$$

Mit $X > 0, R > 0$ folgt für die $Nst_1: R_3 < 0$. Widerstände $R_3 < 0$ sind bei passiven Lasten nicht möglich, daher kann diese Extremstelle nicht auftreten. Für Nst_2 folgt:

$$Nst_2: R_3 = \frac{\sqrt{21 \cdot X^4 - 4 \cdot \sqrt{3} \cdot R \cdot X^3 + 22 \cdot R^2 \cdot X^2 - 4 \cdot \sqrt{3} \cdot R^3 \cdot X + R^4 - 3 \cdot X^2 - 3 \cdot R^2}}{2 \cdot \sqrt{3} \cdot X + 2 \cdot R}$$

Der Zusammenhang von X und R ist über $\cos \varphi_l$ der Netzimpedanz gegeben:

$$K = \frac{X}{R} = \sqrt{\left(\frac{1}{\cos \varphi_l} \right)^2 - 1}$$

Der Extrempunkt an der Nst_2 kann daher wie folgt dargestellt werden:

$$Nst_2: R_3 = \frac{\sqrt{21 \cdot K^4 \cdot R^4 - 4\sqrt{3} \cdot K^3 \cdot R^4 + 22 \cdot K^2 \cdot R^4 - 4\sqrt{3} \cdot K \cdot R^4 + R^4 - 3 \cdot K^2 \cdot R^2 - 3 \cdot R^2}}{2\sqrt{3} \cdot K \cdot R + 2 \cdot R}$$

$$Nst_2: R_3 = \frac{\sqrt{21 \cdot K^4 - 4\sqrt{3} \cdot K^3 + 22 \cdot K^2 - 4\sqrt{3} \cdot K + 1 - 3 \cdot K^2 - 3}}{2\sqrt{3} \cdot K + 2} \cdot R = f(K) \cdot R$$

$$f(K) > 0 \text{ ist gegeben bei } K > \frac{2}{\sqrt{3}} \rightarrow \sqrt{\left(\frac{1}{\cos \varphi_l} \right)^2 - 1} > \frac{2}{\sqrt{3}} \rightarrow \cos \varphi_l < 0,65$$

Für $\cos \varphi_l < 0,65$ ergeben sich lokale Maxima bei der Nst_2 , da gilt:

$$|U|(R_3 + dR) < |U|(R_3) > |U|(R_3 - dR)$$

Ein absolutes Maximum tritt für $\cos \varphi_l = 0$ an folgender Stelle auf:

$$R_3 = \frac{\sqrt{21} - 3}{2 \cdot \sqrt{3}} \cdot X \rightarrow \frac{|I_{SC}|}{|I_p|} = \frac{2 \cdot \sqrt{3}}{\sqrt{42 - 6 \cdot \sqrt{21}}} \approx 0,91$$

$$\rightarrow \max \left| \frac{U_{TOV1}}{U_{1N}} \right| = - \frac{\sqrt{14} \cdot \sqrt{17 - 3 \cdot \sqrt{21}}}{2 \cdot (\sqrt{21} - 7)} \approx 1,395$$

Anhang 3: Temporäre Überspannungen bei Neutraleiter-Verlust

Bei den in **Kap. 3.3.2** genannten Lastfällen können die Ortskurven für den Verlauf der maximalen temporären Überspannung angegeben werden (**Abb. 14.2**).

- 1. Fall:** gleichartige Lasten: rein ohmsch, rein induktiv, rein kapazitiv (grün)
2. Fall: zweiartige Lasten: ohmsch-induktiv oder ohmsch-kapazitiv (blau)
3. Fall: dreiartige Lasten: ohmsch-induktiv-kapazitiv (rot)

Abb. 14.2 zeigt den Verlauf der Ortskurven für die maximal zu erwartenden TOV bei diesen Lastfällen.

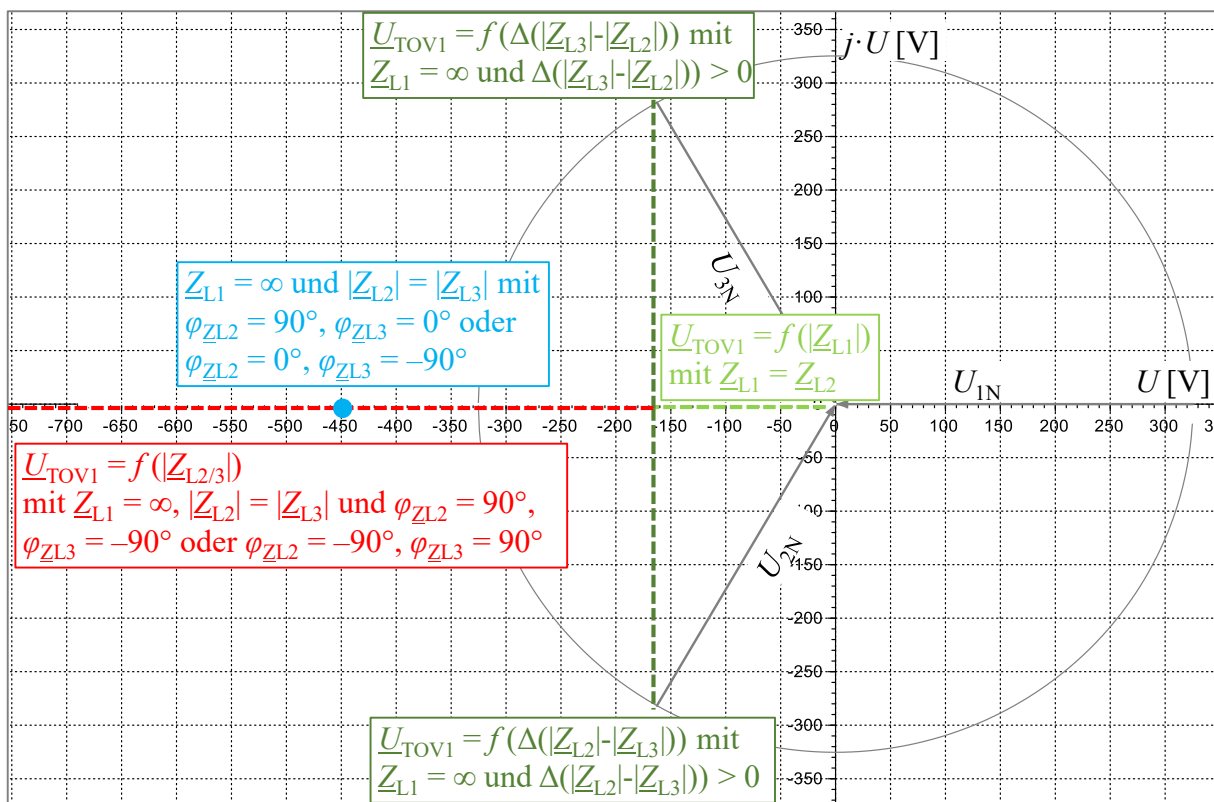


Abb. 14.2: Verlauf der Ortskurven der maximalen TOV-Spannung \underline{U}_{TOV1}

Bei Lastfall 3 kann die Spannung unter Vernachlässigung der Dämpfung theoretisch gegen unendlich gehen. Die hier gewählte Darstellung wurde aus Gründen der Übersichtlichkeit nicht weiter vergrößert.

Anhang 4: LTspice Simulationsmodelle für die Bedrohungsanalyse in AC- und DC-Netzen

Anhang 4 zeigt die LTspice-Modelle aus **Kap. 3.3.4** zur Untersuchung der TOV bei Mittelspannungserdschlüssen (**Abb. 14.3**) und aus **Kap. 4.2** zur Untersuchung von Kurzschlüssen in DC-Netzen (**Abb. 14.4**).

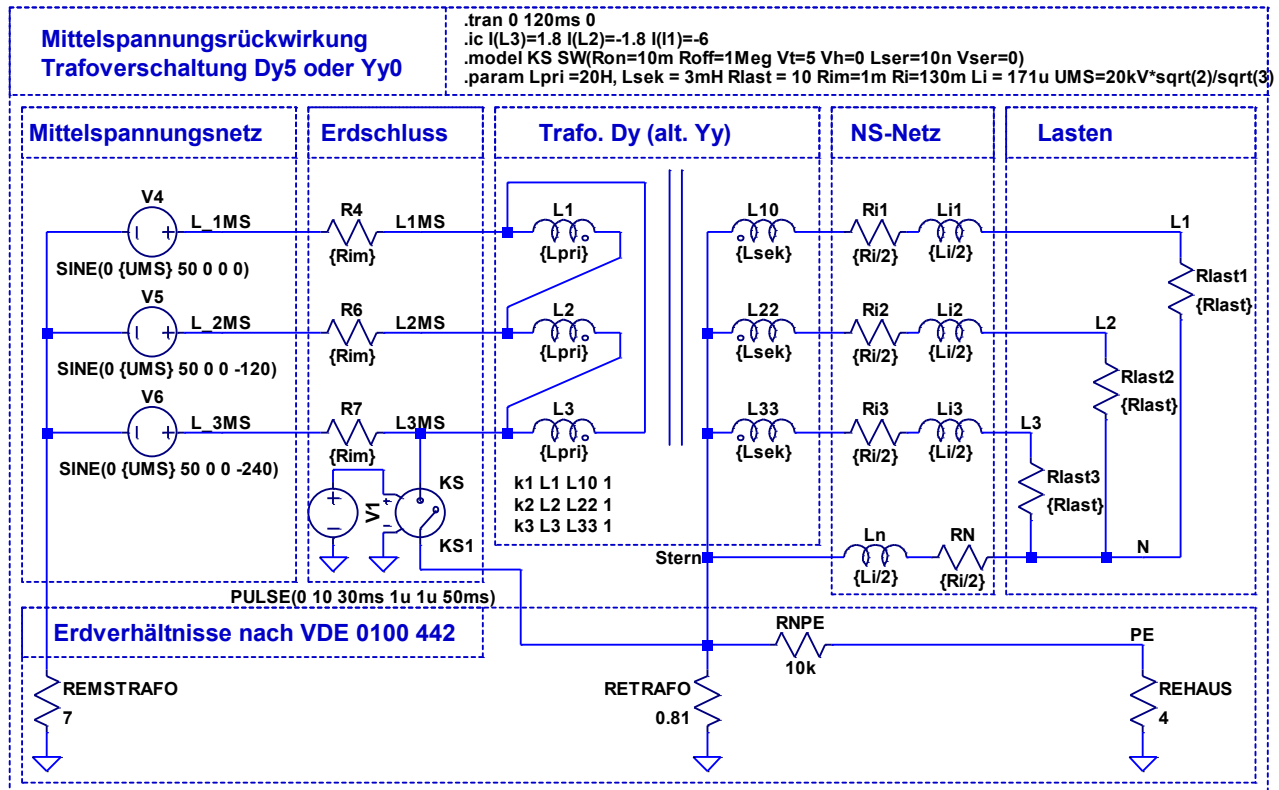


Abb. 14.3: Simulationsmodell LTspice zur Untersuchung der Auswirkung von Mittelspannungserdschlüssen auf die Niederspannungsseite mit der Transformatorschaltgruppe Dy5 oder Yy0

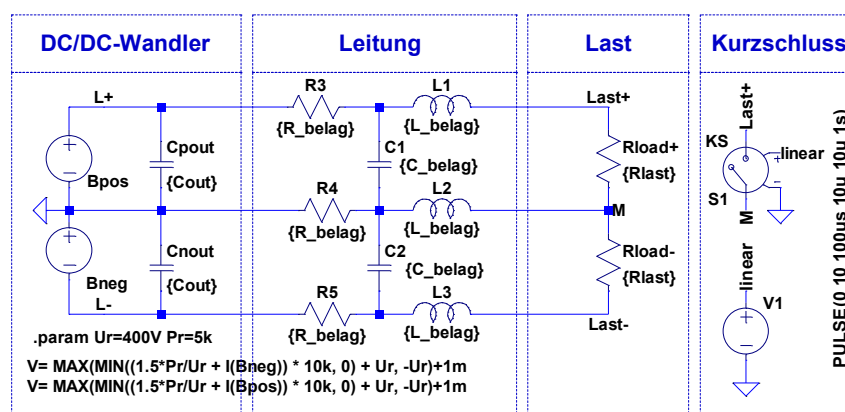


Abb. 14.4: LTspice Modell eines über Wandler gespeisten bipolaren DC-Netzes mit passiven Lasten

Anhang 5: Thermische Vorgänge in Leistungshalbleitern bei Impulsbelastung

Um eine Abschätzung treffen zu können, wie sich die Temperaturverteilung in einer Diode während eines Stoßstromereignisses darstellt, wurde zunächst die Verlustleistungsaufteilung in der Beispieldiode ($U_{RRM} = 400 \text{ V}$, $I_n = 60 \text{ A}$, $A_{\text{Chip}} = 44,5 \text{ mm}^2$) aus **Kap. 6.1** abgeschätzt. **Abb. 14.5** zeigt hierzu die Bereiche in der Diode, die bei einer Impulsbelastung maßgeblich für den Spannungsabfall über dem Bauelement verantwortlich sind.

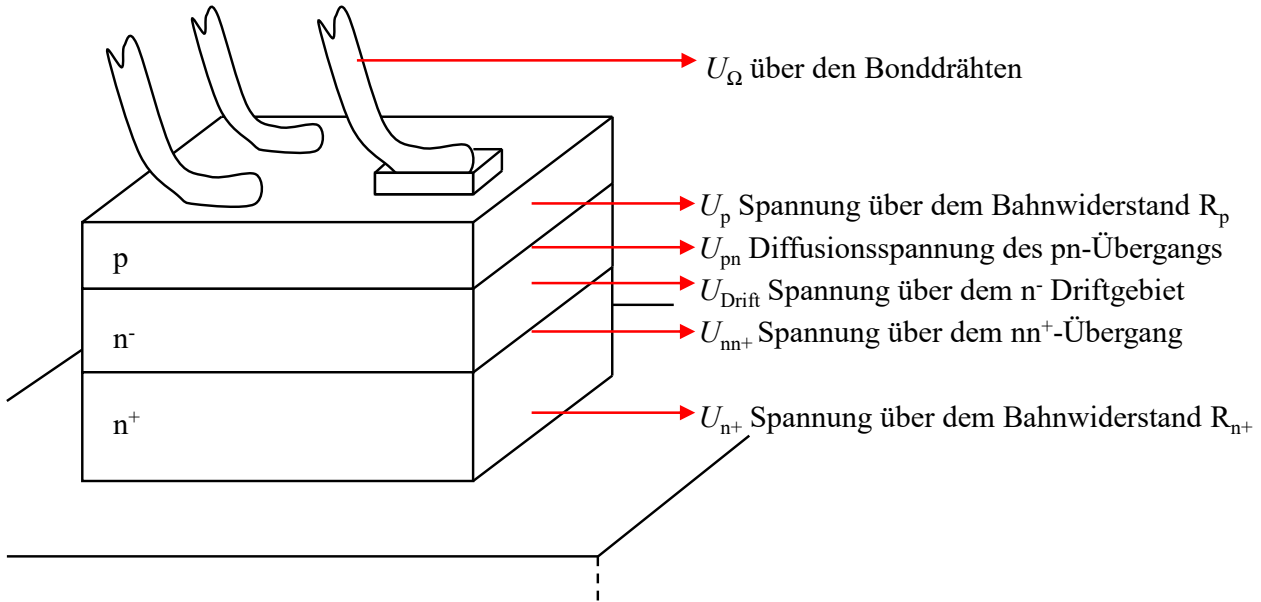


Abb. 14.5: Spannungsfälle in einer Beispieldiode ($U_{RRM} = 400 \text{ V}$, $I_n = 60 \text{ A}$, $A_{\text{Chip}} = 44,5 \text{ mm}^2$) während einer Impulsbelastung

Mit den Gl. (6.1.2) und Gl. (6.1.3) können die einzelnen Spannungsabfälle berechnet werden. Hierzu sind allerdings genaue Kenntnisse des internen Dioden-Aufbaus nötig, was nur vom Hersteller zu beantworten ist. Um dennoch eine Abschätzung treffen zu können, wurden sinnvolle Annahmen für die Beispieldiode getroffen.

Abschätzung des Spannungsabfalls über den Bonddrähten

Tab. 14.1: Parameter für die Bonddrahtabschätzung

Bekannte Parameter			
$A_B [\text{cm}^2]$	$l_B [\text{cm}]$	$\sigma [1/\Omega\text{m}]$ (Aluminium)	Anzahl N
0,0018	1,5	$37,7 \cdot 10^6$	3

Damit ergibt sich ein Widerstand pro Bonddraht von:

$$R_B = \frac{l_B}{A_B \cdot \sigma_{Al}} = 2,2 \text{ m}\Omega$$

Daraus entstehen für die maximale Ableitfähigkeit der 400 V-Diode ($I_{8/20\mu\text{smax}} = 4,8 \text{ kA}$ und $I_{10/350\mu\text{smax}} = 2 \text{ kA}$) die ohmschen Spannungsfälle über den Bonddrähten von:

$$U_{8/20\mu\text{s}} = \frac{1}{N} \cdot R_B \cdot I_{8/20\mu\text{s},\text{max}} = 3,52 \text{ V} ; \quad U_{10/350\mu\text{s}} = \frac{1}{N} \cdot R_B \cdot I_{10/350\mu\text{s},\text{max}} = 1,47 \text{ V}$$

Der induktive Anteil des Spannungsabfalls ist im Strommaximum nicht existent, da hier $di/dt = 0$ gilt. In der Simulation wurden die realen Strom- und Spannungsverläufe verwendet.

Die Induktivität der drei Bonddrähte wurde mit 4 nH berücksichtigt und der daraus resultierende induktive Anteil vom realen Spannungsverlauf subtrahiert.

Abschätzung des Spannungsabfalls über dem p Gebiet

Tab. 14.2: Parameter für die Abschätzung des Spannungsabfalls über dem p Gebiet

Bekannte Parameter	Angenommene Parameter		
$A_{\text{Chip}} [\text{cm}^2]$	$l_p [\text{cm}]$	$N_A = p [1/\text{cm}^3]$	$\mu_p [\text{cm}^2/\text{Vs}]$
0,445	0,002	10^{18}	125

Daraus errechnet sich der Widerstand des p Gebietes (der Einfluss der Minoritäten n wurde wegen $p \gg n$ vernachlässigt):

$$R_p = \frac{l_p}{A_{\text{Chip}} \cdot p \cdot q \cdot \mu_p} = \frac{20 \mu\text{m}}{0,445 \text{ cm}^2 \cdot 10^{18} \frac{1}{\text{cm}^3} \cdot 1,62 \cdot 10^{-19} \text{ As} \cdot 125 \frac{\text{cm}^2}{\text{Vs}}} = 221,9 \mu\Omega$$

Für die maximale Ableitfähigkeit der 400 V-Diode ($I_{8/20\mu\text{smax}} = 4,8 \text{ kA}$ und $I_{10/350\mu\text{smax}} = 2 \text{ kA}$) folgen die Spannungsabfälle bei 300 K:

$$U_{8/20\mu\text{s}} = R_p \cdot I_{8/20\mu\text{s},\text{max}} = 1,06 \text{ V} ; U_{10/350\mu\text{s}} = R_p \cdot I_{10/350\mu\text{s},\text{max}} = 0,44 \text{ V}$$

Allgemein gilt, dass bei starkem Temperaturanstieg die Beweglichkeit der Ladungsträger im Halbleiter abnimmt (z.B. $\mu_{p300\text{K}} \approx 2 \cdot \mu_{p500\text{K}}$) und dadurch eine Erhöhung des Spannungsabfalls zu erwarten ist. Gleichzeitig wird sich jedoch die Anzahl der freien Ladungsträger aufgrund der thermischen Generation erhöhen, was eine Reduktion des Spannungsabfalls zur Folge hat. Für die nachfolgende Simulation wurde daher mit einer Erhöhung des Spannungsabfalls um 30% im p Gebiet gerechnet (Werte bei 500 K, $U_{8/20\mu\text{s}} = 1,3 \text{ V}$, $U_{10/350\mu\text{s}} = 0,572 \text{ V}$).

Abschätzung des Spannungsabfalls über dem pn-Übergang

Tab. 14.3: Parameter für die Abschätzung des Spannungsabfalls über dem pn-Übergang

Angenommene Parameter			
$T [\text{K}]$	$N_A = p [1/\text{cm}^3]$	$n_{\text{Basis}} [1/\text{cm}^3]$	$n_i [1/\text{cm}^3]$
300	10^{18}	10^{18}	$1,5 \cdot 10^{10}$
500	10^{18}	10^{18}	$2 \cdot 10^{14}$

Daraus ergeben sich die Diffusionsspannungen:

$$U_{pn300\text{K}} = U_T \cdot \ln\left(\frac{N_A \cdot n_{\text{Basis}}}{n_i^2}\right) = 0,92 \text{ V} ; U_{pn500\text{K}} = U_T \cdot \ln\left(\frac{N_A \cdot n_{\text{Basis}}}{n_i^2}\right) = 0,73 \text{ V}$$

Abschätzung des Spannungsabfalls über dem n⁻ Gebiet

Tab. 14.4: Parameter für die Abschätzung des Spannungsabfalls über dem n⁻ Gebiet

Bekannter Parameter		Angenommene Parameter			
$A_{\text{Chip}} [\text{cm}^2]$	$T [\text{K}]$	$w_B [\text{cm}]$	$p_{\text{Basis}}/n_{\text{Basis}} [1/\text{cm}^3]$	$\mu_n [\text{cm}^2/\text{Vs}]$	$\mu_p [\text{cm}^2/\text{Vs}]$
0,445	300	0,01	10^{18}	280	125
0,445	500	0,01	10^{18}	150	60

Das n⁻ Gebiet ist im leitenden Zustand sowohl mit Löchern als auch mit Elektronen geflutet. Der Mittelwert der Dichte der Ladungsträger in der Basis wurde mit $n_{\text{Basis}} = p_{\text{Basis}} = 10^{18} 1/\text{cm}^3$ angenommen. Daraus ergeben sich die Widerstände bei 300 K und 500 K:

$$R_{n-300K} = \frac{w_B}{A_{Chip} \cdot p_{Basis} \cdot q \cdot (\mu_{n300K} + \mu_{p300K})} = 0,343 \text{ m}\Omega$$

$$R_{n-500K} = \frac{w_B}{A_{Chip} \cdot p_{Basis} \cdot q \cdot (\mu_{n500K} + \mu_{p500K})} = 0,711 \text{ m}\Omega$$

Für die maximale Ableitfähigkeit der Beispieldiode ($I_{8/20\mu s\max} = 4,8 \text{ kA}$ und $I_{10/350\mu s\max} = 2 \text{ kA}$) folgen die Spannungsabfälle bei 300 K:

$$U_{8/20\mu s} = R_{n-300K} \cdot I_{8/20\mu s,\max} = 1,64 \text{ V} ; U_{10/350\mu s} = R_{n-300K} \cdot I_{10/350\mu s,\max} = 0,69 \text{ V}$$

Sowie bei 500 K:

$$U_{8/20\mu s} = R_{n-500K} \cdot I_{8/20\mu s,\max} = 3,41 \text{ V} ; U_{10/350\mu s} = R_{n-500K} \cdot I_{10/350\mu s,\max} = 1,42 \text{ V}$$

Abschätzung des Spannungsabfalls über dem nn^+ -Übergang

Tab. 14.5: Parameter für die Abschätzung des Spannungsabfalls über dem nn^+ -Übergang

Angenommene Parameter	
$n_{Basis} [1/\text{cm}^3]$	$N_{Dn^+} = n [1/\text{cm}^3]$
10^{18}	10^{20}

Daraus ergibt sich der Spannungsabfall über dem nn^+ -Übergang:

$$U_{nn+300K} = U_T \cdot \ln\left(\frac{N_{Dn^+}}{n_{Basis}}\right) = 0,12 \text{ V}$$

Abschätzung des Spannungsabfalls über dem n^+ Gebiet

Tab. 14.6: Parameter für die Abschätzung des Spannungsabfalls über dem n^+ Gebiet

Bekannte Parameter	Angenommene Parameter		
$A_{Chip} [\text{cm}^2]$	$l_{n^+} [\text{cm}]$	$N_{Dn^+} = n [1/\text{cm}^3]$	$\mu_n [\text{cm}^2/\text{Vs}]$
0,445	0,014	10^{20}	120

Der Widerstand des n^+ Gebiets berechnet sich wie folgt:

$$R_{n^+} = \frac{l_{n^+}}{A_{Chip} \cdot N_{Dn^+} \cdot q \cdot \mu_{n300K}} = 16,2 \text{ }\mu\Omega$$

Daraus ergeben sich für die maximale Ableitfähigkeit der Diode ($I_{8/20\mu s\max} = 4,8 \text{ kA}$ und $I_{10/350\mu s\max} = 2 \text{ kA}$) folgende Spannungsabfälle bei 300 K:

$$U_{8/20\mu s} = R_{n^+} \cdot I_{8/20\mu s,\max} = 80 \text{ mV} ; U_{10/350\mu s} = R_{n^+} \cdot I_{10/350\mu s,\max} = 30 \text{ mV}$$

Übersicht der zu erwartenden Spannungsabfälle:

Tab. 14.7 fasst die zu erwartenden Spannungsabfälle über der Diode zusammen. Es ist ersichtlich, dass die Spannungen U_{nn^+} und U_{n^+} nur einen sehr geringen Beitrag zur Gesamtverlustleistung in der Diode haben. Daher werden sie bei dem in **Abb. 6.4** und **Abb. 14.6** gezeigten Modell vernachlässigt. Weiterhin stimmt der berechnete Wert U_{ges_cal} mit dem gemessenen Wert $U_{AK\max}$ gut überein. In den Messwerten $U_{AK\max} = 10,5 \text{ V}$ bzw. $4,3 \text{ V}$ sind keine induktiven Spannungsabfälle enthalten, da diese bei $di/dt = 0$ entnommen wurden.

Tab. 14.7: Übersicht der zu erwarteten Spannungsabfälle

	Spannung bei $I_{8/20\mu s} = 4,8 \text{ kA}$ [V]	prozentuale Aufteilung bei 8/20 μs	Spannung bei $I_{10/350\mu s} = 2 \text{ kA}$ [V]	prozentuale Aufteilung bei 10/350 μs
U_B	3,54	40 %	1,47	35 %
U_p	1,07	12 %	0,44	11 %
U_{pn}	0,73	8 %	0,73	17 %
U_{n-}	3,41	38 %	1,41	34 %
U_{nn+}	0,12	1 %	0,12	3 %
U_{n+}	0,08	1 %	0,03	1 %
U_{ges_cal}	8,94	–	4,22	–
U_{AKmax}	10,5	–	4,30	–

Abschätzung der thermischen Parameter der Bonddrähte**Tab. 14.8:** Abschätzung der thermischen Parameter der Bonddrähte

c_{mAl} [Ws/(kg·K)]	λ_{Al} [Ws/(K·cm)]	ρ_{Al} [g/cm ³]	c_{vAl} [Ws/(K·cm)]
897	2,35	2,69	2,41

Die thermische Kapazität ergibt sich zu:

$$C_{th/Al} = c_{mAl} \cdot \rho_{Al} \cdot A_B \cdot l_B \cdot N = 19,5 \frac{mWs}{K}$$

Der Energieeintrag in die Bonddrähte geht aus dem gemessenen Verlauf in **Abb. 6.5** bzw. **Abb. 6.6** und der Abschätzung des Spannungsabfalls über den ohmschen Anteilen des Bonddrahtes hervor. Der Anteil des Spannungsabfalls über den Bonddrähten beträgt ca. 35 – 40 % am Gesamtspannungsabfall, wie **Tab. 14.7** zeigt.

Der Energieeintrag in die Diode mit Aufbautechnik beträgt bei $I_{8/20\mu s} = 4,8 \text{ kA}$ $W_{8/20\mu s} = 0,817 \text{ Ws}$ und bei $I_{10/350\mu s} = 2 \text{ kA}$ $W_{10/350\mu s} = 3,4 \text{ Ws}$. Somit ist eine erste Abschätzung des Temperaturanstieges möglich:

$$\Delta T_{8/20\mu s} = 40\% \cdot \frac{W_{8/20\mu s}}{C_{th/Al}} = 16,54 \text{ K} ; \Delta T_{10/350\mu s} = 35\% \cdot \frac{W_{10/350\mu s}}{C_{th/Al}} = 60,81 \text{ K}$$

Im Gegensatz zu Si wird bei Al die Wärmeleitfähigkeit nicht stark durch die Temperatur beeinflusst, es sind etwa $\lambda(300 \text{ K}) = 2,35 \text{ W/(K·cm)}$ und $\lambda(800 \text{ K}) \approx 2,1 \text{ W/(K·cm)}$. Daher kann für beide Impulse folgender thermischer Widerstand gelten:

$$R_{th/Al} = \frac{l_B}{\lambda_{Al} \cdot A_B \cdot N} = 118,2 \frac{K}{W}$$

Abschätzung der thermischen Eigenschaften der Kupferrückseite**Tab. 14.9:** Abschätzung der thermischen Parameter der Kupferrückseite

c_{mCu} [Ws/(K·g)]	λ_{Cu} [Ws/(K·cm)]	ρ_{Cu} [g/cm ³]	c_{vCu} [Ws/(K·cm)]	A_{Cu} [cm]	l_{Cu} [cm]
0,385	3,5	8,96	3,45	1,875	0,128

Daraus berechnen sich die thermischen Parameter nach dem gleichen Rechenweg wie bei den Bonddrähten:

$$C_{th/Cu} = c_{mCu} \cdot \rho_{Cu} \cdot A_{Cu} \cdot l_{Cu} = 0,827 \frac{Ws}{K} \quad ; \quad R_{th/Cu} = \frac{l_{Cu}}{\lambda_{Cu} \cdot A_{Cu}} = 20 \frac{mK}{W}$$

Abschätzung der thermischen Parameter des Übergangs von Bonddraht zur Metallisierung:

Durch die hohe Stromdichte um den Fußpunkt des Bonddrahtes, wie in [67] beschrieben, wird sich dort eine starke Temperaturerhöhung zeigen. Um dies in einer LTspice-Simulation abbilden zu können, wurde ein zusätzliches Kontaktvolumen bestehend aus der Metallisierung und einem Teil des Bonddrahtes betrachtet, welches direkt um den Fußpunkt des Bonddrahts lokalisiert ist. **Abb. 14.5** zeigt dies andeutungsweise um einen der Fußpunkte.

Tab. 14.10: Abschätzung der thermischen Parameter der Metallisierung um den Bonddrahtfußpunkt

$A_{BU} [\text{cm}^2]$	$l_{M+BF} [\text{cm}]$
0,0084	$4 \cdot 10^{-3}$

Daraus können die thermische Kapazität sowie der thermische Widerstand berechnet werden:

$$C_{th/s} = c_{mAl} \cdot \rho_{Al} \cdot A_{BU} \cdot l_{M+BF} \cdot N = 246 \frac{\mu Ws}{K}$$

$$R_{th/s} = \frac{l_{M+BF}}{\lambda_{Al} \cdot A_{BU} \cdot N} = 66,8 \frac{mK}{W}$$

Abschätzung der thermischen Parameter des p Gebietes

Tab. 14.11: Abschätzung der thermischen Parameter des p Gebietes

$\lambda_{Si} [\text{W}/(\text{K} \cdot \text{cm})]$	$\rho_{Si} [\text{g}/\text{cm}^3]$	$c_{mSi} [\text{Ws}/(\text{kg} \cdot \text{K})]$	$c_{vSi} [\text{Ws}/(\text{K} \cdot \text{cm})]$	$l_p [\text{cm}]$	$A_{Chip} [\text{cm}^2]$
1,48	2,33	705	1,642	0,002	0,445

Hieraus ergibt sich die thermische Kapazität zu:

$$C_{th/p} = c_{mSi} \cdot \rho_{Si} \cdot A_{Chip} \cdot l_p = 1,46 \frac{mWs}{K}$$

Die thermische Kapazität von Silizium steigt mit der Temperatur leicht an ca. $c_{vSi}(600 \text{ K}) = 2 \text{ Ws}/(\text{K} \cdot \text{cm})$ und wurde für die nachfolgenden Berechnungen als konstant angenommen. Die thermische Leitfähigkeit zeigt jedoch eine starke Reduktion mit zunehmender Temperatur. Nach [64] und [66] kann dies in numerischen Simulationen durch eine Mittelwertbildung über den zu erwartenden Temperaturbereich berücksichtigt werden. Der Verlauf der thermischen Leitfähigkeit kann nach [116] wie folgt beschrieben werden:

$$\lambda_{Si}(T) = \frac{100}{1,553 \cdot 10^{-6} \cdot T^2 + 1,552 \cdot 10^{-3} \cdot T + 0,1598} \quad \text{mit } T \text{ in } [K] \text{ und } \lambda \text{ in } \left[\frac{W}{K \cdot m} \right]$$

Über die thermische Kapazität C_{thp} und den Energieeintrag nach **Tab. 14.7** in diese Kapazität, kann eine erste Temperaturabschätzung erfolgen. Bei einem adiabatischen Vorgang folgt:

$$\Delta T_{8/20\mu s} = \frac{W_{8/20\mu s} \cdot \left(\frac{U_p}{U_{Ges}} + \frac{U_{pn}}{2 \cdot U_{Ges}} \right)}{C_{thp}} = 89,3 \text{ K} ; \quad T_{10/350\mu s} = \frac{W_{10/350\mu s} \cdot \left(\frac{U_p}{U_{Ges}} + \frac{U_{pn}}{2 \cdot U_{Ges}} \right)}{C_{thp}} = 445 \text{ K}$$

Daraus können nun die sich ergebenden thermischen Widerstände berechnet werden:

$$R_{th/p8/20\mu s} = \frac{l_p}{A_{chip} \cdot \frac{\lambda(T_1) + \lambda(T_1 + \Delta T_{8/20\mu s})}{2}} = 3,73 \frac{mK}{W}$$

$$R_{th/p10/350\mu s} = \frac{l_p}{A_{chip} \cdot \frac{\lambda(T_1) + \lambda(T_1 + \Delta T_{10/350\mu s})}{2}} = 4,82 \frac{mK}{W}$$

Die thermischen Widerstände aller weiteren Si-Schichten, wie in **Abb. 14.5** gezeigt, können analog abgeschätzt werden. Dies führt zu **Tab. 14.12**. Die gefundenen Parameter können nun in das LTspice Modell aus **Abb. 14.6** übertragen werden.

Tab. 14.12: Übersicht der abgeschätzten thermischen Parameter

Gebiet	C_{th} [mWs/K]	$R_{th8/20\mu s}$ [mK/W]	$R_{th10/350\mu s}$ [mK/W]
Bonddraht	19,5	118.000	118.000
Bondkontakt	0,246	66,8	66,8
p Gebiet	1,46	3,72	4,82
n ⁻ Gebiet	7,31	17,7	20,7
n ⁺ Gebiet	10,23	23,14	23,5
Cu-Rückseite	830	19,5	19,5

Die realen gemessenen Strom- und Spannungsverläufe können über PWL-File (piecewise linear, PWL) in das erstellte LTspice-Modell aus **Abb. 14.6** übertragen und daraus die Temperaturverläufe in der Diode ermittelt werden.

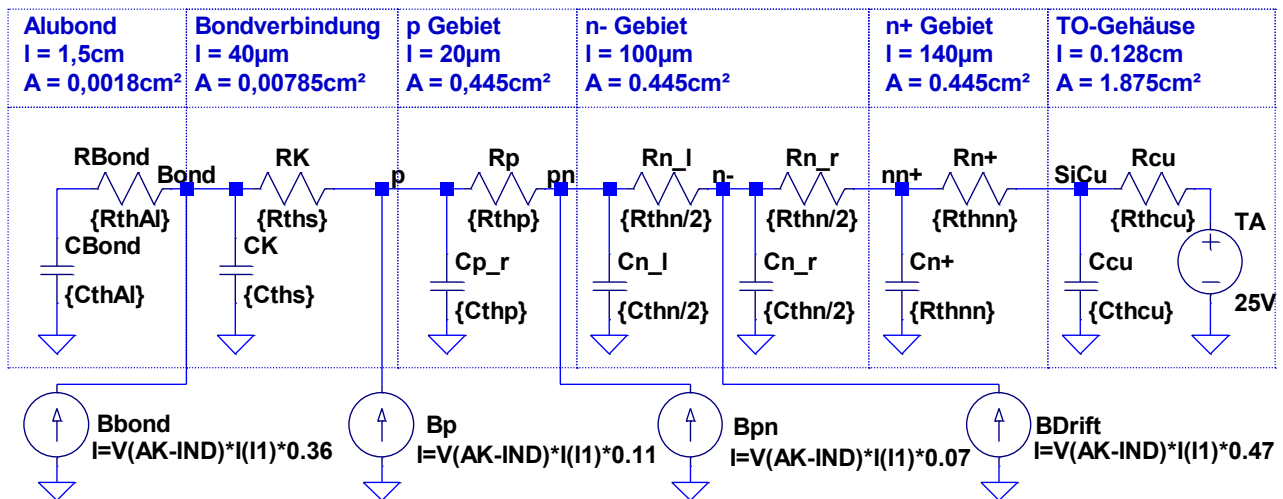


Abb. 14.6: Simulationsmodell zur Abschätzung der Temperaturverteilung in Dioden während einer Stoßstrombelastung der Formen 8/20 μs und 10/350 μs

Anhang 6: Abschätzung der Zündausbreitungsgeschwindigkeit bei Thyristoren

Abb. 14.7 zeigt das Simulationsmodell zur Abschätzung der Zündausbreitungsgeschwindigkeit. Es sind jeweils die zeitabhängigen Flächen $A_{\text{corner}}(t)$ und $A_{\text{center}}(t)$ sowie die Stoßstromimpulse nach Gl. (3.1.3) und Gl. (3.1.7) nachgebildet. In der Simulation wurde angenommen, dass unmittelbar nach dem Zünden ein Bereich von 100 μm um das Gate zur Verfügung steht. Dies ergibt nach Gl. (6.2.1) und Gl. (6.2.2) bei den Parametern aus **Tab. 6.2** eine Fläche von jeweils:

$$A_{\text{coinit}} = (1,5 \text{ mm} + 0,1 \text{ mm})^2 - (1,5 \text{ mm})^2 = 0,31 \text{ mm}^2$$

$$A_{\text{ceinit}} = \left(\left(\frac{1,5 \text{ mm}}{2} + 0,1 \text{ mm} \right)^2 - \left(\frac{1,5 \text{ mm}}{2} \right)^2 \right) \cdot \pi = 0,51 \text{ mm}^2$$

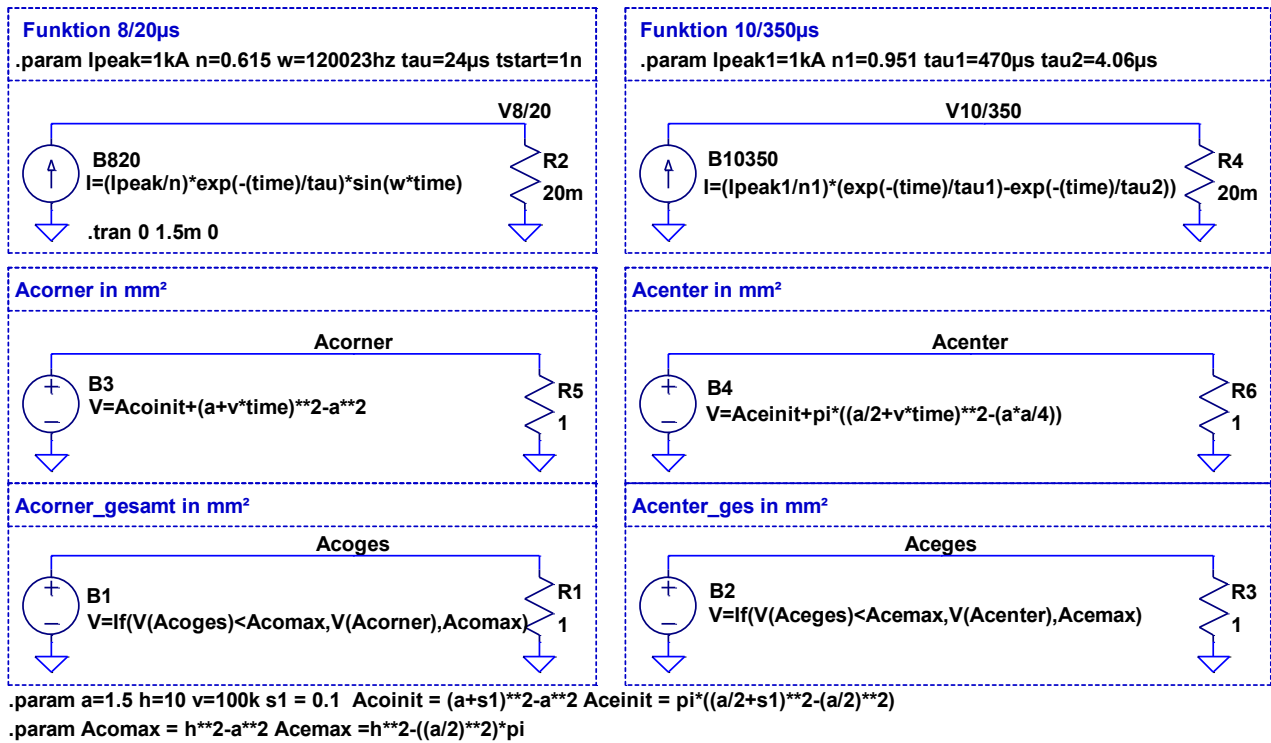


Abb. 14.7: Berechnung der Zündausbreitungsgeschwindigkeit von Corner- und Center-Gate-Anordnungen mit Netzwerken in LTspice

Die Spannungsquellen B₁ bis B₄ geben den Verlauf der aktiven Chipfläche wieder. Hierbei entspricht 1 V \triangleq 1 mm². B₃ gibt den Flächenverlauf des Corner-Gates wieder und B₄ den des Center-Gates ausgehend von einer initialen Chipfläche A_{coinit} und A_{ceinit} . Mit B₁ und B₂ werden die Chipflächen auf die maximal möglichen Flächen begrenzt.

Anhang 7: Abschätzung der TOV bei ein- und dreiphasiger Installation von TOV-SPDs

Die Betrachtungen bei ein- und dreiphasiger Installation erfolgen beispielhaft für die TOV-Spannung \underline{U}_{TOV1} und gelten analog auch für die Spannungen an den Phasen L2 und L3.

1. Fall rein ohmsche Lasten mit einem TOV-SPD an L1

Wie in **Kap. 3.3.2** gezeigt, ergeben sich bei rein ohmschen Lasten zwei TOV-Maxima, wenn gilt:

$$\underline{Z}_{L1} \rightarrow \infty ; \underline{Z}_{L2} \rightarrow \infty \text{ oder } \underline{Z}_{L1} \rightarrow \infty ; \underline{Z}_{L3} \rightarrow \infty \quad (14.1)$$

Sind die Bedingungen aus Gl. (14.1) erfüllt, kommt es zum Zuschalten des Längs- und Quergliedes im SPD aufgrund der TOV. Da die Impedanz \underline{Z}_{L1} bei hohen Werten unwirksam wird, gilt für die Eingangsimpedanz an L1 mit TOV-SPD:

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \underline{Z}_{SPD1} = jX_{C_{Lg}} + jX_{CQ} \rightarrow \underline{Y}_{SPD1} = \frac{1}{jX_{C_{Lg}} + jX_{CQ}}$$

Mit einer Grenzwertbetrachtung kann die maximal mögliche TOV an L1 errechnet werden:

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \lim_{\underline{Z}_{L2} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{\underline{Y}_2 \cdot (1 - a^2) + \underline{Y}_3 \cdot (1 - a)}{\underline{Y}_{SPD1} + \underline{Y}_2 + \underline{Y}_3} = \frac{\underline{Y}_3 \cdot (1 - a)}{\underline{Y}_{SPD1} + \underline{Y}_3} = \frac{(1 - a)}{1 + \frac{\underline{Y}_{SPD1}}{\underline{Y}_3}} = \sqrt{3} \cdot e^{-j30^\circ} \cdot \frac{1}{1 + \frac{\underline{Y}_{SPD1}}{\underline{Y}_3}}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \lim_{\underline{Z}_{L3} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{\underline{Y}_2 \cdot (1 - a^2) + \underline{Y}_3 \cdot (1 - a)}{\underline{Y}_{SPD1} + \underline{Y}_2 + \underline{Y}_3} = \frac{\underline{Y}_2 \cdot (1 - a^2)}{\underline{Y}_{SPD1} + \underline{Y}_2} = \frac{(1 - a^2)}{1 + \frac{\underline{Y}_{SPD1}}{\underline{Y}_2}} = \sqrt{3} \cdot e^{j30^\circ} \cdot \frac{1}{1 + \frac{\underline{Y}_{SPD1}}{\underline{Y}_2}}$$

Mit installiertem TOV-SPD ist die maximal mögliche TOV abhängig von der Last an L2 oder L3. Hierin unterscheidet sich die Installation des TOV-SPDs zu den Betrachtungen aus **Kap. 3.3.2**. Der Maximalwert der TOV bleibt weiterhin die Außenleiterspannung.

2. Fall ohmsch-kapazitive Lasten mit einem TOV-SPD an L1

Die maximale temporäre Überspannung \underline{U}_{TOV1} mit installiertem TOV-SPD ergibt sich bei ohmsch-kapazitiven Lasten unter folgenden Bedingungen:

$$\underline{Y}_2 = |\underline{Y}_3| \cdot e^{j0^\circ} = |\underline{Y}| ; \underline{Y}_3 = |\underline{Y}_3| \cdot e^{j90^\circ} = |\underline{Y}| \cdot e^{j90^\circ} ;$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \underline{Z}_{SPD1} = jX_{C_{Lg}} + jX_{CQ} \rightarrow \underline{Y}_{SPD1} = \frac{1}{jX_{C_{Lg}} + jX_{CQ}}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \sqrt{3} \cdot \frac{|\underline{Y}| \cdot e^{j30^\circ} + |\underline{Y}| \cdot e^{j90^\circ} \cdot e^{-j30^\circ}}{\underline{Y}_{SPD1} + |\underline{Y}| + |\underline{Y}| \cdot e^{j90^\circ}} = \frac{3 + \sqrt{3}}{2} \cdot \frac{1}{1 + \frac{\underline{Y}_{SPD1}}{|\underline{Y}| \cdot \sqrt{2} \cdot e^{j45^\circ}}}$$

Mit installiertem TOV-SPD ist die maximal mögliche TOV abhängig von der Last an L2 und L3. Nur wenn \underline{Z}_{L2} und \underline{Z}_{L3} sehr niederohmig werden, kommt es zur maximalen TOV. Hierin unterscheidet sich die Installation des TOV-SPDs zu den Betrachtungen aus **Kap. 3.3.2**. Der Maximalwert der TOV bleibt weiterhin bei $\max|\underline{U}_{TOV1}/\underline{U}_{1N}| \approx 2,37$.

3. Fall ohmsch-kapazitiv-induktive Lasten mit einem TOV-SPD an L1

Im Fall von dreiartigen Lasten können Resonanzen auftreten, die unter folgenden Grenzbedingungen zu maximalen temporären Überspannungen führen:

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \underline{Z}_{SPD1} = jX_{CLg} + jX_{CQ} \rightarrow \underline{Y}_{SPD1} = \frac{1}{jX_{CLg} + jX_{CQ}} ;$$

$$\underline{Y}_2 = |\underline{Y}_2| \cdot e^{j \cdot 90^\circ} ; \quad \underline{Y}_3 = |\underline{Y}_3| \cdot e^{-j \cdot 90^\circ} ; \quad |\underline{Y}_2| = |\underline{Y}_3| = |\underline{Y}|$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{|\underline{Y}| \cdot e^{j \cdot 90^\circ} \cdot (1 - a^2) + |\underline{Y}| \cdot e^{-j \cdot 90^\circ} \cdot (1 - a)}{\underline{Y}_{SPD1} + |\underline{Y}| \cdot e^{j \cdot 90^\circ} + |\underline{Y}| \cdot e^{-j \cdot 90^\circ}} = -\sqrt{3} \cdot \frac{|\underline{Y}|}{\underline{Y}_{SPD1}}$$

oder

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \underline{Z}_{SPD1} = jX_{CLg} + jX_{CQ} \rightarrow \underline{Y}_{SPD1} = \frac{1}{jX_{CLg} + jX_{CQ}} ;$$

$$\underline{Y}_2 = |\underline{Y}_2| \cdot e^{-j \cdot 90^\circ} ; \quad \underline{Y}_3 = |\underline{Y}_3| \cdot e^{j \cdot 90^\circ} ; \quad |\underline{Y}_2| = |\underline{Y}_3| = |\underline{Y}|$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \frac{|\underline{Y}| \cdot e^{-j \cdot 90^\circ} \cdot (1 - a^2) + |\underline{Y}| \cdot e^{+j \cdot 90^\circ} \cdot (1 - a)}{\underline{Y}_{SPD1} + |\underline{Y}| \cdot e^{-j \cdot 90^\circ} + |\underline{Y}| \cdot e^{j \cdot 90^\circ}} = \sqrt{3} \cdot \frac{|\underline{Y}|}{\underline{Y}_{SPD1}}$$

Mit installiertem TOV-SPD wird die maximal mögliche TOV über das Verhältnis von Lastadmittanz zu SPD-Admittanz bestimmt. Ein Anstieg der TOV-Spannung auf $\pm \infty$ ist damit nur noch bei Quasikurzschlüssen an L2 und L3 möglich, wenn gilt $|\underline{Y}| \rightarrow \infty$. Die Betrachtung der drei Lastfälle bei einphasiger Installation eines TOV-SPDs zeigt, dass die maximal möglichen TOV am Eingang der SPDs durch deren Installation nicht beeinflusst werden. Es gelten weiterhin die aus **Kap. 3.3.2** bekannten Maximalwerte. Um diese Maximalwerte zu erreichen, sind allerdings weitere Lastbedingungen notwendig, wie sehr niederohmige Lasten \underline{Z}_{L2} oder \underline{Z}_{L3} bei ohmschen Lasten, bei ohmsch-kapazitiven Lasten und auch bei ohmsch-kapazitiv-induktiven Lasten.

Anders stellt sich dies bei dreiphasiger Installation dar, bei der die volle Gl. (9.3.13) gültig ist.

1. Fall rein ohmsche Lasten mit dreiphasiger TOV-SPD Installation

Für das erste Maximum bei:

$$\underline{Z}_{L1} \rightarrow \infty \text{ und } \underline{Z}_{L2} \rightarrow \infty$$

sind die TOV-SPDs eins und zwei aktiv, d.h. die Längs- und Querkapazitäten sind jeweils zugeschaltet. TOV-SPD drei ist inaktiv. Daraus ergibt sich die maximale TOV-Spannung am Eingang des SPDs an Phase L1 wie folgt:

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \underline{Y}_{SPD1} = \frac{1}{jX_{CLg} + jX_{CQ}} \text{ und } \lim_{\underline{Z}_{L2} \rightarrow \infty} \underline{Y}_{SPD2} = \frac{1}{jX_{CLg} + jX_{CQ}} \text{ mit } \underline{Y}_{SPD1} = \underline{Y}_{SPD2} = \underline{Y}_{SPD}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \lim_{\underline{Z}_{L2} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \sqrt{3} \cdot \frac{\underline{Y}_{SPD} \cdot e^{j \cdot 30^\circ} + \underline{Y}_3 \cdot e^{-j \cdot 30^\circ}}{\underline{Y}_{SPD} + \underline{Y}_{SPD} + \underline{Y}_3} = \sqrt{3} \cdot \left(\frac{e^{j \cdot 30^\circ}}{2 + \frac{\underline{Y}_3}{\underline{Y}_{SPD}}} + \frac{e^{-j \cdot 30^\circ}}{1 + 2 \cdot \frac{\underline{Y}_{SPD}}{\underline{Y}_3}} \right)$$

Analog gilt für das zweite Maximum bei ohmschen Lasten:

$$\underline{Z}_{L1} \rightarrow \infty \text{ und } \underline{Z}_{L3} \rightarrow \infty$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \underline{Y}_{SPD1} = \frac{1}{jX_{CLg} + jX_{CQ}} \quad \text{und} \quad \lim_{\underline{Z}_{L3} \rightarrow \infty} \underline{Y}_{SPD3} = \frac{1}{jX_{CLg} + jX_{CQ}} \quad \text{mit} \quad \underline{Y}_{SPD1} = \underline{Y}_{SPD3} = \underline{Y}_{SPD}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \lim_{\underline{Z}_{L3} \rightarrow \infty} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \sqrt{3} \cdot \frac{\underline{Y}_2 \cdot e^{j30^\circ} + \underline{Y}_{SPD} \cdot e^{-j30^\circ}}{\underline{Y}_{SPD} + \underline{Y}_2 + \underline{Y}_{SPD}} = \sqrt{3} \cdot \left(\frac{e^{-j30^\circ}}{2 + \frac{\underline{Y}_2}{\underline{Y}_{SPD}}} + \frac{e^{j30^\circ}}{1 + 2 \cdot \frac{\underline{Y}_{SPD}}{\underline{Y}_2}} \right)$$

Aus den beiden Betrachtungen geht hervor, dass bei ohmschen Lasten das Maximum weiter die Außenleiterspannung darstellt. Damit dies auftritt, ist wie bei der einphasigen Installation ein Quasi-Kurzschluss der Last an L2 oder L3 nötig.

2. Fall ohmsch-kapazitive Lasten mit dreiphasiger TOV-SPD Installation

Im Lastfall

$$\underline{Y}_2 = |\underline{Y}_3| \cdot e^{j0^\circ} = |\underline{Y}| \quad ; \quad \underline{Y}_3 = |\underline{Y}_3| \cdot e^{j90^\circ} = |\underline{Y}| \cdot e^{j90^\circ} \quad ; \quad \underline{Z}_{L1} \rightarrow \infty \quad (14.2)$$

überschreiten alle Spannungen \underline{U}_{TOV1-3} die Ansprechschwelle der TOV-SPDs von $U_{TOV} = 270$ V. Dies führt zum Auslösen aller drei TOV-SPDs. Durch die nun aktiven SPDs werden die Netzverhältnisse verändert und es ergeben sich die Lastimpedanzen aus Gl. (9.3.13), was zu einer Reduktion der TOV-Spannungen \underline{U}_{TOV2-3} führt und damit zu einem schrittweisen Übergang der TOV-SPDs zwei oder drei in den Normalbetrieb. Je nachdem, welches der beiden SPDs zuerst in den Normalbetrieb wechselt, ergeben sich bei dem genannten Lastfall aus Gl. (14.2) zwei stabile Regelzustände. Im ersten Fall sind die TOV-SPDs eins und zwei aktiv, was die Last- und Spannungsverhältnisse zur Folge hat:

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \underline{Y}_{SPD1} = \frac{1}{jX_{CLg} + jX_{CQ}} \quad ; \quad \underline{Z}_{SPD2} = jX_{CLg} + \frac{1}{\frac{1}{jX_{CQ}} + \frac{1}{|\underline{Z}|}} \quad ; \quad \underline{Z}_{L3} = |\underline{Z}| \cdot e^{-j90^\circ}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \lim_{\underline{Z}_{L3} \rightarrow 0} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \sqrt{3} \cdot \frac{\underline{Y}_{SPD2} \cdot e^{j30^\circ} + \underline{Y}_3 \cdot e^{-j30^\circ}}{\underline{Y}_{SPD1} + \underline{Y}_{SPD2} + \underline{Y}_3} = \sqrt{3} \cdot \left(\frac{e^{j30^\circ}}{1 + \frac{\underline{Y}_{SPD1}}{\underline{Y}_{SPD2}} + \frac{\underline{Y}_3}{\underline{Y}_{SPD2}}} + \frac{e^{-j30^\circ}}{1 + \frac{\underline{Y}_{SPD1} + \underline{Y}_{SPD2}}{\underline{Y}_3}} \right) = \sqrt{3} \cdot e^{-j30^\circ}$$

Im zweiten Fall sind die TOV-SPDs eins und drei aktiv, was zu folgenden Last- und Spannungsverhältnissen führt:

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \underline{Y}_{SPD1} = \frac{1}{jX_{CLg} + jX_{CQ}} \quad ; \quad \underline{Y}_2 = |\underline{Y}_3| \cdot e^{j0^\circ} \quad ; \quad \underline{Z}_{SPD3} = jX_{CLg} + \frac{1}{\frac{1}{jX_{CQ}} + \frac{1}{|\underline{Z}| \cdot e^{-j90^\circ}}}$$

$$\lim_{\underline{Z}_{L1} \rightarrow \infty} \lim_{\underline{Z}_{L2} \rightarrow 0} \frac{\underline{U}_{TOV1}}{\underline{U}_{1N}} = \sqrt{3} \cdot \frac{\underline{Y}_2 \cdot e^{j30^\circ} + \underline{Y}_{SPD3} \cdot e^{-j30^\circ}}{\underline{Y}_{SPD1} + \underline{Y}_2 + \underline{Y}_{SPD3}} = \sqrt{3} \cdot \left(\frac{e^{-j30^\circ}}{1 + \frac{\underline{Y}_{SPD1}}{\underline{Y}_{SPD3}} + \frac{\underline{Y}_2}{\underline{Y}_{SPD3}}} + \frac{e^{j30^\circ}}{1 + \frac{\underline{Y}_{SPD1} + \underline{Y}_{SPD2}}{\underline{Y}_3}} \right) = \sqrt{3} \cdot e^{j30^\circ}$$

Es ist ersichtlich, dass in beiden stabilen Regelzuständen nur ein Anstieg der Spannung auf die Außenleiterspannung möglich ist. Damit gilt bei dreiphasiger Installation der Faktor $\max|U_{TOV1}/U_{1N}| \approx 2,37$ nicht mehr. Für die gezeigten Fälle $\underline{Z}_{L3} \rightarrow 0$ oder $\underline{Z}_{L2} \rightarrow 0$ ist es unerheblich, ob an TOV-SPD zwei oder drei das Querglied aktiv oder inaktiv ist.

3. Fall ohmsch-kapazitiv-induktive Lasten mit dreiphasiger TOV-SPD Installation

Kommt es aufgrund von Resonanzen oder Teilresonanzen zu Spannungsüberhöhungen, kann dies dazu führen, dass alle drei TOV-SPDs zuschalten. Hierzu muss folgende Bedingung vorliegen:

$$\underline{Y}_1 \rightarrow 0 ; \underline{Y}_2 = |\underline{Y}_2| \cdot e^{j \cdot 90^\circ} = \frac{1}{jX_{C_2}} ; \underline{Y}_3 = |\underline{Y}_3| \cdot e^{-j \cdot 90^\circ} = \frac{1}{jX_{L_3}}$$

Durch das Zuschalten der Quer- und Längskapazitäten in den SPDs ergibt sich dann folgende Last- und Spannungssituation:

$$\lim_{Z_{L1} \rightarrow \infty} Z_{SPD1} = jX_{C_{Lg}} + jX_{C_Q} ; Z_{SPD2} = jX_{C_{Lg}} + \frac{1}{\frac{1}{jX_{C_Q}} + \frac{1}{jX_{C_2}}} ; Z_{SPD3} = jX_{C_{Lg}} + \frac{1}{\frac{1}{jX_{C_Q}} + \frac{1}{jX_{L_3}}}$$

Die Impedanzen Z_{SPD1} und Z_{SPD2} wirken hierbei rein kapazitiv. Die Impedanz Z_{SPD3} wirkt induktiv, wenn X_{L_3} gegenüber den Kapazitäten des TOV-SPDs dominiert, was bei Resonanzen aufgrund der hierfür nötigen großen Energiespeicher der Fall ist. Dies hat folgende Spannungssituation an der Phase L1 zur Folge:

$$\frac{U_{TOV1}}{U_{1N}} = \sqrt{3} \cdot \frac{\underline{Y}_{SPD2} \cdot e^{j \cdot 30^\circ} + \underline{Y}_{SPD3} \cdot e^{-j \cdot 30^\circ}}{\underline{Y}_{SPD1} + \underline{Y}_{SPD2} + \underline{Y}_{SPD3}} = \sqrt{3} \cdot \frac{|\underline{Y}_{SPD2}| \cdot e^{j \cdot 90^\circ} \cdot e^{j \cdot 30^\circ} + |\underline{Y}_{SPD3}| \cdot e^{-j \cdot 90^\circ} \cdot e^{-j \cdot 30^\circ}}{|\underline{Y}_{SPD1}| \cdot e^{j \cdot 90^\circ} + |\underline{Y}_{SPD2}| \cdot e^{j \cdot 90^\circ} + |\underline{Y}_{SPD3}| \cdot e^{-j \cdot 90^\circ}} \quad (14.3)$$

Lag vor dem Zuschalten der TOV-SPDs eine Teilresonanz vor und kommt es durch das Zuschalten bei induktiv wirkender Impedanz Z_{SPD3} zur Lastsituation

$$|\underline{Y}_{SPD3}| = |\underline{Y}_{SPD1}| + |\underline{Y}_{SPD2}|, \quad (14.4)$$

führt dies zu einer vollen Resonanz. Der Nenner aus Gl. (14.3) wird durch die Bedingung in Gl. (14.4) zu Null, was eine sehr hohe TOV-Spannung bedeutet. Das Zuschalten der TOV-SPDs kann damit eine Teilresonanz verstärken. Analog ist dies auch für die Lastverteilung

$$\underline{Y}_1 \rightarrow 0 ; \underline{Y}_2 = |\underline{Y}_2| \cdot e^{-j \cdot 90^\circ} ; \underline{Y}_3 = |\underline{Y}_3| \cdot e^{j \cdot 90^\circ}$$

bei den TOV-SPD-Admittanzen

$$|\underline{Y}_{SPD2}| = |\underline{Y}_{SPD1}| + |\underline{Y}_{SPD3}|$$

möglich.

Die Betrachtungen zur dreiphasigen Installation zeigen, dass nur noch ein Lastfall existiert, bei dem es aufgrund von Resonanzen zu TOV größer der Außenleiterspannung kommen kann. Diese sind allerdings aufgrund der notwendigen Energiespeichergröße unrealistisch. Beispielsweise ist bei den verwendeten Längs- und Querkapazitäten von $C_{Lg} = 5 \mu F$ und $C_Q = 2,5 \mu F$ eine Induktivität von ca. $L = 2 H$ nötig, um den Resonanzfall zu erreichen. Dies macht deutlich, dass der Resonanzfall in realen Netzen nicht zu erwarten ist. Auch deshalb nicht, da, sollten solch große Induktivitäten existieren, diese bei den im Resonanzfall fließenden Strömen schnell in die Sättigung gehen, was deren Induktivität deutlich reduziert.